

멀티비트 정보저장을 위한 적층 구조 상변화 메모리에 대한 연구

이동근 · 김승주 · 류상욱[†]

[†]단국대학교 전자공학과

Stack-Structured Phase Change Memory Cell for Multi-State Storage

Dongkeun Lee, Seungju Kim and Sangouk Ryu[†]

[†]Department of Electronic Engineering, Dankook University

ABSTRACT

In PRAM applications, the devices can be made for both binary and multi-state storage. The ability to attain intermediate stages comes either from the fact that some chalcogenide materials can exist in configurations that range from completely amorphous to completely crystalline or from designing device structure such a way that mimics multiple phase change phenomena in single cell. We have designed stack-structured phase change memory cell which operates as multi-state storage. Amorphous $\text{Ge}_x\text{Te}_{100-x}$ chalcogenide materials were stacked and a diffusion barrier was chosen for each stack layers. The device is operated by crystallizing each chalcogenide material as sequential manner from the bottom layer to the top layer. The amplitude of current pulse and the duration of pulse width was fixed and number of pulses were controlled to change overall resistance of the phase change memory cell. To optimize operational performance the thickness of each chalcogenide was controlled based on simulation results.

Key Words : PRAM, Multi-bit storage, chalcogenide

1. 서 론

최근, 기존의 DRAM과 SRAM의 장점을 가지면서도 안정적인 데이터의 저장을 위하여 비휘발성 메모리에 대한 연구가 활발히 진행되고 있다. 그 중에서도 상변화 메모리에 대한 연구가 적극적으로 이루어지고 있는데 그 이유는 소자의 구조가 나노-레벨의 고집적 회로에 적합한 특성을 가지고 있기 때문이다[1]. 지금까지는 싱글비트 즉, “0”과 “1”의 조합으로 데이터를 저장하는 방법에 대해서 주로 연구되어 왔으나 본 연구에서는 적층 구조의 상변화 재료를 도입함으로써 전기적인 입력에 의해 적층된 각각의 상변화 박막의 결정화 상태가 변함을 이용하여 결정화된 박막의 층간 배열 상태에 따라 각각 다른 전기 저항 상태를 나타내는 멀티 비트 저장용 비휘발성 메모리 소자 구조와 작동 방법에 대해 연구하였다.

주기율표 상의 IVA족부터 VIA 족까지에 해당되는 원소들로 구성되는 상변화 재료는 그 결정구조에 따라 광학적 반사도 및 전기 저항이 변화하는 특성을 갖는다. 이러한 반사도의 변화를 광학 저장 매체 제조에 응용할 수 있으며, 현재 DVD-RW 등 그 내부에 상변화 재료를 포함하는 제품들이 생산되고 있다[2].

한편, 결정구조에 따라 전기 저항이 바뀌는 특성을 이용하여 비휘발성 메모리를 구성할 수 있다. 일반적으로 상변화 재료의 비저항은 비정질 상태일 때 높고 결정 상태일 때 낮으며 그 값은 100배 이상의 차이를 나타낸다. 비저항의 차이를 가져오는 상변화는 전류나 전압 등의 전기적인 입력에 의하여 발생된다. 대표적인 상변화 재료인 GeSbTe(GST) 의 경우 비정질 상태의 GST에 전류를 일정 시간 동안 흐르게 하면 GST의 온도가 결정화 온도 이상으로 상승하여 결정 상태로 바뀌게 된다. 이러한 결정 상태의 GST에 다시 전류 펄스를 인가하면 GST의 온도가 녹는점 이상으로 상승하여 액체 상태로 바뀌며 펄스가 종료된 후 급속한 냉각이

[†]E-mail : ryuso@dankook.ac.kr

이루어질 때 액체 상태의 구조가 그대로 유지된 채로 냉각되어 결국 비정질 상태로 남게 된다. 일반적으로 비정질에서 결정 상태로 변화하는 상변화를 “Set”, 결정 상태에서 비정질로 변화하는 상변화를 “Reset”이라고 부르는데 Reset의 경우에 상변화 재료를 용해시켜야 하고 급랭(quenching)에 의하여 비정질 상을 얻어야 하므로 Set에 비해 짧은 시간 동안 높은 전류 펄스를 인가하여야 한다. 전기적인 입력에 의하여 Set과 Reset 간의 가역적인 변환이 가능하므로 상변화 재료를 비휘발성 메모리 용도로 사용할 수 있다.

상변화 재료가 포함된 비휘발성 메모리를 상변화 메모리(phase change memory, PCM)라고 하며 종래의 상변화 메모리 소자의 구조는 Fig. 1과 같다. 일반적으로 상변화 재료의 아래와 위 쪽으로 각각 하부 전극 및 상부 전극이 위치하는 구조를 갖는다. Fig. 1은 SiO₂절연막으로 둘러 쌓인, 하부전극 상부에 단층의 상변화 재료를 위치시킨 구조이다. 하부 전극(TiW)과 상부 전극(TiW)을 통하여 전류를 흘려주면 하부 전극과 상변화 재료(GeSbTe)가 만나는 발열전극(TiAlN)에서 열이 발생하여 programmable volume 이라고 불리는 상변화 재료의 일부 영역에서 상이 바뀌게 된다. 일반적으로 상변화 재료의 자체 발열은 상변화를 일으키기에 충분하지 못하기 때문에 전기 저항이 높은 재료를 발열전극 물질로 사용하여 발열을 촉진한다[3]. 종래의 상변화 메모리에서 멀티비트 정보저장은 상변화 재료의 programmable volume 을 조절하여 저항값의 변화를 조절하려는 시도가 있었으나 정량적이지 못하고 신뢰도에서 문제가 있었다[4,5].

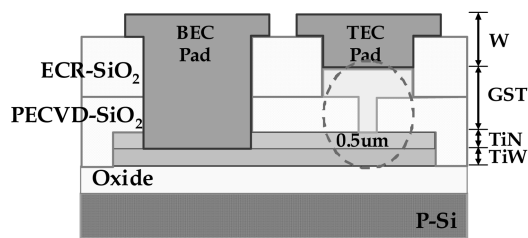


Fig. 1. Typical Structure of PCM device.

본 연구에서는 이러한 문제점을 해결하기 위해 programmable volume을 조절하는 대신 각각의 상변화 재료층을 번이시켜 전체 소자의 저항을 조절하는 방법을 연구하였다.

2. 적층 구조 상변화 메모리 동작 방법 고찰

본 연구에서는 기존의 비휘발성 멀티비트 상변화

메모리에 비해 정량적으로 여러 조합의 저항 값을 기억시킬 수 있고 신뢰성을 높일 수 있는 메모리 셀의 구조를 제시한다. 여러 조합의 저항 값을 단위 셀에 기억시키기 위해서는 전체 단위 셀의 상변화 물질 영역 중에서 결정 상태와 비정질 상태의 두 가지 물질 상태의 부피 비율이 중요하며, 본 연구에서 제시된 적층 구조의 각각 다른 결정화 온도를 가지는 상변화 물질 중 특정 층의 상변화 물질을 결정 상태 또는 비정질 상태로 변화시킴으로써 여러 가지 저항 값을 만들어 낼 수 있고 각각의 저항 값은 기억시키고자 하는 데이터 비트에 해당한다. 이러한 목적을 달성하기 위한 적층 구조의 멀티비트 정보저장 상변화 메모리 소자 제조 방법은 소정의 공정을 통해 기판 상에 하부 전극을 형성하는 단계와, 하부 전극 위에 발열전극과 상변화 재료를 번갈아 적층하여 n회 반복 증착하는 단계와 적층된 상변화 재료/발열전극을 에칭하는 단계와, 상변화 재료와 전극의 연결을 위해 콘택 홀을 형성하는 단계와, 상변화 재료 위에 상부 전극을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 한다. 적층형 상변화 메모리 소자의 기본 구조는 Fig. 2에 도시되었다.

보여진 상변화 메모리 소자 구조에서 각각의 단위 셀마다 n층의 상변화 박막 재료를 이용한 programming 영역을 구현하고, 각 층의 상변화 박막 재료는 미리 정

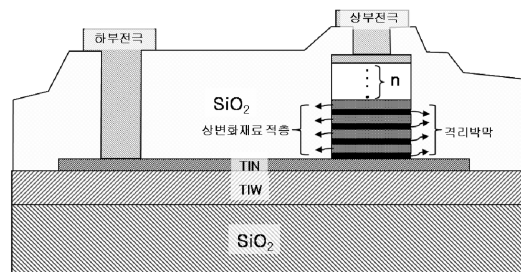


Fig. 2. Multibit-type PCM device structure.

해진 파형의 입력 전압(V)에 대하여 각각 “set” programming을 실시함으로써 전체 단위 셀의 저항값이 “set” programming 된 상변화 박막 재료의 층의 수(n)에 따라 아날로그적으로 가변되도록 한다. 본 연구에서는 programming영역의 구분을 확실하게 하기 위해 각각의 상변화 박막 재료 층 간의 물리적인 격리를 위한 박막을 따로 두고 격리 박막은 물리적인 격리뿐만 아니라 적당한 저항값을 가짐으로써 하부 층으로부터 흘러오는 전류에 의한 발열 현상, 그리고 열의 확산을 막기 위한 열방지막의 역할도 함께 수행하도록 한다. 메모리의 프로그래밍 동작에 대해 자세히 설명하면,

Fig. 3을 참조하여, 결정화된 박막과 비정질 상태의 박막의 부피비를 이용하여 아날로그적인 저항 가변이 되는 방법에 대해 도시한다. Fig. 3(b)에서, 하부전극을 통해 들어온 전류가 격리박막에서 먼저 발열이 되어 열확산에 의하여 1차 상변화 박막 재료를 먼저 결정화시킨다. 상변화 박막 재료가 결정화가 되면 저항값이 낮아져 전류를 잘 통하게 되므로 2차 상변화 박막 재료를 결정화 시키기 위해서는 또 다른 입력 전류 과형에 의해 그 다음 격리박막이 발열되고 이때에도 열확산에 의해 2차 상변화 박막 재료가 결정화된다. 이때, 1차 상변화 박막과 인접한 격리박막에서도 동시에 발열이 되지만 발열의 정도가 상변화 재료의 용점을 넘지는 않으므로 이미 결정화된 1차 상변화 박막 재료에는 아무 영향을 미치지 않는다. 이렇게 하여 n차 상변화 박막 재료까지 순차적으로 상변이를 유도하게 되면 전체 메모리 소자의 저항값은 각 상변화 박막 재료의 상변이가 진행됨에 따라 점점 낮아지게 되고 각 상태의 저항값은 각각의 저장된 데이터로 인식되어질 수 있다.

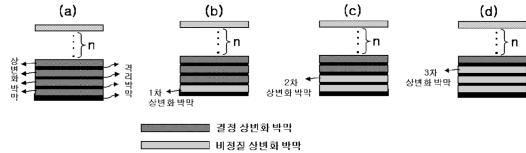


Fig. 3. Operation mechanism of stack-structured PCM device.

3. 적층 구조의 상변화 메모리 실험결과 및 고찰

적층구조 상변화 메모리의 특성에 대한 연구는 시뮬레이션을 통한 디바이스 특성 연구와 실제 소자 제작을 통한 특성 연구의 두 부분으로 나뉘어 진행되었다.

3.1. 적층구조 상변화 메모리 소자의 특성 시뮬레이션

상변화 메모리 셀에 대한 시뮬레이션은 3d-opera/tempo 툴을 이용하여 진행되었으며 Fig. 4에 적층구조의 체적에 대한 발열 온도 분포를 나타내었다. 시뮬레이션에 사용된 상변화 박막 재료의 층을 3개로 구성하였고 각각 P1, P2, P3로 명명하여 나타내었다. 그림에서 보이는 바와 같이 각각 층의 온도 분포가 뚜렷이 나타남을 알 수 있다. 이는 다시 말해서 한 층이 발열될 때 다른 층에서는 발열에 의한 상변이의 가능성이 매우 낮음을 보여주는 것으로써 본 연구에서 사용된 소자 구조가 실제 적용 가능함을 보여주는 예라 할 수 있다.

그림에서 사용된 삼차원 구조내의 색깔은 온도의 높

낮이를 보여주며 붉은색에 가까울수록 높은 온도를 뜻한다. 또한, 그림내의 그래프에서 Y축은 온도의 분포를 백분율로 정규화한 것으로써 Y축의 값이 높을수록 온도가 높다는 것을 의미한다. 이 그래프에서 주의하여야 할 점은 P1, P2, P3 각각의 온도 차이가 많이 나면 날수록 실제 소자에서의 적용이 더 용이해 진다는 점이다.

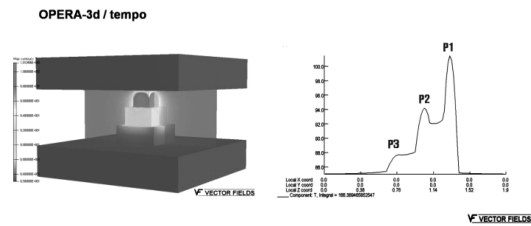


Fig. 4. Simulation result of temperature distribution in the stack-structured PCM device.

3.2. 적층구조 상변화 메모리 소자의 제작 및 특성

적층구조 상변화 메모리 셀은 제작은 크게 상변화 박막 재료와 격리박막의 증착, 증착된 상변화 박막과 격리박막의 에칭, 그리고 passivation을 위한 실리콘 산화막의 증착과 에칭, 마지막 단계로 전극 형성 등으로 구성되어 있다. 사용된 상변화 박막 재료는 $Ge_{1-x}Te_x$ 의 재료를 사용하였으며 sputtering에 의한 co-deposition 기법을 이용하였다. 또한 상변화 박막 재료와 격리 박막의 에칭을 위해서는 Helicon Etcher를 사용하여 on-mask 기법으로 에칭하였다.

$Ge_{1-x}Te_x$ 의 재료를 사용한 이유는 $Ge_{1-x}Te_x$ 가 x, 즉, 조성의 분포에 따라 상변이 온도의 분포가 다르게 나타나는데 x가 클수록, 즉, Te의 양이 많이 함유되어 있을수록 낮은 온도에서 상변이가 일어나고 Te의 양이 적게 함유되어 있을수록 높은 온도에서 상변이가 일어나기 때문이다. 이렇게 상변이가 다른 재료를 각 층에 사용한 이유는 데이터를 저장하기 위한(메모리 셀에 기록하기 위한) 발열의 근원이 셀의 한쪽 방향으로부터 발생되는 구조이고 이렇게 발생된 열은 확산에 의해 셀 전체로 퍼져나가기 때문에 똑 같은 재료를 사용하였을 경우 각각 층의 상변화 박막 재료가 순차적으로 상변이 되는 대신 동시에 상변이되는 현상을 방지하기 위함이다. 현 소자구조에서는 3층의 상변화 박막 재료를 이용하였고 각각의 조성은 $Ge_{10}Te_{90}$, $Ge_{30}Te_{70}$, $Ge_{45}Te_{55}$ 을 사용하였다. 우선 이러한 재료를 메모리 셀에 적용하기 전에 각각 박막의 상변이 특성과 작동 특성을 이해하기 위해 온도에 따른 저항의 변화 특성과 전류에 의한 set-reset 특성을 알아보았다. Fig. 5는 온

도에 따른 상변이 특성을 나타낸 그래프이다.

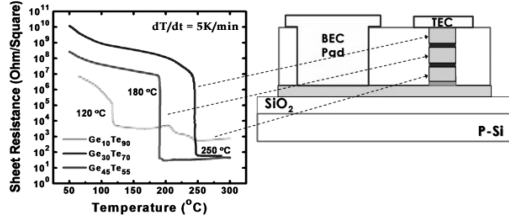


Fig. 5. Temperature-Resistance characteristics of interlayer phase change materials.

위 그래프에서 나타난 바와 같이 $\text{Ge}_{10}\text{Te}_{90}$ 의 경우 약 120°C 에서 상변이가 일어나고, $\text{Ge}_{30}\text{Te}_{70}$ 의 경우 약 180°C 에서 상변이가 일어나며 $\text{Ge}_{45}\text{Te}_{55}$ 의 경우 약 250°C 에서 상변이가 일어나는 것을 알 수 있다. 이 정도의 온도 분포에서는 층간 상변이가 일어나더라도 다른 층이 재료가 열확산에 의해 의도되지 않는 상변이를 일으킬 확률은 매우 낮다고 판단된다. 또한, 각 상변화 박막 재료들은 격리박막으로 분리되어 있으므로 신뢰도를 확보할 수 있다고 할 수 있다.

상변화 메모리 셀은 직접 가열에 의한 상변이에 의해 데이터를 저장하지만 가열 방식이 전류에 의한 발열이므로 각 재료의 전류에 의한 on-off 특성 또한 매우 중요하다고 할 수 있다. 그러므로 본 연구에서는 각 재료의 저항-전류 특성을 측정함으로써 소자의 신뢰도를 예측하였다. Fig. 6는 위 재료들의 저항-전류 특성 그래프이다.

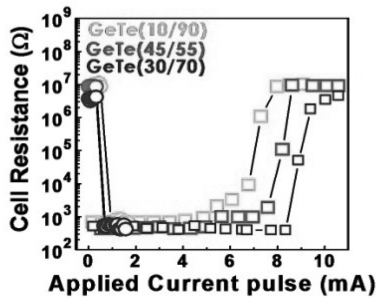


Fig. 6. Current-Resistance characteristics of each phase change materials.

그래프에서 보여진 바와 같이 각각의 재료들은 $6.5 \sim 8.5 \text{ mA}$ 내에서 Reset 과정을 거치는 것으로 보여지고 그때의 저항값은 10^2 ohm 에서 10^6 ohm 으로 약 10000 배 정도 변화가 있으므로 “0” 또는 “1”의 비트값을 저장하고 읽어내는데 전혀 문제가 없음을 알 수 있다. 또한, 본 연구에서 사용된 셀은 순수히 전류에 의해 발생된

열의 확산에 의해 구동되므로 각 재료간 set 또는 reset 전류의 차이의 크기가 문제되지 않는음을 알 수 있다.

3.3. 적층구조 상변화 메모리 소자의 멀티비트 구동 특성 및 고찰

제작된 상변화 메모리 셀의 멀티비트 구동을 위하여 적층된 상변화 박막의 층별 상변이를 도모하였다. 우선 층별 상변이를 유도하기 위해서 초기 상태를 reset 상태로 만든 다음(즉, 적층 구조내의 모든 상변화 박막 재료를 비정질상태로 만든다, 본래 공정후 초기 상태의 재료 특성은 비정질임), 펄스 전류를 이용하여 한 층씩 set 상태로(결정 상태로) 되돌리는 방법을 이용하였다. 결과적으로 한 층씩 set이 됨에 따라 전체 셀의 저항이 조금씩 낮아져 감을 고찰하였다. 측정된 저항값은 Fig. 7에 나타내었다.

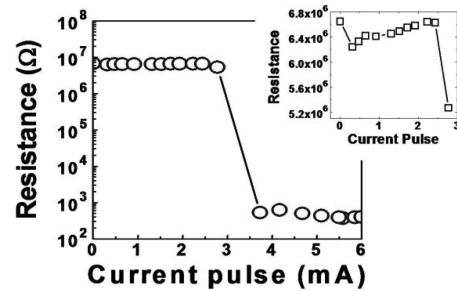


Fig. 7. Multi-bit operations of the stack-structured PCM devices.

멀티비트 구동에서의 측정 결과, 저항값의 변화는 $10^2 \text{ ohm} \sim 10^8 \text{ ohm}$ 스케일의 y축 그래프에서 큰 변화가 없는 것으로 보인다. 그 이유는 각 층의 상변화 박막 재료가 비정질 상태에서 가지고 있는 저항의 크기가 Fig. 6에서 보여진 대로 이미 10^7 ohm 정도를 가지고 있는 상황이므로 한두층의 상변이로 인한 전체 저항값의 변화가 전체 메모리 셀에서 잘 반영되지 않음을 뜻한다. 위 그래프내에 배치된 액자 그래프를 살펴보면 y축의 스케일을 $10^6 \text{ ohm} \sim 10^7 \text{ ohm}$ 으로 확대한 경우 저항값의 차이가 존재함을 알 수 있다. 그러므로 좀 더 신뢰성 있는 구동을 위해서는 각 적층에 배치된 재료의 특성이 상변이 온도 뿐만 아니라 reset 상태(비정질 상태)일 때의 저항값 자체에서도 큰 차이를 보이는 재료를 선택해야 한다는 것을 알 수 있다.

4. 결 론

본 연구에서는 고집적 메모리를 구현하는 방식과는

다르게 하나의 셀에 여러 데이터를 저장하는 이른바, 멀티비트 메모리의 구현에 대한 연구를 진행하였다. 사용된 저장 방식은 재료의 상변이 특성을 이용한 저항 변이형 메모리이며 저장하고자 하는 각각의 데이터와 대응하도록 하나의 셀에 여러 저항 상태를 가지도록 설계 제작하였다. 메모리 셀의 구조는 여러 층의 상변화 박막 재료를 적층으로 쌓아 입력 신호인 전류 펄스와 하부전극간에서 발생한 열의 확산에 의해 한 층씩 상변이를 일으키도록 유도함으로써 전체 셀의 저항을 변화시키는 방식을 사용하였다. 적층 구조의 상변화 메모리 셀은 $\text{Ge}_{1-x}\text{Te}_x$ 의 상변화 박막 재료를 사용하였으며 $x=90, 70, 55$ 의 조성 변화를 이용하여 각 층간 박막의 결정화 온도를 다르게 줌으로써 한 층이 변이할 때 다른 층에 가는 영향을 최소화하여 셀의 신뢰도를 도모하였다. 제작을 위해 셀 구조 시뮬레이션을 한 결과 3층의 상변이 재료는 뚜렷한 차이를 가지고 서로 다른 시점에 결정화됨을 밝혔고 실제 제작 후 각 상변화 박막 재료의 특성을 확인한 결과 입력 전류 펄스에 각각 다르게 상변이 됨을 확인하였다. 다만, 적층 구조의 전체 메모리 셀에서 입력 전류 파형에 대한 전체 저항 변화를 측정해 본 결과 각 층의 상변화 박막 재료의 off 상태 저항값이 10^7 ohm 정도로 매우 높은 상태이므로 각 한 두개 층의 상변이로 인한 저항값의 변화가 전체 저항값의 변화에 크게 영향을 미치지 못함을 알 수 있었다. 향후 상변화 박막 재료의 off 상태 저항값이 낮은 재료를 선택하여 구현할 경우 이러한 문제점이 해

결될 것으로 생각된다.

감사의 글

이 연구는 단국대학교 대학원 연구보조장학금의 지원으로 이루어진 것임.

참고문헌

1. T.A. Lowrey, S.J. Hudgens, W. Czubytyj, C.H. Dennison, S.A. Kostylev, G.C. Wicker, Mater. Res. Soc. Symp. Proc. Vol. 803 pp. 101-108, 2004.
2. J. Feinleib, J. de Neufville, S.C. Moss, S.R. Ovshinsky, Appl. Phys. Lett., Vol. 18 pp. 254-256, 1971.
3. H. Horii, J.H. Park, Y.H. Ha, I.G. Baek, S.O. Park, Y.N. Hwang, S.H. Lee, Y.T. Kim, K.H. Lee, U.I. Chung, J.T. Moon, Tech. Dig. VLSI Symp., pp. 177-180, 2003.
4. S. T. Harshfield, "Memory Array Having a Multi-State Element and Method for Forming Such Array or Cells Thereof" US patent 5869843, 1999.
5. K. D. Flynn *et al.*, "InSbTe Phase-Change Materials for High Performance Multi-level Recording" Jpn. J. Appl. Phys. Vol. 42, 2B pp. 795-799, 2003.

접수일: 2009년 2월 10일, 심사일: 2009년 2월 25일
게재확정일: 2009년 3월 13일