

RFID Reader용 멀티 프로토콜 모뎀 설계

Implementation of a Multi-Protocol Baseband Modem for RFID Reader

문 전 일[†], 기 태 훈¹, 배 규 성², 김 종 배³

Jeon-II Moon[†], Tae-Hun Ki¹, Gyu-Sung Bae², Jong-Bae Kim³

Abstract Radio Frequency Identification (RFID) is an automatic identification method. Information such as identification, logistics history, and specification of products are written and stored into the memory of RFID tags (that is, transponders), and retrieved through RF communication between RFID reader device and RFID tags. RFID systems have been applied to many fields of transportation, industry, logistics, environment, etc in order to improve business efficiency and reduce maintenance cost as well. Recently, some research results are announced in which RFID devices are combined with other sensors for mobile robot localization. In this paper, design of multi-protocol baseband for RFID reader device is proposed, and the baseband modem is implemented into SoC (System On a Chip). The baseband modem SoC for multi-protocol RFID reader is composed of several IP (Intellectual Property) blocks such as multi-protocol blocks, CPU, UART(Universal Asynchronous Receiver and Transmitter), memory, etc. As a result, the SoC implemented with FPGA(Field Programmable Gate Array) is applied to real product. It is shown that the size of RFID Reader module designed with the FPGA becomes smaller, and the SoC chip price for the same function becomes cheap. In addition, operation performance could be the same or better than that of the product with no SoC applied.

Keywords: RFID, mobile robot localization, Baseband modem SoC

1. 서 론

RFID(Radio Frequency Identification) 기술은 무선기반의 정보교환을 통하여 개체의 정보를 판별하여 활용하는 방식이다. 상기 각 개체는 RFID 태그(tag or transponder)라 불리는 디바이스(레이블 타입, 카드 타입, 등)가 부착되어 있으며, 마스터 기능을 담당하는 리더(reader)가 태그와 정보교환이 가능한 유효거리 내에 설치되어 시스템적으로 운용이 된다. RFID 시스템은 각종 물품에 소형 태그(Tag)를 부착해 사물의 정보와 이력 및 주변 환경정보를 획득하여 처리하는 무선 인식 시스템으로 기존의 바코드를 대체할 뿐 아니라 출입

통제, 교통카드, 유통 및 물류, 환경 관리 등에 적용되어 다양한 서비스를 제공하고 있으며 상용 통신 인프라와 융합하여 더욱 광범위한 서비스 제공이 가능한 분야이다. 최근 RFID 디바이스와 초음파 센서 등의 타 센서 시스템과 연동하여 이동형 로봇의 위치를 파악하거나 서비스 로봇이 주변 물체를 파악하여 서비스하는 연구가 수행되고 있다⁸⁻¹¹⁾.

RFID 사용 주파수는 125KHz~135KHz의 저주파 대역, 13.56MHz의 고주파 대역, 433.92MHz, 860~960MHz의 UHF (Ultra High Frequency, 극초단파) 대역, 2.45GHz의 마이크로파 대역 등이 있으며 전자파 에너지 전달 방식에 따라 상호 유도 방식과 전자기파 방식으로 나눌 수 있다. 상호 유도 방식은 13.56MHz 이하의 주파수에서 코일 안테나를 이용하여 근거리용으로 사용되며 전자기파 방식은 UHF 대역 이상의 주파수를 이용하여 중거리용으로 사용된다. 특히 UHF 대역은 물류 유통 등을 포함한 다양한 응용에 적용하기가 가장 적

Received : January 21th, 2009 Accepted: May 2nd, 2008

※ 이 논문은 2007년도 호서대학교의 재원으로 학술연구비 지원을 받아 수행된 연구임(20070113)

[†] 교신저자 : 호서대학교 로봇공학과 부교수 (jimoon@hoseo.edu)

¹ LS산전(주) 중앙연구소 선임연구원

² LS산전(주) 중앙연구소 책임연구원

³ LS산전(주) 중앙연구소 수석연구원

합한 대역으로 현재 가장 주목받고 있다.

UHF 대역 RFID 국제 표준화는 ISO/IEC에서 추진되어 지고 있으며 EPCglobal은 사실상의 표준화 규격을 제시하고 있다. 대표적인 표준 규격으로는 ISO 18000-6 A, ISO 18000-6B^[1], EPC Class 0, EPC Class 1^[2], EPC Class 1 Gen2(ISO 18000-6 C)^[3,7] 등의 표준이 제정되어 활용 중이다.

	18000-6B	Class 1	Gen 2
Reader Rate	40/10 kbps	70.18/15kbps	40~160 kbps
Modulation	ASK	ASK	DSB, SSB, PR-ASK
Coding	Manchester	Pulse Width	PIE
Tag Rate	40/10 kbps	140.35/30kbps	5~640 kbps
Modulation	ASK	ASK	ASK
Coding	FMO	FMO	FMO, Miller
Collision	Binary Tree	Binary Tree	ALOHA

그림 1. UHF 표준별 특징

RFID 시스템은 산업, 물류 분야에서의 수요가 급속히 증가되고 있으며 Mobile RFID의 등장과 함께 개인용 수요의 증가가 예상되고 있다. 따라서 RFID Reader는 고정형(Stationary or Fixed type)에서 Handheld형으로 그리고 Mobile형으로 소형화가 진행되고 있다. 이와 같이 소형디바이스를 위해서는 다양한 표준을 동시에 지원 가능하며 컴퓨팅 기능을 내장한 Multi-protocol RFID reader SoC(System on a Chip)가 필요하다.

최근까지 상용화에 활용된 추세는 단일 표준 프로토콜 (예: EPC Class 1 Gen2) 단위로 칩설계에 포함시키거나 또는 DSP에 구현해서 사용하고 있다. 즉, 멀티 프로토콜을 칩화해서 상용화가 가능한 연구결과를 제시한 경우가 미진한 실정이다. 본 연구 결과에 의하면, 단일 프로토콜을 구현 적용한 기존 상용제품대비 Reader 사이즈 축소설계가 가능하며, 양산칩화 했을 때에 가격 절감 효과가 크고, 또한 표준 알고리즘을 소프트웨어로 DSP에 구현해서 사용하는 경우대비 체계적이고 심도 있는 검증과정을 거쳐서 생산된 양산칩을 사용하는 경우가 성능상의 차이는 미세하지만 제품의 신뢰성 측면에서는 칩화해서 사용하는 경우가 오류 가능성이 낮다.

다양한 분야에서 RFID 시스템을 구성하는 장비들 (readers, tags, 기타)의 수요 창출이 예상되는데, Reader 제품의 핵심요소인 베이스밴드 블록의 하드웨어 요소들(CPU, UART, 등)과 멀티프로토콜(ISO, EPC) 알고리즘을 IP(Intellectual Property)화 하고 FPGA(Field Programmable Gate Array)로 구현하는 연구를 수행하고자 한다. 본 논문에서는 UHF대역의 ISO 18000-6 B, EPC

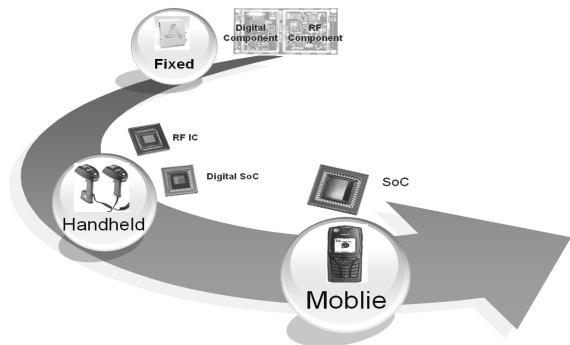


그림 2-1. RFID Reader device 변화 추세

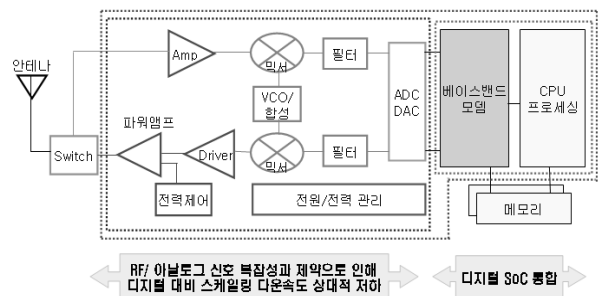


그림 2-2. RFID Reader 모듈 구성

그림 2. RFID Reader device 변화 추세 및 RFID Reader 모듈 구성

Class 1, EPC Class 1 Gen 2를 지원하는 multi-protocol 알고리즘을 포함하는 RFID Reader-용 Baseband Modem SoC를 설계 하였다.

2장에서는 RFID Reader-용 baseband 모뎀을 설계하고 FPGA기반으로 SoC로 구현하는 내용과 과정을 다룬다. 이를 위해 사전에 RFID 시스템을 분석하고 UHF대역 RFID표준을 분석한다. 3장에서는 설계 구현한 결과를 제시하며, 마지막으로 4장에서 결론 및 향후 연구 방향을 정리하였다.

2. 모뎀 회로 설계

2.1 RFID 시스템 분석

RFID 시스템은 크게 Reader와 Tag 그리고 Channel로 구성되어 진다. Reader의 TX(Transmission) Digital Block에서는 송신 Data를 생성해 주는 Block과 Modulation Depth를 변환 할 수 있는 Block, Raised cosine filter, 그리고 PSK 신호를 만들어 주는 Hilbert Transform 등으로 구성되어져 있다. Digital Block에서 만들어진 신호를 DAC(Digital-to-Analog Converter)를 통해 Analog & RF Block으로 전송되어지며 Analog & RF Block은 Mixer를 통해 SSB(Single Side Band transmission,

단측파대전송), DSB(Double Side Band transmission, 양측파대전송) 신호를 만들어 주며 안테나를 통해 Air로 송신한다. 안테나를 통해 송신된 신호는 Free Space Loss가 발생되고 Tag의 수신부에는 Reader에서 송신된 신호와 반사된 신호, AWGN Noise(Additive White Gaussian Noise, 부가적인 백색 가우시안 잡음) 등이 더해져 들어오게 된다. Tag에 도달된 신호는 back-scatter 되어 Reader의 수신부로 보내지는데 Reader의 수신부로는 Tag에서 보낸 신호와 Tag의 신호가 반사된 신호, AWGN Noise, Reader가 보낸 신호가 반사된 신호 등이 더해져 들어오게 된다. Reader의 Analog & RF Block에서는 Mixer를 통해 Down Converting 해주고 Filter를 통해 DC Offset과 Noise를 제거 해준다. Reader의 Digital Block에서는 DAC를 통해 I와 Q 채널 신호를 받아 Tag에서 송신된 Data를 복원시켜준다. 위와 같은 RF 시스템에서 Local Oscillator의 Phase Noise와 TX-RX Coupling, Reflection environment, AWGN Noise, DC Offset, I/Q mismatch 등이 성능에 영향을 주게 된다^[4]. 이들 중에서 DC Offset과 AWGN Noise에 대한 영향을 줄이기 위해 Digital Block에서는 Filter를 추가 하였다.

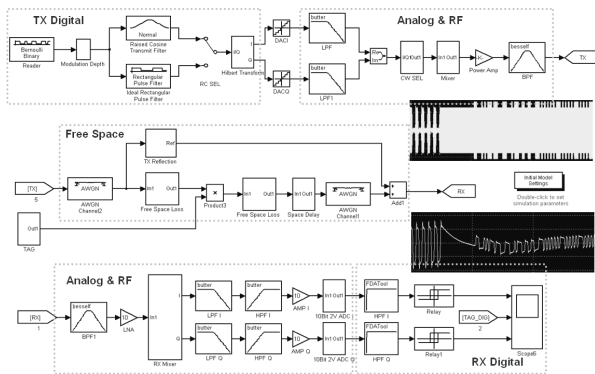


그림 3. RFID System

2.2 UHF 대역 RFID 표준

EPC Class 1 Gen 2^[3]에서는 송신 시에 Data를 PIE(Pulse Interval Encoding) encoding한 후 DSB-ASK, SSB-ASK, 또는 PR-ASK 방식을 사용하며, ISO 18000-6B^[1]와 EPC Class 1^[2]은 ASK방식을 사용한다.

EPC Class 1 Gen 2에서는 Reader에서 송신되는 Data의 앞부분에 Frame-sync 또는 Preamble이 놓이게 된다. Preamble은 Query command일 때 사용되고 나머지 Command는 모두 Frame Sync를 사용한다. Preamble은 start delimiter, data-0 symbol, RTcal symbol, TRcal symbol로 구성되어 있으며 Frame sync는 start delimiter, data-0

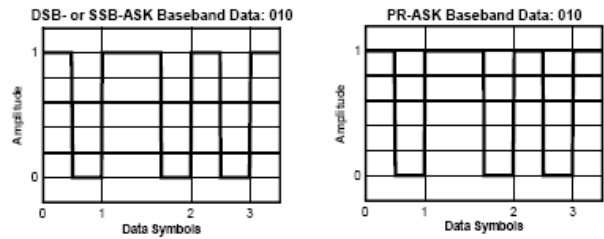


그림 4. Baseband 신호

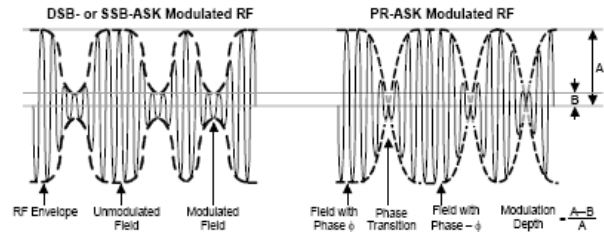


그림 5. RF 신호

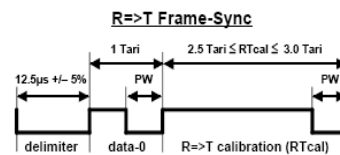


그림 6. Frame-Sync 구조

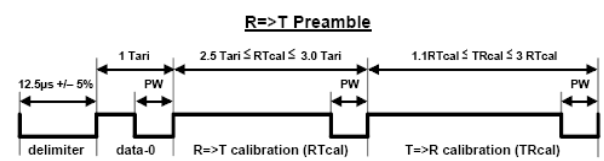


그림 7. Preamble 구조

symbol, RTcal symbol로 구성되어 있다.

Start delimiter는 12.5us +/-5% 이며 RTcal은 Data-0 symbol의 길이와 Data-1 symbol의 길이를 더한 길이와 같다. Tag에서는 RTcal / 2를 계산하여 pivot이라 하고 pivot 보다 짧은 신호가 들어오면 data를 0으로 판단하고 pivot 보다 긴 신호가 들어오면 data를 1로 판단하는데 사용 한다. TRcal은 Tag의 back-scatter link frequency를 결정하는데 사용되어진다.

Tari는 data-0의 period를 의미하며 6.25us, 12.5us, 25us +/- 1%의 값을 가질 수 있다. 송신 Data는 Pulse Interval Encoding 방식을 사용하며 Data Rate는 최대 160Kbps ~ 20Kbps를 가질 수 있다.

Tag는 back-scatter 방식으로 응답을 하며 ASK 또는 PSK 방식을 사용한다. Encoding은 FM0 또는 Miller Subcarrier 방식을 사용한다.

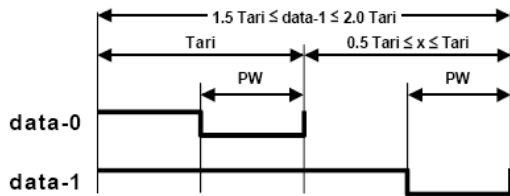


그림 8. Pulse Interval Encoding

$$LF = \frac{DR}{TRcal} \quad (1)$$

ISO 18000-6B에서는 송신시 Manchester 방식을 이용하며 수신시 FM0 방식을 이용한다. 송수신 Data Rate는 10Kbps 또는 40Kbps를 갖는다.

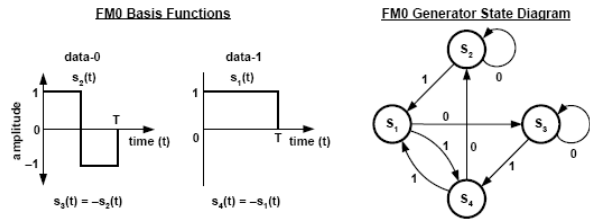


그림 9. FM0 Encoding

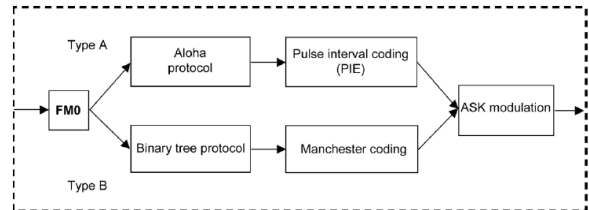


그림 11. ISO 18000-6 구조도

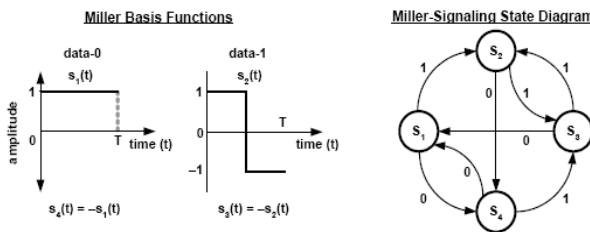


그림 10. Miller Encoding

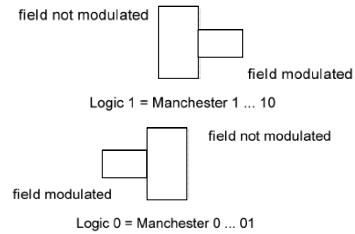


그림 12. Manchester Encoding

Link frequency(LF)값은 TRcal값에 의해 결정되어지는 데 계산 방법은 식 (1)과 같으며 DR은 8또는 64/3 값을 가질 수 있다. 따라서 FM0 방식일 경우 최대 640Kbps~40Kbps의 Data Rate 범위를 갖게 되며, Miller 방식일 경우 320Kbps~5Kbps의 범위를 갖게 된다.

표 1. Link Frequency 및 Data Rate

DR: Divide Ratio	TRcal ¹ (μs ±1%)	LF: Link Frequency (kHz)	Frequency Tolerance FT (nominal temp)	Frequency Tolerance FT (extended temp)	Frequency variation during backscatter
64/3	33.3	640	+/- 15%	+/- 15%	+/- 2.5%
	33.3 < TRcal < 66.7	320 < LF < 640	+/- 22%	+/- 22%	+/- 2.5%
	66.7	320	+/- 10%	+/- 15%	+/- 2.5%
	66.7 < TRcal < 83.3	256 < LF < 320	+/- 12%	+/- 15%	+/- 2.5%
	83.3	256	+/- 10%	+/- 10%	+/- 2.5%
	83.3 < TRcal < 133.3	160 < LF < 256	+/- 10%	+/- 12%	+/- 2.5%
8	133.3 < TRcal < 200	107 < LF < 160	+/- 7%	+/- 7%	+/- 2.5%
	200 < TRcal < 225	95 < LF < 107	+/- 5%	+/- 5%	+/- 2.5%
	17.2 < TRcal < 25	320 < LF < 465	+/- 19%	+/- 19%	+/- 2.5%
	25	320	+/- 10%	+/- 15%	+/- 2.5%
	25 < TRcal < 31.25	256 < LF < 320	+/- 12%	+/- 15%	+/- 2.5%
	31.25	256	+/- 10%	+/- 10%	+/- 2.5%
8	31.25 < TRcal < 50	160 < LF < 256	+/- 10%	+/- 10%	+/- 2.5%
	50	160	+/- 7%	+/- 7%	+/- 2.5%
	50 < TRcal < 75	107 < LF < 160	+/- 7%	+/- 7%	+/- 2.5%
	75 < TRcal < 200	40 < LF < 107	+/- 4%	+/- 4%	+/- 2.5%

M: Number of subcarrier cycles per symbol	Modulation type	Data rate (kbps)
1	FM0 baseband	LF
2	Miller subcarrier	LF/2
4	Miller subcarrier	LF/4
8	Miller subcarrier	LF/8

EPC Class 1에서는 송신시 Pulse Width 방식을 사용하며 수신시에는 FM0 방식을 사용한다. 송신 Data Rate는 70.18Kbps 또는 15Kbps 이며 수신 Data Rate는 140.35Kbps 또는 30Kbps를 갖는다.

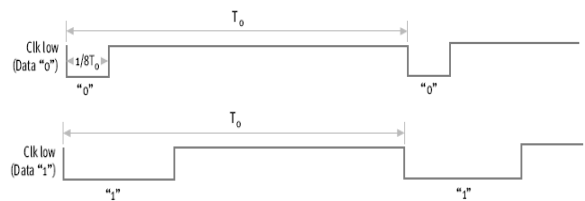


그림 13. EPC Class 1 Data Timing

2.3 RFID Reader Baseband Modem 설계

RFID Reader Baseband Modem 구조는 그림 14와 같이 Tag에 Data와 전력을 공급하기 위한 송신단과 Tag에서 보내온 Data를 분석하여 Host에 전달하기 위한 수신단 그리고 송수신단을 제어하기 위한 제어부와 Host와의 인터페이스부로 구성되어 있다.

위의 RFID Reader Modem을 적용한 RFID Reader의 구조는 그림 1과 같으며 송수신 Data 외에 Power Amp를 제어할 수 있는 신호와 PLL을 제어할 수 있는

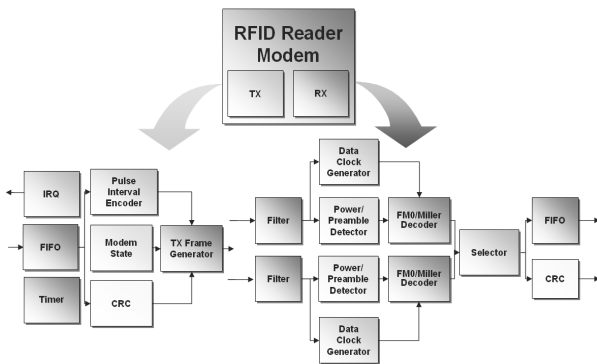


그림 14. RFID Reader Baseband Modem 구조도

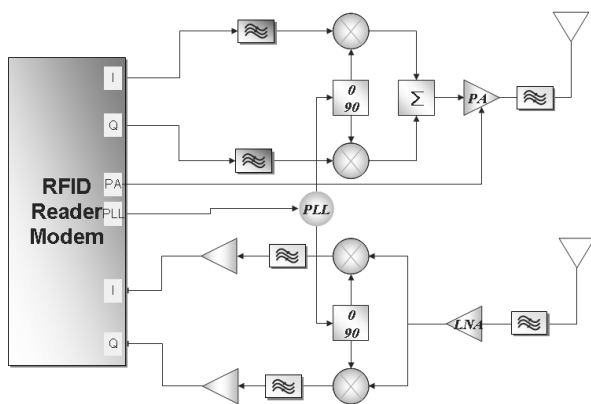


그림 15. RFID Reader 구조도

Block이 추가 되어있다.

송신 단은 그림 16과 같이 Manchester Encoder, Pulse Width Encoder, Pulse Interval Encoder, Modem State Machine, FIFO, CRC Generator, TX Frame Generator 등으로 구성되어 있다.

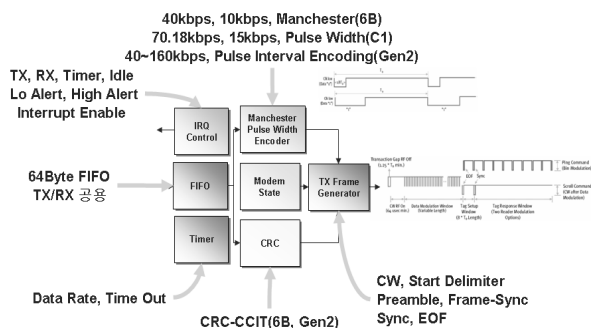


그림 16. 송신 단 구조도

TX Data를 보내기위해 ISO 18000-6B에서는 Manchester Encoder를 사용하고 EPC Class 1에서는 Pulse Width

Encoder를 사용하며 EPC Class 1 Gen 2에서는 Pulse Interval Encoder가 사용되며 각 각의 Data Rate를 변경할 수 있도록 하였다.

송수신을 위한 컴퓨팅 CPU가 내릴 수 있는 Command는 Transmit, Transceive, Receive로 구성되어 있으며 Transmit은 송신, Receive는 수신, Transceive는 송신 후 자동으로 수신 모드로 전환되도록 동작한다. ISO 18000-6B에서는 위의 명령 외에 Resync, Write Command가 추가 된다.

Modem State Machine은 그림 17과 같이 상태가 천이 되며 상태 값은 TX와 RX을 제어하기 위해 사용되는 동시에 현재의 상태를 System에 알려준다. Timer에서는 일정시간 동안 Tag에서 신호의 응답이 없을 경우 Receive Time Out 신호를 생성시켜 Reader가 다른 명령을 수행 할 수 있도록 Modem을 IDLE State로 옮겨 준다.

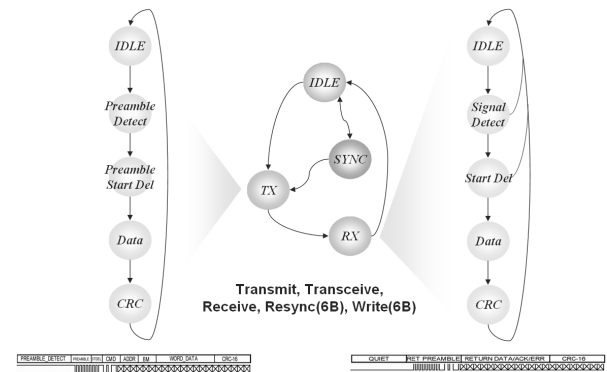


그림 17. Modem State 천이도

TX FIFO는 최대 64Byte까지 송신 Data를 저장할 수 있도록 설계 되었으며 64Byte이상의 Data를 송신할 경우에는 Transceive나 Transmit 명령 수행 후 Modem State가 TX 상태에 있을 때 TX FIFO에 송신 Data를 추가적으로 넣어주는 방법으로 송신 Data의 길이를 확장 할 수 있도록 설계하였다. 이 TX FIFO는 송신을 모두 마친 후 자동으로 RX FIFO로 전환되도록 하였다. IRQ에서는 IRQ Enable Register, Modem State, FIFO State를 보고 CPU에 Interrupt를 발생시켜주고 현재 Interrupt의 상태를 표시해준다.

EPC Class 1 Gen2에서는 CRC-CCIT(그림 18)와 CRC5(그림 19)를 이용하여 CRC를 생성하며, ISO 18000-6B는 CRC Generator에서 CRC-CCIT이용하여 CRC를 생성하여 TX DATA의 후반에 붙여 전송하고 EPC Class 1에서는 각 Field 마다 1 Bit의 Odd Parity를 생성하여

CRC definition					
CRC type	Length	Polynomial	Direction	Preset	Residue
CRC-CCITT	16 bits	$X^{16} + X^{12} + X^5 + 1$	Forward	0xFFFF(HEX)	'0'

그림 18. CRC-CCIT CRC

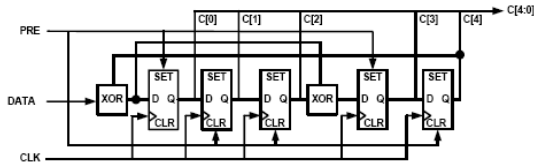


그림 19. CRC5

전송한다.

TX Frame Generator에서는 Preamble, Frame Sync Start Delimiter, 그리고 각 Encoder에서 생성된 Data와 CRC Data를 합해 Analog Front End로 신호를 전달한다.

수신 단에서는 Tag에서 보내온 신호에서 Preamble 신호를 찾은 후에 이어서 수신된 Data를 Decoding해서 FIFO에 저장해두고 Interrupt를 통해 CPU에 자신의 상태를 전달해 준다. 수신단의 구조(그림 20)는 크게 High Pass Filter, Low Pass Filter, Data & Clock Generator, FM0 Decoder, FM0/Miller Decoder, Preamble Detector, Frame End Detector, Collision Detector, CRC Checker, RX FIFO로 이루어져 있다.

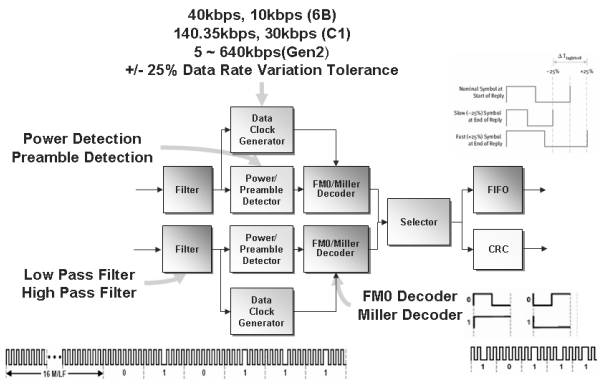


그림 20. 수신단 구조도

High Pass Filter는 RF & Analog Front End단으로부터 ADC를 통해 신호를 받아들이며 Analog Front End에서 발생된 DC offset을 제거해준다. High Pass Filter에서 나온 신호는 Low Pass Filter의 입력으로 전달되며 Low Pass Filter에서는 Tag에서 보낸 신호보다 빠른 주파수의 Noise 신호를 제거 해줌으로써 Data Decoding 시 발생하는 오류를 방지해준다. 두 필터는 CPU를 통해 Coefficient 값을 변경 할 수 있도록 하여 필터 특성

을 조정 할 수 있다.

Data & Clock Generator에서는 필터에서 나온 신호를 가지고 Data와 Clock을 생성시켜주는데 Tag에서 보낸 신호가 +/-25% (그림 21)와 같이 변화는 신호까지 이상 없이 받아들일 수 있도록 설계 되었다.

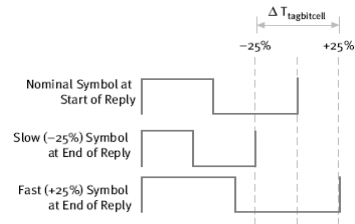


그림 21. Data Length Tolerance

EPC Class 1 Gen 2 및 ISO 18000-6B를 위한 FM0 Decoder에서는 Data & Clock Generator에서 보내준 Data와 Clock을 가지고 각 신호 Data 중간에서 Transition이 발생하면 '0'으로 Transition이 발생하지 않으면 '1'로 Decoding 해준다. EPC Class 1의 경우 각 Data 시간에서 Transition이 한번 발생하면 '0'으로 Transition이 세 번 발생하면 '1'로 Decoding 해준다.

8 bit을 Decoding할 때 마다 FIFO에 Byte 단위로 저장 하기위해 Write신호와 8Bit Data를 FIFO에 전달해준다.

Preamble Detector에서는 Data & Clock Generator로부터 Data와 Clock을 받아들여 내부에 가지고 있는 Preamble과 Start delimiter 값을 비교하여 FM0 Decoder와 EPC Class 1 Decoder에 Synch. 신호를 전달해 주고 이 Synch. 신호는 Data Frame의 시작을 알려 주는데 사용된다.

CRC Checker에서는 ISO 1800-6B와 EPC Class 1 모두 CRC-CCTIT CRC를 이용하며 Synch. 신호에 CRC를 초기화 하고 Data의 시작부터 Frame End까지 CRC 연산을 수행 후 Frame End 신호가 발생하면 계산된 CRC 값 보고 정상인지 에러로 판단한다.

Collision Detector와 Frame End Detector에서는 Low pass 필터로부터 신호를 받아들여 Collision 신호와 Frame End 신호를 생성시켜주고 Error Flag Register를 통해 CRC, Collision, FIFO Overflow 에러 등을 표시해 준다.

TX와 RX FIFO는 공통으로 사용하도록 하여 칩 면적을 줄일 수 있도록 설계 되었으며 FIFO의 상태를 Primary Status Register와 FIFO Length Register를 통해 표시해준다.

3. 결과

3.1 RFID Reader Baseband Modem SoC 구현

설계된 RFID Reader Baseband Modem SoC의 전체 구조도는 그림 22와 같이 OPB(On chip Peripheral Bus) Multi-protocol RFID Reader, OPB UART 2CH, OPB RF Controller, Microblaze, Interrupt Controller, Memory 등으로 구성하였다. SoC설계를 위한 CPU는 Xilinx사의 32bit RISC Processor인 Microblaze^[5]를 IP로 사용하였으며 System Bus로 Xilinx사에서 IP로 제공하는 IBM사의 CoreConnect Technology^[6]를 사용 하였다. OPB에 Multi-protocol RFID Reader를 연결하기 위해 OPB Bus Interface를 추가하고 외부와의 통신을 위해 OPB Bus Interface를 가진 UART를 2 Channel을 추가하였다. 그리고 RF Control 블록을 추가하여 RF & Analog Front End 부분을 제어할 수 있도록 하였다.

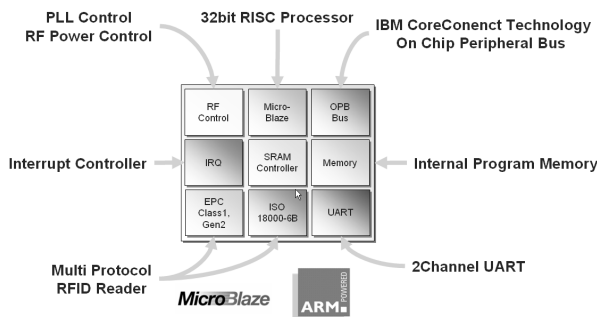


그림 22. 설계된 SoC 구조도

3.2 설계 결과

Multi-protocol RFID Reader Baseband Modem SoC의 구현을 위해 Xilinx사의 Spartan 3 XC3S1000 Device와 Xilinx Platform Studio 7.1i를 이용하였으며 42만 FPGA Gate Count 정도 차지하였으며 최대 90MHz 동작속도를 보였다. 테스트보드는 위의 SoC와 RF & Analog Front End와 Antenna로 구성하였으며(그림 23과 그림 24) UART를 통해 RFID Reader Host와 통신을 할 수 있도록 하였다. Firmware는 Host에서 UART를 통해 내려준 명령을 해석하여 RFID Reader를 Control 하고 Tag에서 받은 데이터를 Host로 전송해줄도록 설계하였으며 GCC compiler를 이용하여 compile후 내부메모리 넣어 테스트하였다.

설계된 FPGA를 제품에 적용했을 때 차지하는 공간은 동일한 기능을 갖도록 기존 상용 chip들로 구성된 공간대비 반으로 줄었다. 또한 동일 성능을 기준으로 비교할 때, 설계된 SoC칩을 채용하는 경우가 기존 부품

들을 사용할 때 보다 부품가격이 1/5수준으로 감소된다.

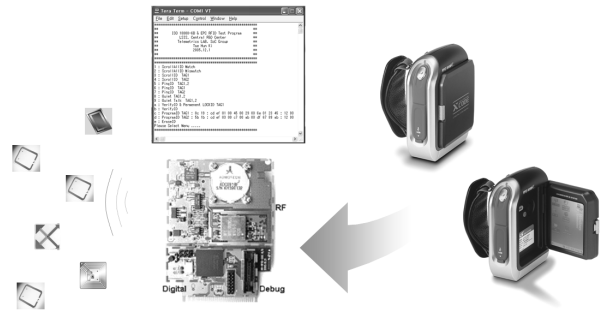


그림 23. 실험 시스템 구성도

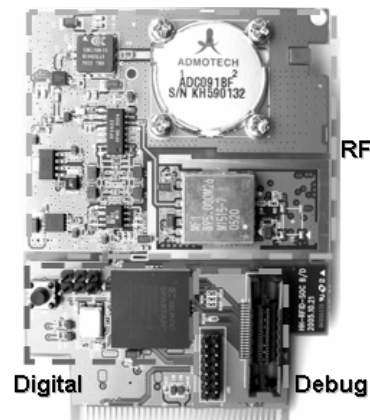


그림 24. 구현한 FPGA를 탑재한 RFID 모듈

4. 결론 및 향후 연구 방향

본 연구에서는 UHF 대역의 ISO 18000-6B, EPC Class 1, EPC Class1 Gen2 표준을 지원하는 Multi-protocol 알고리즘 block, CPU block, 등의 베이스밴드 모뎀부의 주요 블록들을 포함하는 RFID Reader 디지털 SoC용 IP들을 설계해 넣은 FPGA를 설계하고 검증을 수행했다.

결과로써, RFID 디지털부 SoC를 구성하는 주요 IP들을 확보하고, RFID표준화의 양대 주축 (ISO, EPC)의 표준인 ISO18000-6B와 EPC Class 1-Gen2를 FPGA에 구현함으로써 개별 프로토콜을 DSP에 C언어로 코딩 구현했을 때보다 빠른 처리속도가 가능하다.

또한, Reader 모듈의 소형화로 소형, 경량, 저가격 Reader 제품에 적용 가능하다. 디지털 SoC화를 통해 RFID Reader는 소형화가 가능하며 향후 다양한 분야에서 적용 될 수 있을 것이다. 휴대형 리더, 소형 고정형 리더, 서비스 로봇에 필요한 로봇의 위치인식 및 주변 객체인식을 위한 소형 리더모듈 등에 사용이 확대 가

능하다. 향후 과제로는 FPGA기반으로 설계된 SoC를 Fab 개발을 통해서 SoC chip을 개발하는 연구, 그리고 RF와 Analog 부분까지 통합 SoC를 설계하는 연구를 수행할 계획이다.

참고문헌

- [1] ISO/IEC FDIS 18000-6, Information technology automatic identification and data capture techniques - Radio frequency identification for item management air interface - Part 6: Parameters for air interface communications at 860-960 MHz, 2003.
- [2] 860MHz~930MHz EPC Class I Radio Frequency Identification Tag Radio Frequency & Logical Communication Interface Specification Candidate Recommendation, Version 1.0.1, AUTO-ID CENTER, 2002.
- [3] EPC Radio-Frequency Identity Protocols Class-1 Generation-2 UHF RFID Protocol for Communications at 860 MHz 960 MHz Version 1.0.9, EPCglobal, 2005.
- [4] System Modeling and Simulation of RFID, Auto-ID Labs at Fundan University.
- [5] Microblaze processor reference guide, Xilinx, 2005.
- [6] On-Chip Peripheral Bus Architecture Specification
- [7] ISO/IEC 18000-6C Information Technology : Radio-Frequency Identification for Item Management - Part 6: Parameters for Air Interface Communications at 860 MHz to 960 MHz - Extensions with Type C.
- [8] D. Hahnel, W. Burgard, D. Fox, K. Fishkin and M. Philipose, "Mapping and Localization with RFID Technology," IEEE, vol. 1, pp. 1015-1020, April, 2004.
- [9] Sung-Bu Kim, Dong-Hui Lee, and Jang-Myung Lee, "Indoor Localization Scheme of a Mobile Robot Applying RFID Technology," *J. of Control, Automation, and Systems Engineering*, vol. 11, no. 12, December, 2005.
- [10] 나상익, 채희성, 유원필, "RFID 시스템을 이용한 이동 로봇의 자율주행" 제1회 한국지능로봇 하계 종합 학술대회 논문집.
- [11] 최정욱, 오동익, 김승우, "RFID 기술을 이용한

CPR 위치 측정" 2006 제어자동화시스템 심포지엄 논문집, pp.103-109.



문 전 일

1984 서울대학교 기계설계학과(공학사)
 1986 한국과학기술원 기계공학과(공학석사)
 1998 Syracuse University, Manufacturing Engineering(공학박사)

학박사)

1986~1987 LG전자 로봇개발팀 주임연구원
 1987~2003 LG산전(주) 중앙연구소 임베디드 시스템 연구팀장
 2004~2006 LS산전(주) 중앙연구소 소장
 2007~현재 호서대학교 로봇공학과 부교수
 관심분야: 로봇 지능, 무선기술기반 위치인식, Embedded Control, 센서 네트워크, SoC



기 태 훈

2000 중앙대학교 전기전자공학과(공학사)
 2003~현재 LS산전(주) 중앙연구소 선임연구원
 관심분야: ASIC & SoC, RFID, USN

E-mail : thki@lsis.biz



배 규 성

1992 조선대학교 전자공학과(공학사)
 1994 조선대학교 전자공학과(공학석사)
 1988~현재 LS산전(주) 중앙연구소 책임연구원

관심분야: 필드버스, SoC 및 Mixed ASIC, low-power Design, RFID/USN

E-mail : ksbaea@lsis.biz



김 종 배

1984 중앙대학교 전자공학과
(공학사)

1986 중앙대학교 전자공학과
(공학석사)

1988~현재 LS산전(주) 중앙연
구소 수석연구원

관심분야: Mixed ASIC & SOC, 전력용반도체,
Motion Control, RFID/USN, Embedded System.