

**특집 : TSV 최근 기술 동향**

**TSV (Through Silicon Via) 기술 동향**

윤민승  
 삼성전자

**Introduction of TSV (Through Silicon Via) Technology**

Min-Seung Yoon  
 Samsung Electronics

**1. 서 론**

‘새로이 개발되는 메모리 칩의 능력은 18~24개월에 약 2배가 된다.’라는 Moore의 법칙은 수십년간 반도체 기술 개발 진화에 적용되었다. 그 동안 Moore의 법칙이 성립할 수 있었던 가장 큰 요인은 반도체 Cell의 미세화가 성공했기 때문이다. 한정된 면적 안에 Cell 미세화 공정, 특히 노광 공정의 발달로 수십 nm 공정이 가능하였기에 반도체 칩의 능력을 향상시킬 수 있었다. 하지만, 미세화 공정을 통한 Chip 성능 향상은 한계점이 드러나고 있는데, 그것은 크게 2가지 이유로 나눌 수 있다. 하나는 극미세화 공정을 위해서는 점점 더 고성능의 노광 설비가 필요하게 되고, 이는 거대한 설비 투자를 바탕으로 하여 제조원가의 극단적인 상승을 가져오게 된다. 또한 수십 nm 이하의 미세 패턴은 물리적 한계까지의 노광 설비를 요구하기에 더 이상 극미세화 공정을 칩 성능 향상시키는 효과는 둔화되고 있다. 또 다른 한가지 이유는 성능 향상을 위해 미세 Cell의 개수가 증가함에 따라 Cell을 서로 연결해주는 배선 길이가 증가하게 되고, 이는 길어진 배선에서 신호 지연이 발생하여 칩 성능 향상에 대한 효과가 떨어지게 된다. Cell 미세화를 통한 칩 성능 향상에 대한 한계점을 극복하기 위한 대안으로서 제기된 것이 Through Si Via (TSV) 기술을 이용한 Chip 적층이다. TSV 기술이란 Si 기판을 관통하는 홀을 형성하고, Chip 적층시 Si 기판의 위와 아래를 연결하여 Chip 간 신호 및 파워를 전달할 수 있게 만드는 기술이다.<sup>1)</sup> (그림 1, 2) 그림 1과 2에서 나타내었듯이, TSV 기술을 적용하면 Chip을 3차원으로 적층하여 서로 전기적 배선 연결을 할 수 있고, 그로 인해 2차원 상에서의 Chip을 배치할 때보다 면적을 크게 감소시킬 수 있다. 다음과 같은 TSV를 이용한 Chip 적층은 앞서 기술한 Cell 미세화를 통한 성능 향상의 한계를 극복할 수 있는 해결책이다. 현재 개발된 미세 패턴의 Cell을 가지고 추가 미세화 개발 없이 Chip을 적층하면서 용량을 증가시킬 수 있고, 각 Chip의 배선 길이를 그림 3

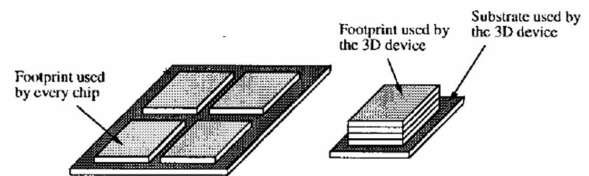


그림 1. 2D Package Vs. 3D Package

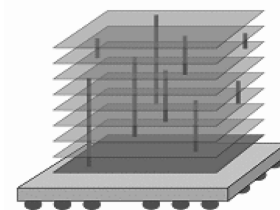


그림 2. TSV 기술을 적용한 3D Package

처럼 감소시킬 수 있기에 배선 신호 지연으로 인한 칩 성능 하락을 막을 수 있다.<sup>2)</sup> TSV 기술은 기존 기술의 한계를 극복하면서도 Moore의 법칙을 만족할 수 있는 차세대 반도체 기술로 각광받고 있다.

현재 기술 한계점의 극복 기술로서 TSV 기술은 몇 년 전부터 세계 우수 반도체 업체, 연구소 등을 중심으로 연

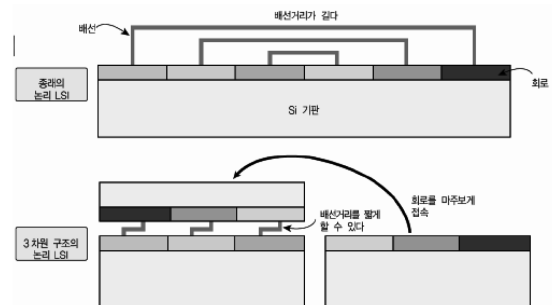


그림 3. TSV와 일반 Wiring의 배선 구성

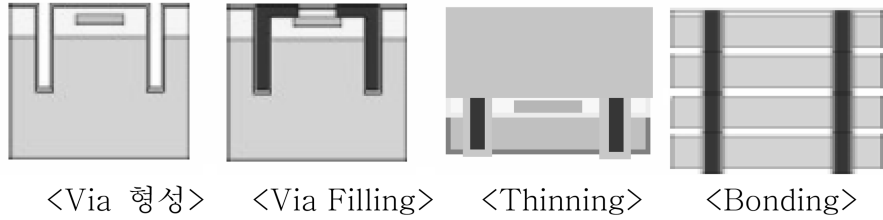


그림 4. TSV의 주요 4가지 공정

구되기 시작했다. 그로 인해 실제 Device를 이용한 제품도 개발 및 발표되었고, 여러 가지 TSV 관련 기술들의 특허 및 연구 발표도 무수히 많이 이루어지고 있다. 특히, 반도체 업체들이 향후 근시일 내에 시장에 제품을 출시하는 것을 목표로 추진하고 있다. 본 글에서는 TSV 주요 기술과 현재까지 반도체 업체, 연구소 등에서 진행되어 온 TSV 기술 현황을 소개하고 향후 TSV의 발전 방향을 논의하고자 한다.

## 2. TSV 주요 기술

TSV의 주요 기술은 크게 4가지로 (Via 형성, Via Filling, Thinning, Bonding) 구분할 수 있다.<sup>3)</sup> (그림 4)

### 2.1. Via 형성

Si 기판에 수직으로 홀을 형성하는 기술로서 대부분 Bosch 방식의 Deep Reactive Ion Etch (DRIE) 방법을 사용하여 형성한다. Bosch Process는 높은 종횡비의 Via를 형성할 수 있는 장점이 있는 반면에 Via Sidewall에 표면 Roughness가 나쁜 단점도 있다. TSV 기술에서 Via를 형성하는 방법은 대부분 DRIE 방식을 동일하게 사용하나 Via를 어느 단계에서 형성하는지는 차이가 있다. 크게 Via First (Front End 공정 이전에 Via 형성 및 Filling)와 Via Last (Wafer 공정이 완료된 후 Via 형성 및 Filling)로 구분되며 각각의 장단점은 아래 표 1과 같다.

### 2.2. Via Filling

Via Filling 기술로는 Via First인 경우 Cu 오염 문제로 인해 CVD Poly-Si을 사용하고 있고, Via Last인 경우에 대부분 Electroplated Cu 기술이 적용되고 있다. Poly-Si의 경우는 금속 배선보다 높은 저항으로 인해 Chip 특성을

표 1. Via First, Via Last 구조의 장단점

	Via First	Via Last
Via 형성 단계	FEOL 이전	BEOL 이후
장점	1) High AR Via 2) High Density Via 가능 3) 공정 조건 제약 無	1) Via Fill 소재로 Cu 가능 2) Process 단순
단점	1) Poly-Si Fill 소재로 인한 높은 저항	1) 공정 온도 제약 (<200도) 2) 다양한 Top Layer Etch

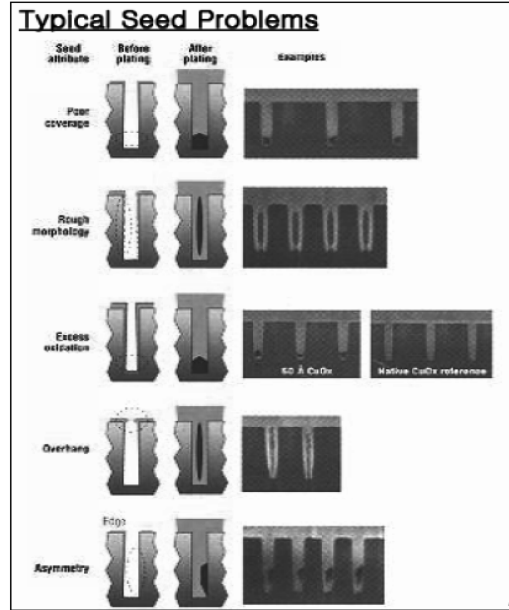


그림 5. Cu Seed 불량에 따른 Electroplated Cu Filling의 불량 양상

저하시키는 문제를 안고 있다. Electroplated Cu의 경우는 Plating시 전류를 전달해 줄 수 있는 Cu Seed가 형성되어 있어야 한다. 일반적으로 PVD Cu로 얇게 Seed를 형성하는데, Via의 높은 종횡비로 인하여 Via Side Wall과 Bottom에 적절한 두께의 Cu Seed를 형성하게 하는 기술이 중요하다. 그림 5에서 Seed와 Electroplating의 최적 조건이 확립되지 않았을 경우에 발생하는 불량들을 보여주고 있다.<sup>4)</sup>

### 2.3. Thinning

Via가 형성된 Wafer는 Backside Thinning을 통하여 Via가 Si 기판을 관통할 수 있게 해야 한다. Wafer Thinning에서는 크게 Grinding, CMP, Wet Etch, Dry Etch 방법이 있으며, Grinding+CMP 혹은 Grinding+Wet/Dry Etch 방법을 대부분 사용한다.

Thinning이 완료되면 최종적으로 Wafer 두께는 수십  $\mu\text{m}$  이하이기 때문에 Thinning 공정에는 Wafer Handling 기술과 함께 연계되고 있다. 얇은 두께의 Wafer를 Handling 하기 위해서는 Wafer Supporting System이 필요하다. Wafer Supporting Carrier으로는 Glass 혹은 Wafer 등이 사용되고, Device Wafer와 Carrier Wafer 사이에는



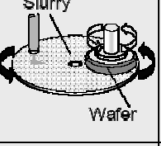
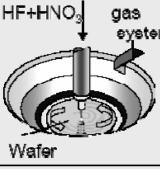
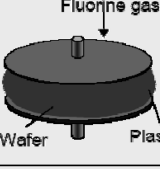
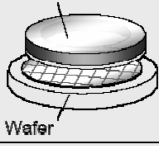
Process	CMP	Wet Etching	Dry Etching	Dry Polishing
 TEM photo   Figure	 Slurry Wafer	 HF+HNO <sub>3</sub> Exhaust gas system Wafer	 Fluorine gas Wafer Plasma	 Dry polish wheel Wafer
Reactive material	Slurry	HF+HNO <sub>3</sub> +CH <sub>3</sub> CO <sub>2</sub> H	Fluorine gas	Silica Abrasive
Etching rate	1 um/min	> 10 um/min	2 um/min	1 um/min
Productivity	Low	High	High	Good
Die strength	Good	Good	good (DBG)	Good
Environmental	Slurry management	NOx	SF <sub>6</sub>	Very good
Running cost	High/Medium	High	Low	Very low

그림 6. Wafer Backside Thinning 방법에 따른 특징<sup>3)</sup>

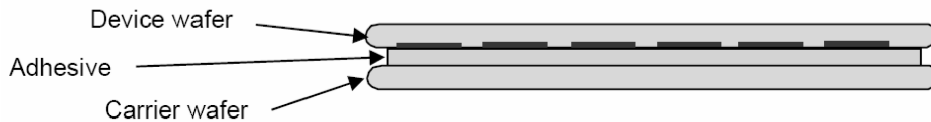


그림 7. Wafer Supporting System의 개략도<sup>4)</sup>

Adhesive로 접착한다.

Adhesive는 후속적으로 Carrier에서 Device를 De-Bonding 할 수 있는 Temporary Adhesive 소재여야 하고, Film Type, Liquid Type으로 구분된다. Thinning이 완료된 이후 De-Bonding하는 방식으로는 UV 조사, 가열 등이 있다. Temporary Adhesive는 내화학적, 내열성, Process 온도 등의 소재 개발이 한창 진행되고 있다.

2.4. Bonding

TSV가 형성된 Chip 혹은 Wafer의 Bonding은 Chip To Chip (C2C), Chip To Wafer (C2W), Wafer To Wafer (W2W) Bonding Type이 있다. Wafer To Wafer는 생산성 면에서는 유리하나 수율에서는 단점을 가지고, Chip To Chip, Chip To Wafer는 생산성에서는 떨어지나, 고수율


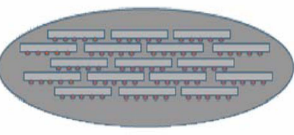

을 얻을 수 있는 장점을 가지고 있다.<sup>4)</sup>

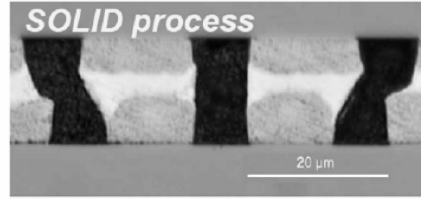
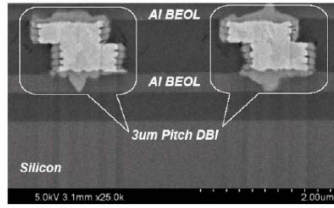
Bonding 기술은 Direct Oxide Bonding, Thermo-Compression (Metal To Metal, Eutectic Bonding) 등이 있고, Direct Oxide Bonding이 Accuracy, Throughput, Cost 관점에서 타 공정에 비해 유리하고 보고하고 있으나, 표면 Roughness의 요구도가 매우 높고, 표면 Cleaning에 매우 민감한 단점이 있기에 이를 극복하는 높은 기술 성숙도를 요구한다.

3. 반도체 업체 및 연구소의 TSV 개발 동향

반도체 업체들은 지난 수년간 TSV를 이용한 Chip 적층 제품을 개발하여 왔고, 빠른 시일 내에 가시적인 제품을 시장에 선보이기 위해 박차를 가하고 있는 상황이다.

표 2. Bonding 방식에 따른 장단점

	C2C	C2W	W2W
개략도			
장점	- Good Yield - Chip/Chip Size Flexibility	- Good Yield - Chip/Wafer Size Flexibility	- High Throughput - Easy Handling
단점	- Low Throughput - Die Handling	- Substrate 제약 - Die Handling	- Low Yield - Only Same Die

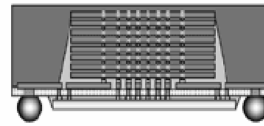


< Direct Oxide Bonding : Ziptronix > < Thermo-Compression : Infineon >

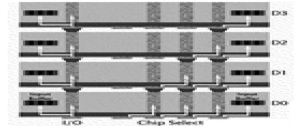
그림 8. Direct Oxide Bonding Vs. Thermo-Compression Bonding<sup>4)</sup>

IBM, Intel, AMD와 같은 Logic Process Chip을 생산하는 업체들은 기본적으로 Logic+Memory 적층을 위해 TSV를 적용하고자 한다. Logic+Memory Chip에 TSV 기술을 적용하면, 높은 동작 속도와 낮은 소비 전력을 달성할 수 있기에 개발을 서두르고 있다. IBM, Intel은 CPU에 Cash Memory를, AMD는 Graphic CPU에 Graphic Memory 적층 제품을 개발중에 있다. 그림 9는 각 업체에서 TSV를 적용한 제품의 개략도이다.

Memory 칩 제작 업체들은 DRAM, Flash Memory를 TSV 기술 적용하여 적층한 제품을 개발중에 있다. 이미 Samsung, Toshiba에서는 TSV 기술을 적용한 Mobile용 카메라 모듈을 08년부터 양산하고 있고, 이와 같은 기술을 Memory Chip에 적용하고자 하는 움직임이 활발하다. Memory 제품에 TSV 기술 적용시 앞서 서론에서 기술한 바와 같이 현재 기술로 용량 및 특성을 향상시킬 수 있다. 예를 들어, DRAM에 TSV기술로 적층하면 고속, 저전력 모듈 제품 개발이 가능하고, Flash의 경우는 높은 용량에 작은 크기의 Package가 제작 가능해지는 장점이 있다. Samsung에서는 2006년에 TSV 적용된 2 GB NAND Flash Sample (8 Chip Stacks)을 개발하였고, 2007년 4GB LP-DIMM (4 Chip Stacks) Sample을 개발 성공했다고 발표



<Elpida>



<Micron>

그림 10. Elpida, Micron, Hynix의 TSV 적층 구조 개략도<sup>4)</sup>

했다. Samsung이 다른 여타 업체들에 비해 TSV 기술에서 앞서나가고 있는 상황이다.<sup>5,6)</sup>

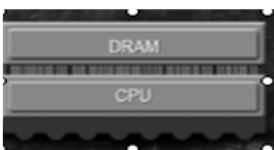
Elpida, Toshiba, Micron, Hynix 등에서도 TSV 기술을 개발하고 있으며, 대부분 DRAM 계열의 Memory에서 TSV 적층을 추진하고 있다. 특히, Elpida의 경우 상당히 공격적인 개발 의지를 보이고 있는 상황이다.

연구소 차원에서도 TSV 연구는 많이 진행되고 있으며, TSV 기술을 제품에 적용하는 것보다는 요소 기술 개발에 비중을 많이 두고 있다. 벨기에의 IMEC 연구소는 Daisy Chain을 구성하여 2 Chip Stack의 Sample을 제작하여 특성을 평가하였다. 독일의 IZM 연구소에서는 Wafer Thinning시 Supporting Carrier가 필요 없는 Electrostatic Charge 방식을 개발하고 있고, Leti 연구소에서는 Chip 적층시 Cu-Cu 혹은 SiO<sub>2</sub> 층을 사용하여 저온에서 Bonding하는 기술을 중점적으로 개발하고 있다.

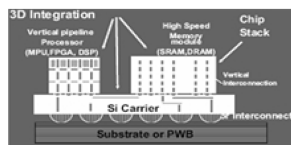
3.1. 반도체 업계 TSV 개발 현황

3.1.1. Toshiba

TSV 기술은 CMOS Image Sensor에 적용하여 2008년부터 생산 중에 있다. TSV 전극이 붙은 Chip을 제조하는 것으로 Wafer 상태에서 Camera Module 부품의 실장 조립을 가능하게 한다. 이로써 동일 VGA Chip을 사용한 경



< Intel >



< IBM >

그림 9. Intel, IBM 에서 개발중인 TSV 적층 구조의 개략도<sup>4)</sup>

표. 3. 반도체 업체들의 TSV 개발 현황

	개발제품	개발현황	협력
Elpida	고속, 고용량 DRAM (Mobile, Server) ('10년)	· Controller+Cell 8단 적층	국가 PJT (NEDO : NEC, OKI)
Toshiba	CIS Module 양산중 ('08년)	· CIS 양산외 Memory 예선 개발 움직임 없음	
Micron	· CIS Module ('08년) · 고속, 고용량DRAM ('10년)	· Pad 직하 TSV 가공 · 2stack 구조 Comp. 특성	Intel
Hynix	· 3D SIP · 고용량 NAND · 고속, 고용량 DRAM ('10년)	· 요소공정 개발단계 · TSV 가공, EP Cu (Hynix) · Bonding (Amkor)	국가 PJT (Amkor)

우의 종전 Module 대비 체적비가 약 64%(Toshiba 비교)의 소형화를 실현하고 있다. TSV 기술의 고성능화 응용으로 3차원 Cell 적층 기술 Bics (Bit-Cost Scalable)을 발표하고 있다. Bics는 Si 기판 위에 NAND Flash Memory Cell을 종방향으로 적층해 올리는 기술인데 특히 저Cost화, 제조공정의 단순화가 특징이다. 복수의 Gate 전극막과 층간 절연막을 상호 결합한 후에 상층부터 하층까지 Hole을 관통시킨다. 그 Hole에 불순물을 포함한 Si을 채우는 것으로 세로로 정렬한 Memory Cell의 구조를 일괄해서 제조하는 것이 가능하도록 하는 것이다. 이와 같은 기술의 실용화를 위해 개발을 진행하고 있다.

### 3.1.2. Renesas Technology

TSV 기술은 개발 단계이다. Multi Chip Stack Sip의 고성능화 수단으로 개발을 진행하고 있다. 목표는 10층 Stack의 대용량, 고속 Memory의 실현이다.

### 3.1.3. NEC

TSV 기술은 개발단계에 있다. 휴대전화, Digital Camera, Video Camera, Mobile PC 등 탑재 Device를 위해 2010년 도입 목표로 개발을 진행하고 있다.

TSV에 의해 소형/고속 Access가 가능한 대용량 Memory의 실현을 목표로 한다.

### 3.1.4. Fujitsu

TSV 기술은 2007년까지는 제품 대응을 하고 있지 않다. 휴대기기 Device용으로 2010년 실용화를 목표로 하고 있다.

### 3.1.5. Matsushita 전기산업

개발 단계이다.

### 3.1.6. Oki 전기공업

TSV에 대해서는 2007년 1월부터 자이큐브와 관통전극 부착 Image Sensor 'Zycsp' 제품의 개발/생산에 대해 협력 하고 있다. 'Zycsp'는 자이큐브의 독자개발 기술로 Image Sensor LSI Wafer에 관통 Hold을 만들고 배선기술을 구사해서 3차원화 하는 것으로 세계 최초로 0.6 nm 이하의 박형 고밀도 실장을 가능하게 하고 있다. 이 기술과 Oki전기의 WL-CSP기술을 조합한 것으로 앞서 기술한 것 같은 특징을 가지고 있다. Oki전기에서는 하찌오지 사업소 부지 내에 200 mm/300 mm Wafer대응의 Zycsp등 TSV기술에 대응한 개발, 생산 Line를 구축하고 있다.

### 3.1.7. Sharp

TSV 기술에 대해서는 Oki 전기공업, NEC Electronics와 공동 개발을 하고 있다.

### 3.1.8. IBM

TSV 기술을 이용한 제품으로서 무선통신용 IC Sample 출하를 2007년에 시작하였고, 2008년부터 양산 제조를 시작할 예정이다. 동 제품은 2.5 G/3 G 휴대 전화기, 5ghz 무선 LAN, Wimax 등의 송신 RF Amp이다. Wire Bonding 없이 TSV로 Package 기술로 0.35  $\mu$ m Process의 SiGe Bicmos제품에서도 고가인 GaAs Amp와 동등 성능을 얻을 수 있게 되었다. 또한 Wire Bonding에서 필요한 공간과 Wire Bonding Pad가 필요하지 않아 Chip, Package의 소형화가 가능하게 된다. Chip Thickness는 30  $\mu$ m 정도까지 박편화되어 있어, Low Profile화 관점에서도 효과가 있다.

### 3.1.9. Samsung Electronics

2006년 4월에 TSV 기술로 8개의 NAND Flash를 적층한 2 GB NAND Flash sample (560 um 두께)을 발표했다. 2007년을 시작으로 초소형, 고용량 Memory Card 등을 개발 중이다. 게다가 서버용 DRAM Module이나 고성능 SIP에 응용하기 위한 개발을 진행하고 있다.

### 3.1.10. ST microelectronics

TSV 기술에 관해서도 '32  $\mu$ m이하의 필수 기술'로서 적극적으로 개발을 추진하고 있다. 2007년부터 참가해 온 IBM주도의 Common Process Platform Alliance에서 공동 개발을 진행하는 한편, 벨기에 IMEC의 3D Pckage 기술의 공동개발 프로그램에도 참가하여 개발을 진행하고 있다. 同社에서는 2010년까지 Module 기기용 소형 Package 제품의 실용화를 목표로 하고 있다.

### 3.1.11. Texas Instruments (TI)

TSV는 Dallas에서 연구가 진행되고 있고 3~5년 후 제품화를 계획하고 있다. 수천 종의 PC Level High-End 제품 응용을 염두에 두고 있다.

## 4. 맺음말

근래 들어 TSV 기술은 한계점에 다다른 기존 반도체 칩의 성능을 향상시킬 수 있는 해결책으로 부상되고 있으며, 그에 따라 여러 반도체 Maker 및 연구소에서 기술 개발이 한창이다. 반도체 여러 업체들은 가까운 시일 내에 TSV 기술을 적용한 제품을 시장에 출시하려 하고 있고, 그에 따른 기술의 성숙도가 나날이 커지고 있는 상황이다. TSV 기술의 높은 제조원가, 기술 성숙도 등의 걸림돌들을 해결한다면, Moore의 법칙을 뛰어 넘는 More Than Moore가 현실화 될 것이다.

향후에는 여러가지 기능을 가지는 Device의 TSV 적층으로 융복합화된 고성능 System In Package (SIP)의 구

현도 가능해지리라 예상한다.

### 참고문헌

1. S. F. Al-sarawi, D. Abbott, and P. D. Franzon : IEEE Transactions CPMT-part B, 21, 2 (1998).
2. Nikkei Electronics, (2007. 1. 15).
3. 2007 3D IC Yole report, Yole development, Fr., (2007).
4. 2008 3D TSV Interconnects Yole report, Yole development, Fr., (2008).
5. 전자신문, 2006년 4월 14일.
6. 중앙일보, 2007년 4월 23일.



- 윤민승 (尹致升)
- 삼성 전자 TP center package 개발팀
- 3D TSV package
- e-mail: minseung.yoon@samsung.com