

3상 계통연계형 인버터를 위한 SRF-PLL 시스템의 동특성 개선

崔亨振^{*}, 宋丞鎬[†], 鄭勝基^{**}, 崔宙燁^{**}, 崔翼^{***}

Enhanced Dynamic Response of SRF-PLL System in a 3 Phase Grid-Connected Inverter

Hyeong-Jin Choi, Seung-Ho Song, Seung-Gi Jeong, Ju-Yeop Choi and Ick Choy

요 약

전원사고로 인하여 야기되는 전원급변상황에서 위상각의 새로운 PLL 방법은 추종속도를 개선시키기 위하여 제안되었다. 일반적으로 측정된 전원이 이상적이지 않고 고조파가 포함되어 있으며 센서의 노이즈 때문에 동기좌표계 PLL의 피드백 루프에는 LPF를 사용하고 있다. 그러므로 과도상태의 빠른 동특성을 얻기 위해서 LPF를 고려한 PLL시스템의 모델링을 제안하였다. 또한 전원의 급변 시에 빠른 위상각 검출을 위한 방법으로 자동으로 제어기 대역폭과 LPF의 차단주파수를 변동시키는 가변 파라미터 PLL방법을 제안하였다. 이를 시뮬레이션과 실험을 통해 검증하여 유효성을 보이교자 한다.

ABSTRACT

The new method is proposed to improve the dynamics of the phase angle detector during abrupt voltage dip caused by a grid fault. Usually, LPF(low pass filter) is used in the feedback loop of SRF(Synchronous Reference Frame) - PLL (Phase Locked Loop) system because the measured grid voltage contains harmonic distortions and sensor noises. A better transient response can be obtained with the proposed design method for SRF-PLL by the analysis of linearized model of the PLL system including LPF. Furthermore, in the proposed method, the controller gain and LPF cut-off frequency are changed from normal value to transient value when the voltage disturbance is detected. This paper shows the feasibility and the usefulness of the proposed methods through the computer simulation and the experiment.

Key Words : Phase locked loop, Grid fault, Dynamic response, Controller design, Low-pass filter

1. 서 론

풍력, 태양광, 연료전지 등 신재생에너지뿐만 아니라

모든 분산전원의 계통연계 운전을 위해서는 계통의 전압 위상 정보를 정확히 파악하여 전원 위상각과 동기가 맞는 전력을 공급하여야 한다. 또한 이러한 기술은 전력품질 보상기, 무정전 전원장치(UPS: Uninterruptible Power Supply), 고조파 저감장치 등의 전력제어분야에서도 전원의 정확하고 빠른 위상 검출을 위해 반드시 필요한 기술이다.

일반적으로 3상 출력을 모두 전력 계통에 연계하는 3상 계통연계 방식에서는 그림 2와 같이 측정된 전압

[†]교신저자 : 정회원, 광운대 전기공학과 부교수

E-mail : ssh@kw.ac.kr

^{*}정회원, 광운대 전기공학과 박사과정

^{**}정회원, 광운대 전기공학과 교수

^{***}정회원, 광운대 정보제어공학과 교수

접수일자 : 2008. 12. 2

1차 심사 : 2008. 12. 14

2차 심사 : 2009. 1. 6

심사완료 : 2009. 1. 15

을 동기 좌표계 d-q축으로 변환하여 위상각 오차를 계산하고 이를 최소화 하도록 하는 피드백 제어기의 형태가 널리 쓰이고 있다.^{[1],[2],[3],[4]}

본 논문에서는 SRF (Synchronous Reference Frame) - PLL(Phase Locked Loop)을 바탕으로 전원 위상각과 전압 크기를 계산할 수 있는 새로운 고속 전압 모니터링 방식을 제시하였다. 특히 안정된 위상 검출을 위해 전압 측정값에 필수적으로 사용되고 있던 저역 통과 필터(Low Pass Filter, LPF)의 특성을 고려하여 PLL시스템 전체의 동특성을 설계하고 그 응답 성능을 개선하도록 하였다. 또한 순간 저전압 발생과 같은 전원 전압의 급격한 변동 시 빠른 전원의 위상각을 추종하기 위한 가변 파라미터 PLL방법을 제안하였다. 컴퓨터 시뮬레이션과 실험을 통해 전원전압의 크기와 위상이 급변하였을 때 제안된 방법의 동특성이 우수함을 확인하였다.

2. SRF-PLL 시스템 모델링

2.1 LPF 없는 PLL 시스템

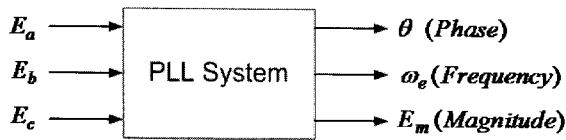


그림 1 PLL 시스템의 입출력 변수
Fig. 1 Input and output variables of PLL system

그림 1은 3상 PLL 시스템의 입출력 변수를 보여준다. 3상 PLL시스템은 그림 1과 같이 3상 전원을 입력받아서 이를 적절하게 가공하여 전원의 위상각, 주파수, 크기의 정보를 정확하게 아는 데에 목적이 있다. 그림 2는 일반적인 3상 동기좌표계 위상각 추종 제어기의 블록을 보여준다. 이 시스템에서 전원전압이 각 주파수를 가진 평형 3상 정현파 전압이라면 a상 전압을 기준각으로 하여 3상 전원은 (1) 과 같이 표현이 가능하다.

$$E_{abc} = -E_m \cdot \begin{pmatrix} \sin(\omega_e t) \\ \sin(\omega_e t - \frac{2\pi}{3}) \\ \sin(\omega_e t + \frac{2\pi}{3}) \end{pmatrix} \quad (1)$$

(1)을 d-q 정지좌표계로 변환하면 (2)가 되고

$$E_{dqs} = T_s \cdot E_{abc} \quad (2)$$

$$\text{where, } T_s = \frac{2}{3} \cdot \begin{pmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & \frac{\sqrt{3}}{2} \end{pmatrix}$$

식 (2)를 다시 d-q 동기 좌표계로 변환하면 (3)과 같다. 만약 전원의 위상각을 제대로 알고 있다면 (4)와 같이 동기 좌표계 d축 전압은 0이고 q축 전압은 전원 상전압의 피크치를 가지게 된다.

$$E_{dqe} = T_e(\theta) \cdot E_{dqs} \quad (3)$$

$$\text{where, } T_e(\theta) = \begin{pmatrix} \cos\theta & \sin\theta \\ -\sin\theta & \cos\theta \end{pmatrix}$$

$$E_{de} = 0, \quad E_{qe} = E_m \quad (4)$$

이러한 관계를 이용하여 전원 위상각 추종을 위한 피드백 제어기 블록을 구성하면 그림 2와 같다. 제어기로는 비례 적분 제어기를 사용하였으며, 이미 알고 있는 시스템의 정격 주파수, ω_{rated} 를 전향 보상항으로 사용하고 있다.

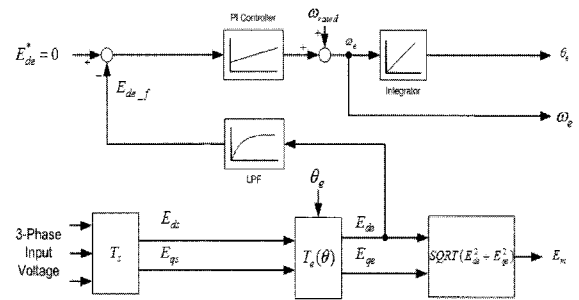


그림 2 d-q 동기 좌표계 위상각 추종 제어기 블록도
Fig. 2 Block diagram of d-q SRF-PLL controller

충분히 작은 위상각 범위에서 $\sin\theta \cong \theta$ 이므로 동기 좌표계 d축 전압의 오차는 위상각의 오차를 나타내는 것으로 선형화하여 모델링 할 수 있다. 또한 3상 좌표계 변환과정이 이상적이고 LPF의 차단주파수는 시스템 제어기 응답 주파수 보다 충분히 높다고 가정하면 그림 2의 PLL 시스템은 그림 3과 같이 간략히 선형화된 피드백 제어루프로 모델링 할 수 있다.^[3]

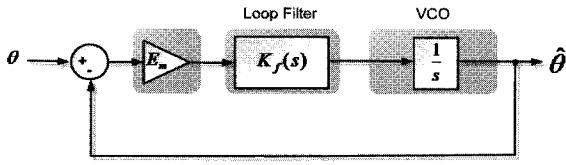


그림 3 LPF가 없는 PLL 시스템의 모델링^[3]
Fig. 3 Modeling of PLL system without LPF^[3]

그림 3의 개루프 전달 함수는 (6)과 같이 표현될 수 있으며, 이를 이용하여 폐루프 전달함수를 구해보면 (7)과 같다.

$$K_f(s) = K_p \left(\frac{1 + s\tau}{s\tau} \right) \quad (5)$$

$$T(s) = E_m \cdot K_f(s) \cdot \frac{1}{s} \quad (6)$$

$$H_c = \frac{T(s)}{1 + T(s)} \quad (7)$$

PLL 시스템의 폐루프 전달함수 (7)을 일반적인 2차 제어 시스템 모델과 같아지도록 (8)로 정리할 수 있다.^[3]

$$H_{c_model} = \frac{2\zeta\omega_n s + \omega_n^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} \quad (8)$$

여기서 PLL 시스템의 대역폭, ω_n 을 우리가 원하는 값으로 설정하면 루프필터 PI 게인은 (9)와 같이 설계할 수 있다.^[3]

$$K_p = \frac{2\zeta\omega_n}{E_m}, \quad \tau = \frac{E_m \cdot K_p}{\omega_n^2} \quad (9)$$

2.2 LPF가 있는 PLL시스템

앞에서 설명한 것과 같이 PLL 시스템을 간략화 하여 모델링하고 그에 따라 PLL제어기의 게인을 선정하는 방법은 LPF가 있는 경우에는 정확히 원하는 특성을 갖지 못하게 된다. 왜냐하면 실제 PLL의 구현 시에는 전압 센싱이나 기타 노이즈가 있고 또한 전원 전압 왜곡이 존재하므로 동기 좌표계 d축 전압에 LPF를 사용하는 것이 일반적이다. 전원의 급격한 변동을 대상으로 전원 위상과 크기를 정확히 알아내기 위해서는 이러한 LPF가 시스템의 응답특성에 미치는 영향을 분석하고 이를 제어기 설계에 반영할 필요가 있다.

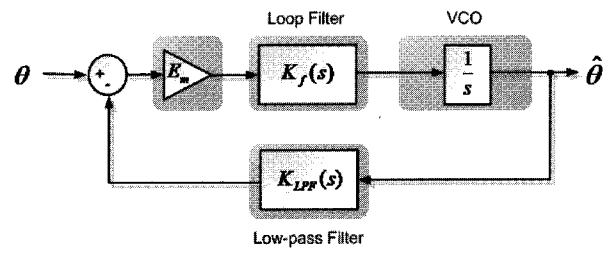


그림 4 LPF가 있는 PLL 시스템의 모델링
Fig. 4 Modeling of PLL system with LPF

그림 4는 LPF를 고려한 PLL 시스템의 모델링을 나타내며 LPF는 (10)과 같이 1차 시스템으로 나타내었다. 그림 4의 위상각 제어 시스템에서 개루프 전달함수는 (11)과 같고 LPF를 고려한 PLL 시스템의 폐루프 전달함수는 (12)와 같게 된다. 이것을 (13)과 같은 3차 시스템 모델로 정리하면 영점과 극점이 상쇄가 가능하고 시스템 응답성을 ζ, ω_n 에 의해 임의로 설계할 수 있다. 이러한 관계를 이용하기 위하여 $\alpha = 1$ 인 경우로 가정하고 (12)와 (13)을 비교하면 다음과 같은 (14), (15)를 얻을 수 있다.

따라서 전체 시스템의 대역폭, ω_n 을 원하는 값으로 설정하면 (14)를 이용하여 이에 적절한 LPF의 차단주파수를 설정할 수 있으며, (15)식에 의해 LPF를 고려한 PLL 시스템의 루프 필터의 게인을 구할 수 있다.

$$K_{LPF}(s) = \frac{\omega_c}{s + \omega_c} \quad (10)$$

$$T(s) = E_m \cdot K_f(s) \cdot \frac{1}{s} \quad (11)$$

$$H_{c_LPF} = \frac{T(s)}{1 + T(s) \cdot K_{LPF}(s)} \quad (12)$$

$$H_{c_LPF_model} \cong \frac{s + \alpha}{s + \alpha} \cdot \frac{2\zeta\omega_n s + \omega_n^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} \quad (13)$$

$$\omega_c = 1 + 2\zeta\omega_n \quad (14)$$

$$K_p = \frac{2\zeta\omega_n}{E_m}, \quad \tau = \frac{E_m \cdot K_p \cdot \omega_c}{\omega_n^2} \quad (15)$$

3. 제안된 가변 파라미터 PLL 알고리즘

사고시의 전원의 변화는 매우 급격하기 때문에 전원의 위상각 또한 급변하게 된다. 급변하는 위상각을 제대로 추종하지 못한다면 기본적으로 3상 인버터 제어에 사용되고 있는 동기좌표계 변환과정에 오차가 생기기 때문에 전류제어와 같은 제어에 문제가 생기게 된다. 그러나 PLL 시스템에서는 실제적으로 피드백 루프에 LPF가 있기 때문에 전원 급변상황에서 위상각 추종 속도를 높이지 못하는 문제가 있다. 이러한 문제점을 해결하기 위하여 본 논문은 가변 PI 게인과 가변 LPF 차단주파수를 사용한 방법을 제안하였다. 과도상태 여부를 판단하기 위하여 LPF를 거친 동기좌표계 d 축 전압의 크기가 정상적인 범위를 벗어나면 전원전압의 급격한 변동이 발생한 것으로 판단하는 방법을 제안 하였으며, 이 값은 PLL 시스템의 피드백 오차에 해당한다. 정상시에는 PLL시스템의 정상상태 오차는 없고 위상각 오차에 리플만 존재하므로 정상범위 판단의 기준은 전원 상전압 크기의 약 5% 이내의 값으로 설정하였다. 좀 더 빠른 과도상태 응답을 원할 경우에는 정상시 동기좌표계 d축전압의 변동리플을 고려하여 정상범위 판단 기준값을 낮추면 보다 빠르게 과도상태를 감지할 수 있다. 제안된 PLL시스템의 가변 파라미터 계산블록은 흐름도의 형태로 그림 6에 나타내었다. 여기서 정상상태와 과도상태에 따라 대역폭과 LPF 차단 주파수를 다르게 설정함으로써 정상상태에는 노이즈나 고조파 영향을 가능한 억제하고 과도상태에는 빠르게 전압크기와 위상각을 추종하도록 설계할 수 있다.

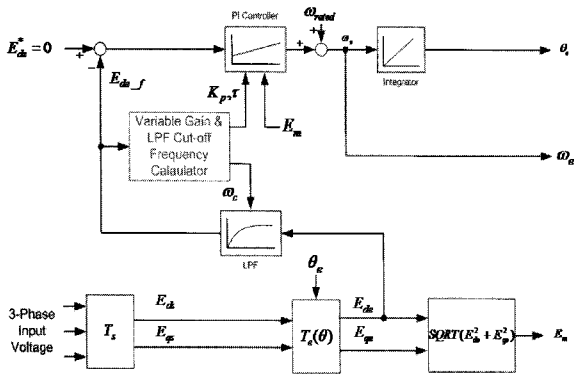


그림 5 제안된 가변 파라미터 PLL 시스템 블록도
Fig. 5 Block diagram of proposed variable parameter PLL system

Variable Gain & LPF Cut-off Freq. Calculator

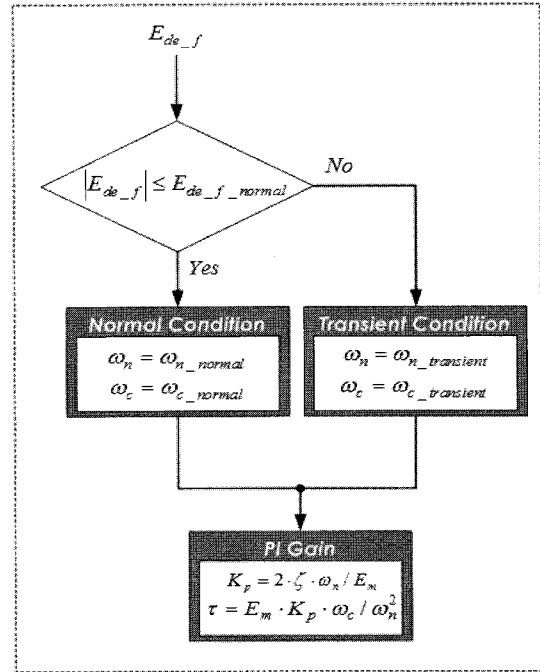


그림 6 가변 파라미터 계산 블록
Fig. 6 Variable parameter calculation block

이상과 같이 제안된 가변파라미터 PLL 블록도를 그림 5에 나타내었다. 그림 2와 비교할 때 추가된 블록은 가변게인 및 LPF 차단주파수 계산블록으로 상세한 흐름은 그림 6에 나타내었다.

4. 시뮬레이션 결과

시뮬레이션 블록도가 그림 7에 나타나있고, 시뮬레이션에 사용된 파라미터는 표 1과 같다. 시뮬레이션은 전력전자 회로 해석용 상용프로그램인 PSIM에 C언어 기반의 DLL(dynamic link library)을 통합하여 수행하였다.

표 1 시뮬레이션 파라미터
Table 1 Simulation Parameters

Sampling Time	100[usec]
$E_{de_f_normal}$	10[V]
$\omega_{n_normal}, \omega_n$	200[rad/sec]
$\omega_{c_normal}, \omega_c$	283[rad/sec]
$\omega_{n_transient}$	200[rad/sec]
$\omega_{c_transient}$	2000[rad/sec]

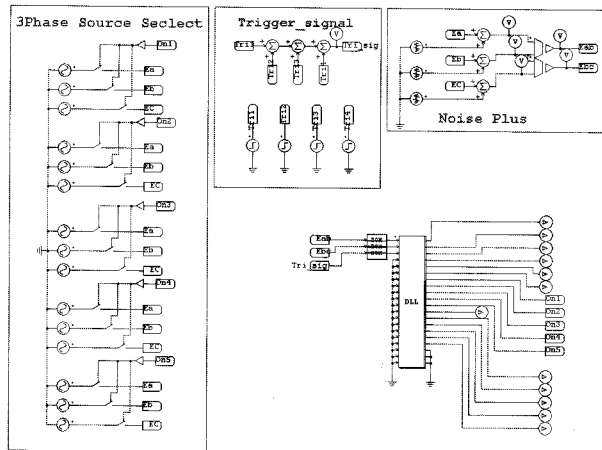


그림 7 PLL 시뮬레이션 회로도
Fig. 7 PLL Simulation circuit

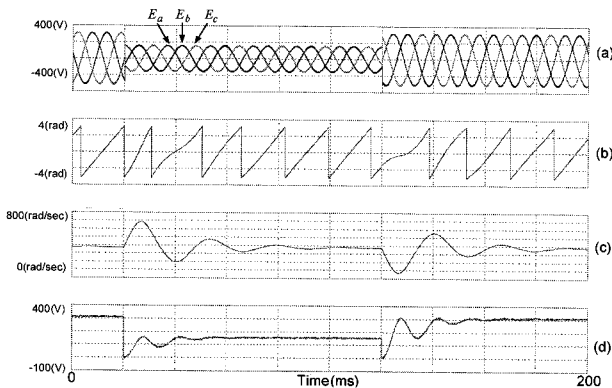


그림 8 LPF를 고려하지 않은 경우 PLL 동특성
(a)전원전압 (b)계통위상각 (c)계통주파수 (d)동기좌표계 q축 전압
Fig. 8 PLL dynamics simulation without the consideration of LPF
(a)Grid voltage (b)Phase angle (c)Frequency (d)SFF-Q axis voltage

그림 8은 LPF를 고려하지 않은 시스템으로 계인을 설정 했을 경우에 전원 크기 급변(50%) 및 Phase Jump (90도) 사고를 일으켜 이것이 Theta와 동기 좌표계 q축 전압에 미치는 영향에 대해서 확인한 결과이다. 이는 (9)를 이용하여 계인을 설정하였고 ($K_p = 0.909, \tau = 0.0071$) LPF의 차단주파수, ω_c 는 283 [rad/sec]로 설정하였다. 또한 ω_n 은 200 [rad/sec]로 설정하였다. 그림 8에서 확인할 수 있듯이 정상상태로 들어가는 시간이 오래 걸리고 진동이 있음을 확인할 수 있다.

그림 9는 LPF를 고려한 시스템의 모델링을 통해 구해진 (15)를 이용하여 계산된 계인을 ($K_p = 0.909,$

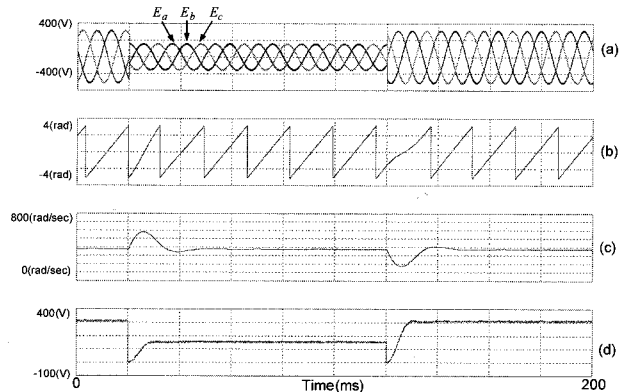


그림 9 LPF를 고려한 경우 PLL 동특성
(a)전원전압 (b)계통위상각 (c)계통주파수 (d)동기좌표계 q축 전압
Fig. 9 PLL dynamics simulation with the consideration of LPF
(a)Grid voltage (b)Phase angle (c)Frequency (d)SFF-Q axis voltage

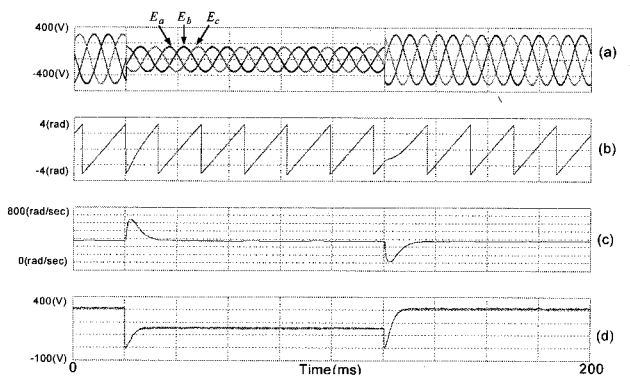


그림 10 위상과 전압 급변 시 제안된 방법의 PLL 동특성 시뮬레이션
(a)전원전압 (b)계통위상각 (c)계통주파수 (d)동기좌표계 q축 전압
Fig. 10 PLL dynamics simulation during phase and voltage change
(a)Grid voltage (b)Phase angle (c)Frequency (d)SFF-Q axis voltage

$\tau = 2.01$) 사용하였다. LPF의 차단주파수는 마찬가지로 283 [rad/sec]로 설정하였으며, ω_n 는 200 [rad/sec]로 설정하였다. 그림 9에서처럼 LPF를 고려하여 계인을 설정한 경우 전원사고에 대해서 빠르게 위상각을 추종하는 것을 시뮬레이션을 통하여 검증하였다. 그림 10은 제안된 가변 파라미터 방식의 시뮬레이션 결과이다. ω_{n_normal} 과 $\omega_{n_transient}$ 는 200[rad/sec]로 설정하고 ω_{c_normal} 는 283[rad/sec], $\omega_{c_transient}$ 는 2000[rad/sec]로 설정하였다. 그림10의 결과를 그림8과 9의 시뮬레이션 결과들과 비교해 보면 제안된 방식이

계통사고에 의해 야기되는 위상의 급변이 생겼을 경우에는 가장 빠르게 위상각을 추종함을 확인하였다. 과도 상태에서 더 빠른 특성을 보이기 위하여 설정한 과도상태 LPF의 차단주파수, $\omega_{c_transient}$ 는 더 증가시켜도 정상상태 도달시간이 확연하게 증가하지 않는 것을 확인하여 현재의 값으로 설정하였다.

5. 실험 결과

시뮬레이션의 검증은 위하여 그림 11과 같은 PLL 실험 장치를 구성하였다. 사고 전원의 사고 전원의 신호를 만들기 위하여 2채널 동기를 맞출 수 있는 임의 파형 발생기를 사용하여 가상의 사고전원 사고를 만들어 이를 사용하여 실험하였다.

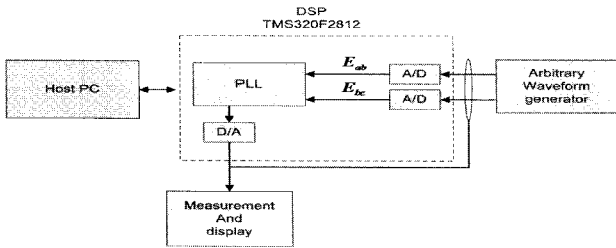


그림 11 PLL 특성 실험 장치 구성도
Fig. 11 Experimental setup for PLL Dynamics Test

시뮬레이션 파라미터와 같은 파라미터를 사용하여 실험을 하였으며 시뮬레이션과 같은 사고 상황을 만들어 실험을 통해 검증해 보았다.

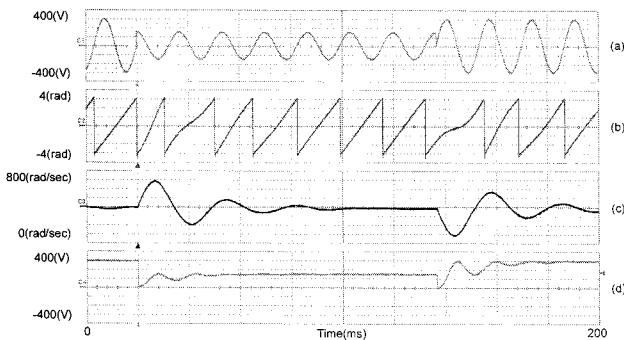


그림 12 LPF를 고려하지 않은 경우 PLL 동특성 실험결과
(a)전원전압(E_a) (b)계통위상각 (c)계통주파수 (d)동기좌표계q축 전압
Fig. 12 PLL dynamics experiment result without the consideration of LPF
(a)Grid voltage(E_a) (b)Phase angle (c)Frequency (d)SRF-Q axis voltage

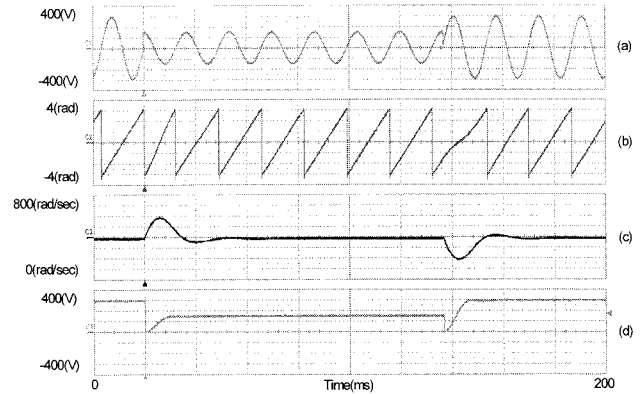


그림 13 LPF를 고려한 경우 PLL 동특성 실험결과
(a)전원전압(E_a) (b)계통위상각 (c)계통주파수 (d) 동기좌표계q축 전압
Fig. 13 PLL dynamics experiment result with the consideration of LPF
(a)Grid voltage(E_a) (b)Phase angle (c)Frequency (d)SRF-Q axis voltage

그림 12는 전원 크기 급변(50%) 및 Phase Jump (90도) 사고시의 LPF를 고려하지 않고 계인을 설정했을 때의 실험결과이다. 사고시의 정상상태로 들어가는 시간이 오래 걸리며 시뮬레이션 결과와 일치함을 확인할 수 있었다.

그림 13은 같은 상황에서의 LPF를 고려한 식(15)를 이용하여 계인을 설정했을 때의 실험결과이다. LPF를 고려하지 않은 경우보다 훨씬 빠르게 위상각을 추종한다.

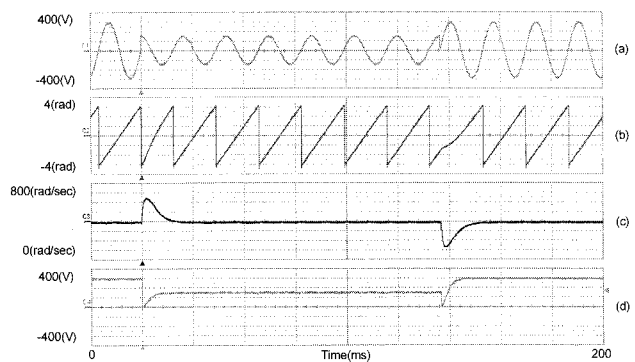


그림 14 제안된 방법의 PLL 동특성 실험결과
(a)전원전압(E_a) (b)계통위상각 (c)계통주파수 (d) 동기좌표계q축 전압
Fig. 14 PLL dynamics experiment result with proposed method
(a)Grid voltage(E_a) (b)Phase angle (c)Frequency (d)SRF-Q axis voltage

그림 14는 제안된 가변 파라미터 방법의 실험결과이다. 이는 LPF의 영향을 최소화하여 위상급변 시에 가장 빠른 동특성을 보여주며 실험결과가 시뮬레이션과 일치함을 확인 할 수 있다.

6. 결 론

3상 계통연계형 인버터의 위상각 검출방법으로 가장 널리 사용되고 있는 동기 좌표계 PLL시스템의 동특성을 개선하기 위해 두 가지 방법을 제안하였다.

첫 번째는 기존에 사용되고 있던 LPF의 특성을 고려하여 PLL 시스템의 페루프 응답 특성을 설계하는 방법을 제안하였고, 두 번째는 전원 급변과 같은 과도 상태 응답특성을 더욱 개선하기 위해 과도상태 여부를 자동으로 감지하여 그 구간에서 LPF 차단 주파수와 시스템 대역폭을 가변하는 가변 파라미터 PLL시스템을 제안하였다. 시뮬레이션과 실험을 통해 입력전압의 크기와 위상이 스텝으로 변동하였을 때 기존 방법에 비해 제안된 방법의 동특성이 매우 우수함을 확인하였다.

감사의 글

본 연구는 기초전력연구원 과제인 3kw급 시뮬레이터를 이용한 분산전원의 연계운영 기초기술 개발(과제번호 :R-2007-1-015-01)의 지원으로 수행되었음.

참 고 문 헌

[1] Sang-Joon Lee, Jun-Koo Kang, Seung-Ki Sul, "A new phase detecting method for power conversion systems considering distorted conditions in power system", *Industry Applications Conference*, Vol. 4, pp. 2167-2172, 1999.

[2] Rodriguez, P., Pou, J., Bergas, J., Candela, I., Burgos, R., Boroyevic, D., "Double Synchronous Reference Frame PLL for Power Converters Control", *Proc. of PESC05*, pp.1415-1421, 2005.

[3] Se Kyo Chung, "A Phase Tracking System for Three Phase Utility Interface Inverters", *IEEE Trans.*, Vol. 15, No. 3, pp. 431-438, 2000.

[4] M. Kamata, T. Shono, T. Saba, I. Sasase, S. Mori, "Third-order phase-locked loops using dual loops with

improved stability", *IEEE Pacific Rim Conference*, Vol. 1, pp. 20-22, Aug. 1997.

[5] F. Blaabjerg and R. Teodorescu, M. Liserre, Adrian V. Timbus, "Overview of Control and Grid Synchronization for Distributed Power Generation Systems", *IEEE Trans. On Industrial Electronics*, Vol. 53, No. 5, 2006.

[6] 김형수, 최중우, "전차원 상태관측기를 이용한 3상 불평형 전원의 PLL 성능 개선", *전력전자학술대회논문집*, pp. 305-308, 2007. 7.

[7] 최형진, 송승호, 정승기, 최주엽, "LVRT를 위한 전원 전압 위상 및 크기의 고속 모니터링", *풍력에너지학술대회 논문집*, 2008. 10.

[8] 김윤현, 김왕래, 임창진, 김광섭, 권병기, 최창호, "불평형 계통전압에 강인한 연료전지용 전력변환시스템의 PLL 방법", *전력전자학술대회논문집*, pp. 103-105, 2008. 6.

[9] 김형수, 최중우, "정상분 전압 관측기를 이용한 불평형 3상 전원의 PLL", *전력전자학회 논문지*, 제13권, 제2호, pp. 145-151, 2008. 4.

[10] 김용균, 최중우, 김홍근, "디지털 PLL 제어의 특성 분석", *전력전자학술대회논문집*, pp. 548-553, 2003. 7.

[11] 김재형, 지용혁, 원충연, 정용채, "개선된 DFT를 이용한 위상 추종방법", *전력전자학술대회논문집*, pp. 91-93, 2008. 6.

[12] 목형수, 최규하, 이정민, 김상훈, 지준근, "계통연계형 인버터의 왜곡된 계통전압에 의해 발생하는 전류고조파 저감방법", *전력전자학술대회논문집*, pp. 108-111, 2007. 11.

저 자 소 개



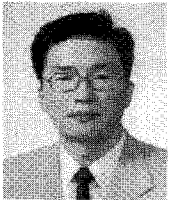
최형진(崔亨振)

1982년 8월 12일생. 2007년 광운대 공대 전기공학과 졸업. 2009년 동 대학원 전기공학과 졸업(석사). 2009년~현재 동 대학원 전기공학과 박사과정.



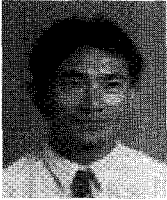
송승호(宋丞鎬)

1968년 8월 27일생. 1991년 서울대 전기공학과 졸업. 1993년 동 대학원 전기공학과 졸업(석사). 1999년 동 대학원 전기공학부 졸업(공학박). 1992년~1995년 포스콘 기술연구소 연구원. 2000년~2006년 전북대 전자정보공학부 조교수. 2004년~2005년 미국 위스콘신대 방문교수. 2006년~현재 광운대 전기공학과 부교수. 당 학회 편집위원.



정승기(鄭勝基)

1960년 3월 26일생. 1982년 서울대 공대 전기공학과 졸업. 1984년 동 대학원 졸업(석사). 1988년 동 대학원 졸업(공박). 1987년~현재 광운대 전기공학과 교수. 당 학회 평의원.



최주엽(崔宙燁)

1961년 2월 11일생. 1983년 서울대 공대 전기공학과 졸업. 1990년 Texas Univ. at Arlington 졸업(석사). 1994년 Virginia Tech. Post Doc. 1995년~1999년 한국과학기술원 지능제어연구센터 선임연구원. 2000년~현재 광운대 전기공학과 교수. 당 학회 평의원.



최 익(崔翼)

1956년 6월 5일생. 1979년 서울대 공대 전기공학과 졸업. 1981년 동 대학원 전기공학과 졸업(석사). 1990년 동 대학원 전기공학과 졸업(공박). 1982년~2003년 한국과학기술연구원 지능제어연구센터 책임연구원. 2003년~현재 광운대 정보제어공학과 교수. 당 학회 평의원.