

# 새로운 주파수 가변형(PFM) 직렬 부스트 캐패시터(SBC) 풀 브리지 DC/DC 컨버터

愼龍生\*, 張榮洙\*\*, 盧政煜\*\*\*, 洪成洙\*\*\*, 李孝範\*\*\*\*, 韓翔圭†

## A New Pulse Frequency Modulation(PFM) Series Boost Capacitor(SBC) Full Bridge DC/DC Converter

Yong-Saeng Shin, Young-Su Jang, Chung-Wook Roh, Sung-Soo Hong,  
Hyo-Bum Lee and Sang-Kyoo Han

### 요 약

본 논문에서는 고효율 및 고전력밀도의 새로운 주파수 가변형(PFM) 직렬 부스트 캐패시터(SBC) 풀 브리지 DC/DC 컨버터를 제안한다. 제안된 회로는 기존 위상천이 풀 브리지 컨버터와 달리 스위칭 주파수에 따라 직렬 부스트 캐패시터의 전압을 가변하여 출력전압을 제어하는 방식으로, 50% 고정 시비율로 구동되므로 환류구간이 존재하지 않아 도통손실이 작다. 또한 넓은 부하 영역에 대해 영전압 스위칭 동작이 보장되며, 출력 인덕터 전류 리플도 매우 작아 출력 인덕터의 사이즈를 줄일 수 있어 대전류 사양에 매우 적합한 장점을 갖는다. 본 논문에서는 제안된 회로의 이론적 해석 및 PSIM Simulation을 수행하며, 이를 실제로 1.2kW급(12V, 100A) 서버용 컴퓨터 전원 장치의 프로토타입 제작을 통한 실험결과로부터 제안된 회로의 동작특성과 타당성을 검증한다.

### ABSTRACT

This paper proposes a new Pulse Frequency Modulation(PFM)-Series Boost Capacitor(SBC) full bridge DC/DC Converter which features a high efficiency and high power density. The proposed converter controls the output voltage by varying the voltage across the series boost capacitor according to switching frequency and has no freewheeling period due to 50% fixed duty operation. As a result, its conduction loss is lower than that of the conventional phase shift full bridge converter. Moreover, ZVS of all power switches can be ensured along wide load ranges and output current ripple is very small. Therefore, it has very desirable merits such as a small output inductor, high efficiency, and improved heat generation. This paper performs a rationale and PSIM simulation of the proposed converter. Finally, experimental results from a 1.2kW(12V, 100A) prototype are presented to confirm the operation, validity and features of the proposed converter.

**Key Words** : Pulse Frequency Modulation, PFM, Series Boost Capacitor, SBC, Full Bridge Converter, Server Power Supply

### 1. 서 론

최근 계속되는 산업기술의 발달과 더불어 다양한 분야에서 전력수요가 크게 늘어나고 있으며, 이로 인해 안정적인 전원공급에 대한 중요성이 매우 커지고 있다. 특히, 본 논문에서 대상으로 하고 있는 1.2 kW급(12V, 100A) 서버용 컴퓨터 전원장치의 경우 인터넷이

†교신저자 : 정희원, 국민대 전자정보통신공학부 조교수

E-mail : djhan@kookmin.ac.kr

\*학생회원, 국민대 전자공학과 석사과정

\*\*정희원, 삼성전기 Power 사업 주임연구원

\*\*\*정희원, 국민대 전자정보통신공학부 부교수

\*\*\*\*정희원, 삼성전기 Power 사업 팀장

접수일자 : 2008. 8. 14

1차 심사 : 2008. 11. 11

심사완료 : 2008. 12. 24

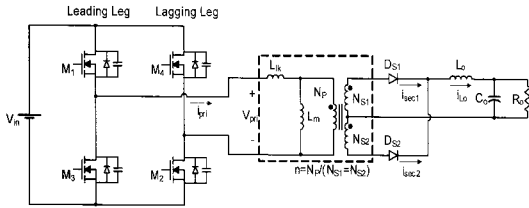


그림 1 위상천이 풀 브리지 DC/DC 컨버터  
Fig. 1 Phase Shift Full Bridge DC/DC Converter

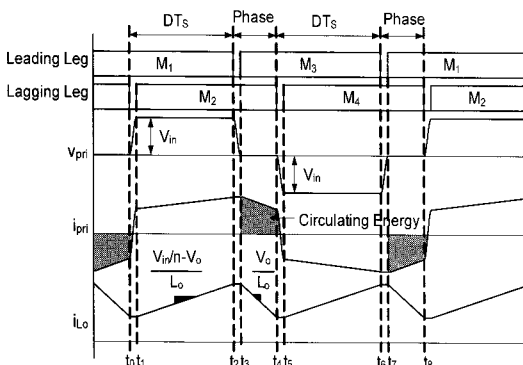


그림 2 위상천이 풀 브리지 DC/DC 컨버터의 주요 동작 파형  
Fig. 2 Key operation waveforms of Phase Shift Full Bridge DC/DC Converter

발달함에 따라 고전력밀도 및 고효율, 고신뢰성을 요구하는 대전력 시스템을 필요로 하고 있으며, 이에 대한 많은 연구가 이루어지고 있는 실정이다<sup>[1],[2]</sup>.

일반적으로 중·대용량급 DC/DC 컨버터에 적용 가능한 전력변환회로로는 Single Ended 능동 클램프 포워드 컨버터, Double Ended 능동 클램프 포워드 컨버터, 비대칭 하프 브리지 컨버터, LLC 공진형 컨버터, 위상천이 풀 브리지 컨버터 등이 있다. 이 중 위상천이 풀 브리지 컨버터가 높은 스위칭 주파수로 동작하면서도 스위칭 손실과 출력 인덕터 전류 리플이 비교적 적은 전력변환 회로로서, 대용량에 매우 적합하게 사용되고 있다<sup>[3]~[5]</sup>. 그러나 상기 컨버터는 순간 정전 및 입력전압 변동에 대한 동작마진을 확보하기 위해 정상동작시 구동 시비율 D를 30~35%정도로 하는 것이 일반적이다. 이로 인해 그림2 에서와 같은 환류구간이 존재하여 도통 손실 및 소자 발열이 증가하며, 출력 인덕터 전류 리플이 커지는 단점이 존재한다. 뿐만 아니라, 낮은 부하조건에서 지상레그 스위치의 영전압 스위칭이 보장되지 못하여 스위칭 손실이 크고 EMI 측면에서도 불리하다. 따라서 본 논문에서는 환류구간이 없고, 출력 인덕터 전류 리플이 작아 대용량에 적합한 새로운 전력변환 회로를 제안한다.

## 2. 주파수 가변형(Pulse Frequency Modulation) 직렬 부스트 캐패시터(Series Boost Capacitor) 풀브리지 DC/DC 컨버터

그림 3은 제안된 PFM SBC 풀 브리지 컨버터의 구조를 나타내고 있다. 제안된 회로는 트랜스포머와 직렬로 부스트 캐패시터가 연결되어 있으며, 주파수 변동에 따라 부스트 캐패시터의 전압을 조정하여 출력전압을 제어한다. 또한 일반적인 PFM 방식의 LLC 공진형 컨버터와 다르게 출력 인덕터가 존재하며, 출력 인덕터 전류 리플이 작아 기존 위상천이 풀 브리지 컨버터에 비해 소자 전류 스트레스 측면에서 매우 유리할 뿐만 아니라 출력 인덕터의 크기를 줄일 수 있어 대전류 사양에서 매우 유리한 장점을 갖는다.

특히 기존 위상천이 풀 브리지 컨버터가 위상차이에 따른 펄스 폭 제어를 통해 출력전압을 제어하는데 반해, 제안된 PFM SBC 풀 브리지 컨버터는 50% 고정 시비율을 가지고 주파수 변동에 따라 출력전압을 제어하는 것이 특징이다. 따라서 넓은 부하 영역에서 영전압 스위칭이 가능하며, 환류구간이 존재하지 않아 효율 및 발열 측면에서 매우 유리하다. 또한 부하 변동 시에도 주파수 변동 범위가 넓지 않으며, 트랜스포머 자화전류의 offset이 없기 때문에 트랜스포머 이용률이 높아 소형화에 유리하다.

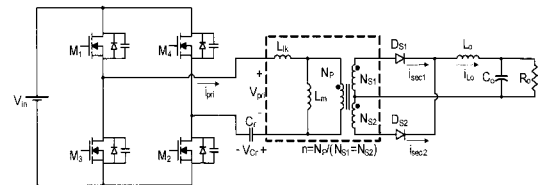


그림 3 주파수 가변형 (PFM) - 직렬 부스트 캐패시터(SBC) 풀 브리지 DC/DC 컨버터

Fig. 3 Pulse Frequency Modulation (PFM) - Series Boost Capacitor (SBC) Full Bridge Converter

### 2.1 정상상태 모드별 동작

그림 4는 제안된 회로의 모드별 주요 동작 파형을 나타내며, 정상상태 모드별 동작 설명에 앞서 다음과 같은 가정을 둔다.

- 입력 및 출력전압은  $V_{in}$  및  $V_o$ 로 일정하다.
- 출력 인덕터  $L_o$  전류는  $I_o$ 로 일정하다.
- 스위치  $M_1$ 과  $M_3$  또는  $M_2$ 와  $M_4$ 의 동작 시비율은 항상 50%로 고정되어 있다.
- 스위치  $M_1$ 과  $M_3$  또는  $M_2$ 와  $M_4$ 사이의 Dead Time

- 은 무시할 수 있을 만큼 작다.
- $i_{DS1}$ 과  $i_{DS2}$ 의 평균전류는  $I_o/2$ 로 동일하고, 트랜스포머 자화 인덕터 전류의 DC offset 전류는 0이다.
- 누설 인덕터  $L_k$ 는 자화 인덕터  $L_m$ 에 비해 무시할 수 있을 만큼 작다.
- 자화 인덕터  $L_m$ 은 매우 크며, 자화 인덕터  $L_m$ 과 공진 캐패시터  $C_r$ 과의 공진주파수  $f_0$ 는 스위칭 주파수  $f_{sw}$ 에 비해 매우 작다.

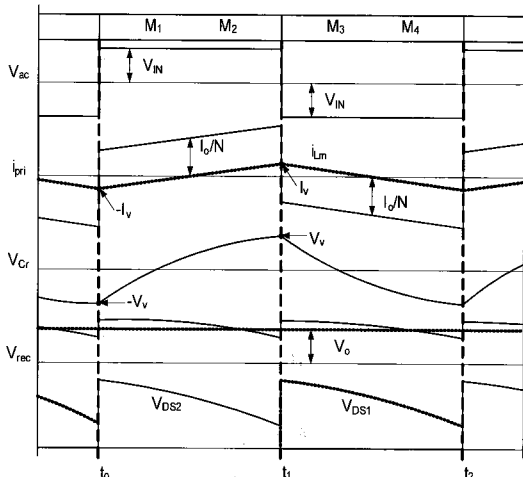


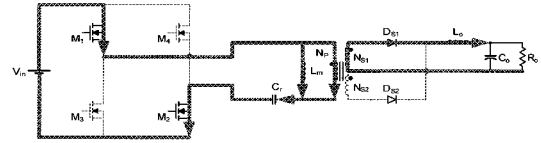
그림 4 주파수 가변형 (PFM) - 직렬 부스트 캐패시터 (SBC) 풀 브리지 DC/DC 컨버터의 주요 동작 파형  
Fig. 4 The operating waveforms of PFM-SBC full bridge DC/DC converter

**모드 0 ( $\sim t_0$ ) :**  $t_0$  시점 이전에  $M_3$ 와  $M_4$  스위치가 도통하고 있으므로 그림 5(b)와 같은 도통 경로를 형성하고 출력 다이오드  $D_{S2}$ 를 통해 출력측으로 에너지가 전달된다. 이 모드는  $t_0$  시점에서 끝나며, 이 때 캐패시터  $C_r$ 의 전압은  $V_{Cr}(t_0)=-V_V$  까지 방전되며, 자화 인덕터  $L_m$ 의 전류는  $i_{Lm}(t_0)=-I_V$  까지 감소한다.

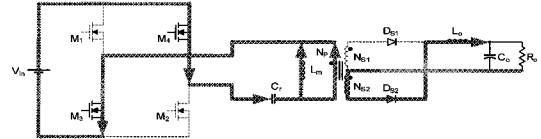
**모드 1 ( $t_0 \sim t_1$ ) :**  $t_0$  시점에서  $M_1$ 과  $M_2$  스위치가 턴 온 하면, 그림 5(a)와 같은 도통 경로를 형성하고 출력 다이오드  $D_{S1}$ 을 통해 출력측으로 에너지가 전달된다. 이 때 트랜스포머 1차 측에는  $V_{pri} = V_{in} + V_{Cr}$  이 인가되어 자화 인덕터에 흐르는 전류  $i_{Lm}$ 과 트랜스포머 1차 측 전류는 다음과 같이 증가한다.

$$i_{Lm}(t) = \frac{V_{in} + V_{Cr}(t)}{L_m} t - I_V \quad (1)$$

$$i_{pri}(t) = i_{Lm}(t) + \frac{I_o}{N} \quad (2)$$



(a) 모드 1 ( $t_0 \sim t_1$ )



(b) 모드 1 ( $\sim t_0$ ), 모드 2 ( $t_1 \sim t_2$ )

그림 5 등가 회로  
Fig. 5 Equivalent circuit

이 때, 캐패시터  $C_r$ 은 트랜스포머 1차 측 전류에 의해 다음과 같이 충전된다.

$$\begin{aligned} V_{Cr}(t) &= \int_{t_0}^t i_{pri}(t) dt - V_V \quad (3) \\ &= \int_{t_0}^t \left\{ i_{Lm}(t) + \frac{I_o}{N} \right\} dt - V_V \\ &= \int_{t_0}^t \left\{ \frac{V_{in} + V_{Cr}(t)}{L_m} t - I_V + \frac{I_o}{N} \right\} dt - V_V \end{aligned}$$

**모드 2 ( $t_1 \sim t_2$ ) :**  $t_1$  시점에서  $M_3$ 과  $M_4$  스위치가 턴 온 하면 그림 5(b)와 같은 도통 경로를 형성하고 출력 다이오드  $D_{S2}$ 를 통해 출력측으로 에너지가 전달된다. 이 때 트랜스포머 1차 측에는  $V_{pri} = -V_{in} - V_{Cr}$  이 인가되어 자화 인덕터에 흐르는 전류  $i_{Lm}$ 과 트랜스포머 1차 측 전류는 다음과 같이 감소한다.

$$i_{Lm}(t) = -\frac{V_{in} + V_{Cr}(t)}{L_m} t + I_V \quad (4)$$

$$i_{pri}(t) = i_{Lm}(t) - \frac{I_o}{N} \quad (5)$$

이 때, 캐패시터  $C_r$ 은 트랜스포머 1차 측 전류에 의해 다음과 같이 방전된다.

$$\begin{aligned} V_{Cr}(t) &= \int_{t_0}^t i_{pri}(t) dt + V_V \quad (6) \\ &= \int_{t_0}^t \left\{ i_{Lm}(t) - \frac{I_o}{N} \right\} dt + V_V \\ &= \int_{t_0}^t \left\{ -\frac{V_{in} + V_{Cr}(t)}{L_m} t + I_V - \frac{I_o}{N} \right\} dt + V_V \end{aligned}$$

이후 모드 1과 모드 2가 계속 반복된다.

### 2.2 동작원리

그림 6은 주파수에 따른 정류된 트랜스포머 2차 측 전압 파형  $V_{rec}$ 를 보이고 있다. 정류된 2차 측 전압  $V_{rec}$ 는  $(V_{in}+V_{Cr})/N$ 으로 나타나며  $V_{in}$ 은 일정하므로  $V_{Cr}$ 에 따라 그 파형이 달라진다.  $V_{Cr}$ 의 크기는  $C_r$ 과  $L_m$ 의 공진에 의해 결정되며, 주파수가 작을수록 그 최대치는 커진다. 한편, 출력전압은 정류된 2차 측 전압이 출력 LC필터에 의해 평활되어 나타나므로  $V_{rec}$ 의 평균이 된다. 그림에서 보인바와 같이 주파수가 작을수록 면적 A보다 면적 B가 더 커지게 되어  $V_{rec}$ 의 출력전압은 증가하게 된다. 결국 제안된 회로는 면적 A와 면적 B의 크기를 주파수에 따라 가변함으로써 출력전압을 Regulation하게 된다.

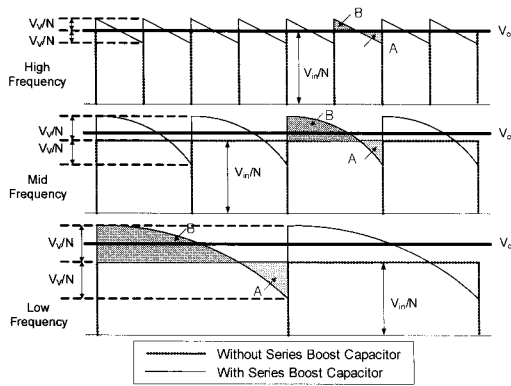


그림 6 트랜스포머 2차 측 전압 파형  
Fig. 6 The voltage waveform on a secondary side of the transformer

### 2.3 입출력 관계식

위 2.1절 정상상태 모드별 동작을 바탕으로 입출력 관계식을 도출해보도록 한다. 그림 7은 모드 1( $t_0 \sim t_1$ )에서의 동작 회로를 나타내며, 이는 스위칭 반주기 동안 지속된다. 그림과 같은 공진회로에서 캐패시터  $C_r$ 과 자화 인덕터  $L_m$ 의 전압  $V_{Cr}(t)$  및 전류  $i_{Lm}(t)$ 를 미분방정식으로 표현하면 다음과 같다.

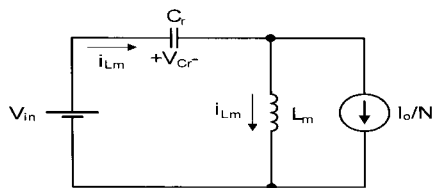


그림 7 모드 1( $t_0 \sim t_1$ )에서의 동작회로  
Fig. 7 Equivalent circuit during Mode 1( $t_0 \sim t_1$ )

$$C \frac{dV_{Cr}(t)}{dt} = i_{Lm}(t) + \frac{I_o}{N} \quad (7)$$

$$V_{in} = V_{Cr} + L_m \frac{di_{Lm}(t)}{dt}$$

이때 캐패시터  $C_r$ 과 자화 인덕터  $L_m$ 의 초기치는 다음과 같다.

$$V_{Cr}(t_0) = -V_V, \quad i_{Lm}(t_0) = -I_V \quad (8)$$

위의 미분방정식의 해를 구해보면 캐패시터  $C_r$ 과 자화 인덕터  $L_m$ 의 전압  $V_{Cr}(t)$  및 전류  $i_{Lm}(t)$ 의 수식을 다음과 같이 얻을 수 있다.

$$V_{Cr}(t) = -Z(I_V - \frac{I_o}{N})\sin(\omega t) - (V_V + V_{in})\cos(\omega t) + V_{in} \quad (9)$$

$$i_{Lm}(t) = -(I_V - \frac{I_o}{N})\cos(\omega t) + \frac{(V_V + V_{in})}{Z}\sin(\omega t) - \frac{I_o}{N}$$

여기서 특성 임피던스  $Z$ 와 공진 각주파수  $\omega$ 는 다음과 같이 정의된다.

$$Z = \sqrt{\frac{L_m}{C_r}}, \quad \omega = \frac{1}{\sqrt{L_m C_r}} \quad (10)$$

위에서 구한  $V_{Cr}(t)$ 와  $i_{Lm}(t)$ 는 스위칭 반주기 후 각각  $V_V$ 와  $I_V$ 가 되므로 다음과 같은 식이 성립된다.

$$V_V = -Z(I_V - \frac{I_o}{N})\sin(\omega \frac{T_s}{2}) - (V_V + V_{in})\cos(\omega \frac{T_s}{2}) + V_{in} \quad (11)$$

$$I_V = -(I_V - \frac{I_o}{N})\cos(\omega \frac{T_s}{2}) + \frac{(V_V + V_{in})}{Z}\sin(\omega \frac{T_s}{2}) - \frac{I_o}{N}$$

식 (11)로부터  $V_V$ 와  $I_V$ 를 다음과 같이 구할 수 있다.

$$V_V = Z \frac{I_o}{N} \frac{\sin(0.5\omega/f_{sw})}{1 + \cos(0.5\omega/f_{sw})} \quad (12)$$

$$I_V = \frac{V_{in}}{Z} \frac{\sin(0.5\omega/f_{sw})}{1 + \cos(0.5\omega/f_{sw})}$$

한편, 출력 전압은 정류된 트랜스포머 2차 측 전압의 평균과 같으므로 다음과 같이 나타낼 수 있다.

$$V_o = \frac{1}{T_s/2} \int_0^{T_s/2} \frac{1}{N} \{V_{in} - V_{Cr}(t)\} dt \quad (13)$$

$$= \frac{2}{NT_s} \left[ \frac{Z}{w} (I_V - \frac{I_o}{N}) \left\{ \cos(\omega \frac{T_s}{2}) - 1 \right\} - \frac{V_V + V_{in}}{w} \sin(\omega \frac{T_s}{2}) \right]$$

식 (12)에서 구한  $V_V$ 와  $I_V$ 를 식 (13)에 대입하면 주파수에 대한 출력 전압은 다음과 같이 구할 수 있다.

$$V_o = \frac{4f_{sw}}{Nw} \frac{\sin(0.5w/f_{sw})}{1 + \cos(0.5w/f_{sw})} V_{in} \quad (14)$$

$$\frac{NV_o}{V_{in}} = \frac{2}{\pi f_o/f_{sw}} \frac{\sin(\pi f_o/f_{sw})}{1 + \cos(0.5f_o/f_{sw})}$$

where  $f_o$ =resonant frequency of  $L_m$  and  $C_r$

그림 8은  $f_{sw}/f_o$  에 따른 전압이득을 나타낸다. 전압이득은 부하에 관계없으며 동작주파수, 공진주파수, 트랜스포머 턴비에 따라 달라짐을 알 수 있다.

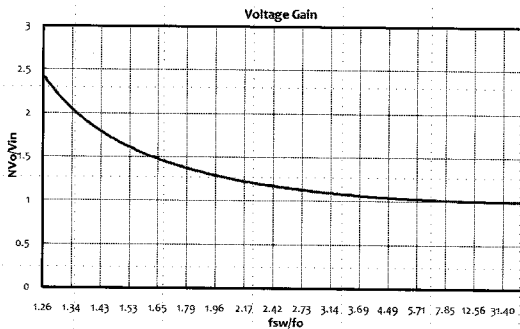


그림 8 주파수에 따른 전압이득  
Fig. 8 Voltage gain vs. frequency

### 2.4 영전압 스위칭

제안된 회로의 고효율화 및 스위치 발열을 저감하기 위해서는 영전압 스위칭이 반드시 보장되어야 한다. 에너지 평형 관계를 이용해 영전압 스위칭을 위해 필요한 에너지를 식 (15)와 같이 표현할 수 있다<sup>[6]</sup>.

$$E = \frac{4}{3} C_{oss} \sqrt{V_{oss}} V_{in(max)}^{3/2} \quad (15)$$

여기서  $C_{oss}$ 는 드레인-소스 전압  $V_{oss}$ 에 의해 측정되어지는 소신호 MOSFET 출력 캐패시턴스이다. 제안된 회로는 부하전류가 존재할 경우 누설 인덕터에 의해 영전압 스위칭이 이루어지며, 누설 인덕터에 저장된 에너지는 식 (16)과 같이 나타낼 수 있다.

$$E = \frac{1}{2} L_{lk} I^2 = \frac{1}{2} L_{lk} \left( I_V + \frac{PL \times I_o}{N} \right)^2 \quad (16)$$

여기서  $PL$ 은 최대부하에 대한 영전압 스위칭 보장을 위한 최소부하의 퍼센트(%) 비율을 의미하며, 누설 인덕터에 저장된 에너지가 식(15)로 나타내어지는 필요 에너지보다 커야 영전압 스위칭이 가능하다. 따라서 이

를 만족시키기 위한 최소 누설 인덕턴스는 다음과 같다.

$$L_{lk.min} \geq \frac{8 C_{oss} \sqrt{V_{oss}} V_{in(max)}^{3/2}}{3 \left( I_V + \frac{PL \times I_o}{N} \right)^2} \quad (17)$$

### 2.5 제안회로 설계

앞서 설명한 해석을 바탕으로 주파수 가변형(PFM)-직렬 부스트 캐패시터(SBC) 폴 브리지 DC/DC 컨버터의 설계 절차를 제시한다.

- Step 1. 최대부하 및 최대입력전압에 대해 효율 및 동작특성을 고려한 최적 주파수 선정
- Step 2. Hold up time을 고려한 최소입력전압 결정
- Step 3. 턴비 선정 :  $N=V_{in(max)}/V_{o(min)}$
- Step 4. 최대 입력전압  $V_{in(max)}$ 에서 출력전압이 나오도록 공진 각 주파수  $\omega$  결정
- Step 5. 최소 입력전압  $V_{in(min)}$ 에서 출력전압이 나오도록  $f_{sw(min)}$  결정
- Step 6. Step 4/Step 5의 결과로부터 특성임피던스 선정
- Step 7. Step 4/Step 6의 결과로부터 얻은  $\omega$ 와  $Z$ 를 이용하여  $L_m$ 과  $C_r$  선정
- Step 8. 영전압 스위칭을 보장하는 누설 인덕턴스를 포함한 외부 인덕터 선정

Design Tool for PFM-SBC Full Bridge Converter		
Input data	Vin(max)	400.00 V
	Vo(min)	12.00 V
	Io(max)	150.00 A
	hold up time	20.00 msec
	Ripple current spec	30.00 A
	Expected overall efficiency at full load	95.00 %
	Leakage inductor	32.00 uH
	output inductor	1.80 uH
	switch output capacitor	780.00 pF
	Input Capacitor	990.00 uF
Isw at full load & Vin(max)		
326.00 A		
output data	Vz(min) - hold up time	330.10 V
Input data	Vin(min) - hold up time with margin	520.65 V
output data	turn ratio(N)=Vin(max)/Vo(min)	33.33 turns
Input data	choose turn ratio(N)	34.20 turns
output data	omega/sw at Vin(max) & Io(max) for Vo	1.83 rad
	omega	118950.00 rad/sec
	omega/sw at Vin(min) & Io(max) for Vo	3.32 rad
	Minimum frequency at full load & Vin(min)	39.77 kHz
	Z, characteristic impedance	126.55 ohm
	capacitor peak voltage at Vin_max and full load	183.25 V
	capacitor peak voltage at Vin_min and full load	400.00 V
	Cr	66.40 nF
	Lm	0.04198 uH
	Peak magnetizing current at Vin_max and full load	1.59 A
Peak magnetizing current at Vin_min and full load	2.77 A	
output data	Point of time when peak output current	4.58E-06 sec
	capacitor voltage Vcr at Vin_max and full load	-7.985895707 V
output data	Cutoff inductor current ripple at Vin_max and full load	6.334152849 A

그림 9 PFM-SBC 폴 브리지 DC/DC 컨버터 설계 Tool 및 그 결과

Fig. 9 Design Tool and Resonant parameters for PFM-SBC Full Bridge DC/DC Converter

상기의 설계 절차에 따른 제안회로(PFM-SBC FB)

의 설계 Tool 및 그 결과를 그림 9에 보이고 있으며, 1.2kW급 서버용 컴퓨터 전원장치를 대상으로 설계 parameter를 도출하였다.

### 3. 모의실험 및 실험결과

#### 3.1 모의실험

제안된 회로의 동작원리 및 타당성을 검증하기 위하여 PSIM tool을 사용한 모의실험을 수행하였다. 모의 실험조건은 1.2kW급 서버용 컴퓨터 전원장치를 대상으로 하며, 아래 표 1에 설계 사양을 나타내고 있다.

표 1 PFM-SBC 컨버터를 위한 설계사양 및 각 부 parameter  
Table 1 Design Spec. and parameters for PFM-SBC converter

항 목	Value	항 목	Value
입력 전압	400 V	자화 인덕턴스	1 mH
출력 전압	12 V	누설 인덕턴스	22 uH
최대 부하전류	100 A	부스트 캐패시터	66 nF
트랜스포머 턴비	35:1:1	출력 인덕터	1.8 uH
		출력 캐패시터	1320 uF

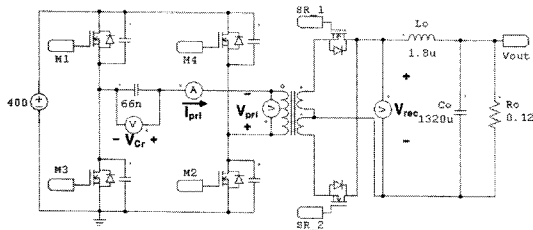
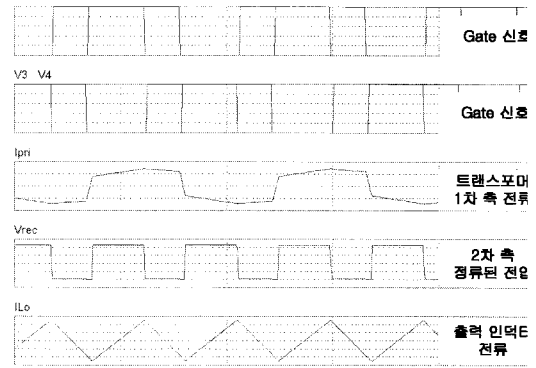
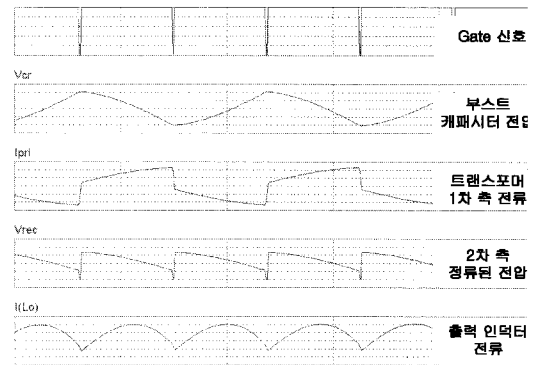


그림 10 PSIM 회로도 (PFM-SBC)  
Fig. 10 PSIM schematic (PFM-SBC)

그림 11은 기존 위상천이 풀 브리지 컨버터와 제안된 주파수 가변형 직렬 부스트 캐패시터 컨버터의 모의실험 결과를 나타내고 있다. 최대 부하시 스위칭 주파수  $f_{sw}$ , 자화인덕턴스  $L_m$ , 출력 인덕터  $L_o$ 가 동일한 조건하에 모의실험을 수행하여 그 결과를 비교하였다. 모의실험결과 기존 위상천이 풀 브리지 컨버터는  $0.2T_s$ 의 환류구간이 존재하고, 이로 인해 1차 측 전류의 Peak치가 7.18A로 측정되었으며, 제안된 회로는 4.62A로 작게 측정됨을 알 수 있다. 또한 동일한 1.8uH의 출력 인덕터를 사용했을 때 출력 인덕터 전류 리플의 경우, 제안된 회로는 8.48A로 기존 위상천이 풀 브리지 컨버터의 25A에 비해 상당히 작음을 알 수 있다.



(a) 기존 위상천이 풀 브리지 컨버터



(b) PFM-SBC 풀 브리지 컨버터

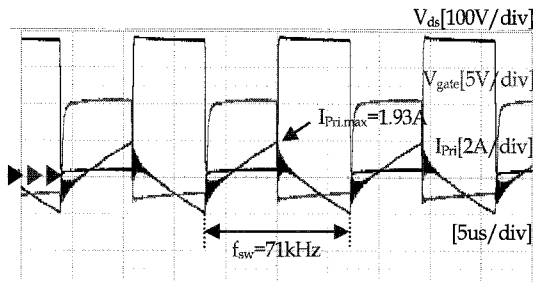
그림 11 PSIM 모의 실험 결과  
Fig. 11 PSIM simulation result

#### 3.2 실험결과

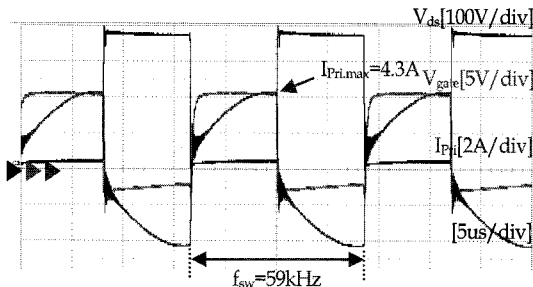
위 모의실험과 마찬가지로 1.2kW급 서버용 컴퓨터 전원장치의 프로토 타입을 제작하여 실험을 수행하였으며, 실험에 사용된 각부 사양 및 소자 parameter는 위 모의실험의 설계사양과 동일하다. 1.2kW급 서버용 컴퓨터 전원장치의 경우 출력전압이 낮고, 출력전류가 매우 크므로, 고전력밀도화 및 고효율화를 위해서는 출력 인덕터 전류의 리플이 작아야 하며, 트랜스포머의 최적설계가 필요하다. 따라서 트랜스포머의 경우 1차 권선과 2차 권선간의 근접효과를 상쇄시키기 위한 Sandwich 권선법을 적용하였으며, Core는 EI3329 2개를 사용하였다. 또한 대출력전류 시스템의 고효율화를 위해서 Center-Tap 방식의 정류기를 사용하였으며, 각각 4개씩의 동기정류기를 병렬로 사용하였다. 출력 인덕터의 경우 권선에서의 저항손실을 줄이기 위해, 고 투자율의 toroidal core를 사용하여 권선의 길이를 최소화하였다.

그림 12는 제안된 PFM-SBC 풀 브리지 컨버터의 부하전류에 따른 각 부 실험파형을 나타내고 있다. 이

론적 파형과 잘 부합함을 알 수 있으며, 20A ~ 100A의 부하 전류 범위에서 스위칭 주파수 가변범위는 59kHz ~ 71kHz로 측정되어, 주파수 가변 범위가 넓지 않음을 확인할 수 있다. 또한, 그림에서 알 수 있듯

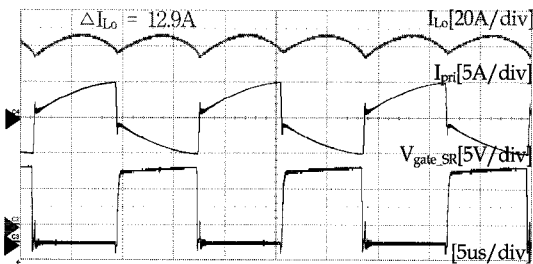


(a)  $I_o=20A$ 의 경우 각 부 파형

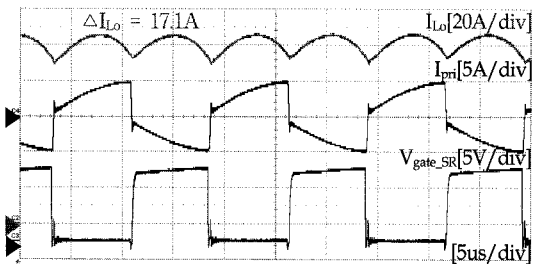


(b)  $I_o=100A$ 의 경우 각 부 파형

그림 12 부하전류에 따른 각 부 파형  
Fig. 12 Measured waveforms vs. load current



(a) 출력 인덕터  $L_o = 1.8\mu H$  경우



(b) 출력 인덕터  $L_o = 1\mu H$  경우

그림 13 출력 인덕터 전류 리플  
Fig. 13 Ripple of output inductor current

이, 1차 측 전류의 offset 및 환류구간이 존재하지 않으며, 최대 부하 시(100A) 1차 측 전류의 Peak는 4.3A이고, RMS치는 3.557A로 모의실험과 유사함을 확인하였다.

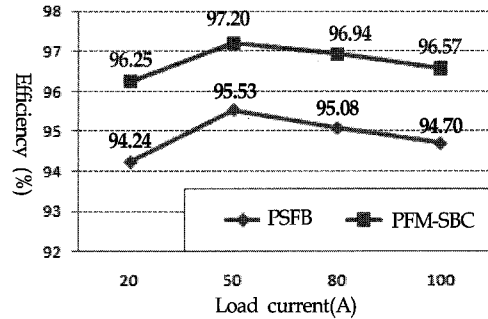


그림 14 효율 측정 결과  
Fig. 14 Measured efficiency

그림 13은 최대부하시의 출력 인덕터 전류 리플을 나타내고 있다. 1.2kW 서버용 컴퓨터 전원장치에서는 30A의 spec.으로 출력 인덕터 전류 리플을 제한하고 있으며, 제안된 회로의 경우 1.8uH의 출력 인덕터를 사용하였을 경우, 최대 부하시 출력 인덕터 전류 리플이 12.9A로 측정되어 소자 전류 스트레스 측면에서 매우 유리함을 알 수 있다. 또한, 출력 인덕터의 권선에서 발생하는 저항손실을 줄이기 위해서 출력 인덕턴스 값을 1uH로 줄였을 경우, 출력 인덕터 전류 리플은 17.1A로 측정되었다.

그림 14는 제안된 회로의 효율 측정 결과를 나타내고 있다. 효율 측정 결과 20% 이상의 모든 부하 조건에서 96%가 넘는 고효율을 획득할 수 있었으며, 기존 위상천이 폴 브리지 컨버터에 비해 1.7~2%가량 효율이 우수함을 알 수 있다. 특히 최대 부하(100A)의 경우에서도 96.57%의 고효율로 대용량에 매우 적합함을 확인하였다.

#### 4. 결론

본 논문에서는 대용량 DC/DC 컨버터의 고효율화를 위한 새로운 주파수 가변형(PFM) 직렬 부스트 캐패시터(SBC) 폴 브리지 DC/DC 컨버터를 제안하였다. 제안된 회로는 50%고정 시비율로 구동되며, 스위칭 주파수를 조절하여 출력전압을 제어하는 것이 특징이다. 따라서 환류구간이 존재하지 않아 효율 및 발열특성이 우수하고 출력 인덕터 전류 리플 또한 매우 작다. 이

를 확인하기 위해 1.2kW급 서버용 컴퓨터 전원장치를 대상으로 PSIM simulation 및 실제실험을 수행하였다. 실험결과 제안된 회로는 최대 부하(100A)의 경우에서도 96.57%의 고효율을 보임으로써, 제안된 회로가 대용량에 매우 적합함을 확인하였다.

이 논문은 삼성전기(주) 및 2008년도 국민대학교 교내연구비를 지원받아 수행된 연구임.

### 참 고 문 헌

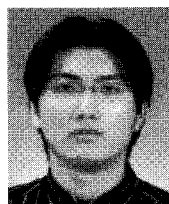
- [1] Chris Calwell, "AC-DC Server Power Supplies: Making the Leap to Higher Efficiency", *Proceedings of the IEEE, APEC 2005*, Vol. 1, pp. 155-158, 2005, March.
- [2] Dong Li, "Comparison of Three Front-end DC-DC Converters for 1200W Server Power Supply", *Proceedings of the IEEE, PESC 2005*, pp. 394-398, 2005, Sept.
- [3] Richard Redl, "A Novel Soft-Switching Full-Bridge DC/DC Converter: Analysis, Design Considerations, and Experimental Results at 1.5 kW, 100kHz", *Proceedings of the IEEE*, Vol. 6, Issue 3, pp. 408-418, 1991, July.
- [4] Bo yang, "Topology investigation for front end DC/DC power conversion for distributed power system", Virginia Polytechnic Institute and State University, pp. 94-116, 2003.
- [5] J.M. Zhang, X.G Xie, X.K. Wu, Zhaoming Qian, "Comparison study of phase-shifted full bridge ZVS converters", *Proceedings of the IEEE, PESC 04*, pp. 533-539, 2004, June.
- [6] M.M. Walters, W.M. Polivkq, "Extending the range of Soft-Switching in Resonant-Transition DC-DC Converter", *Proceedings of the IEEE, IEEE INTELEC '92*, pp. 343-350, 1992, Oct.

### 저 자 소 개



#### 신용생(愼龍生)

1982년 8월 31일생. 2007년 국민대 공과대학 전자공학부 졸업. 2007년~현재 동 대학원 전자공학과 석사과정.



#### 장영수(張榮洙)

1978년 10월 17일생. 2004년 대전대 전자공학과 졸업. 2003년~2005년 (주)필룩스 인버터개발팀 연구원. 2008년 국민대 전자공학과 졸업(석사). 2008년 1월~현재 삼성전기 Power 사업팀 주임연구원.



#### 노정욱(盧政煜)

1971년 9월 10일생. 1993년 한국과학기술원 전기 및 전자공학과 졸업. 1995년 동 대학원 전기 및 전자 공학과 졸업(석사). 2000년 동 대학원 전기 및 전자공학과 졸업(공학). 2000년~2004년 삼성전자 (주) 영상 디스플레이 사업부 책임 연구원. 2004년~현재 국민대 전자정보통신공학부 부교수. 당 학회 편집위원.



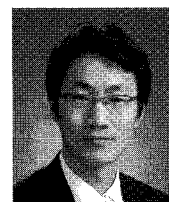
#### 홍성수(洪成洙)

1961년 1월 25일생. 1984년 서울대 전기공학과 졸업. 1986년 한국과학기술원 전기 및 전자공학과 졸업(석사). 1992년 동 대학원 전기 및 전자공학과 졸업(공학). 1984년~1999년 현대전자(주) 정보통신 연구소 책임연구원. 1999년~현재 국민대 전자정보통신공학부 부교수.



#### 이효범(李孝範)

1956년 2월 18일생. 1980년 항공대 전자공학과 졸업. 2002년~2005년 삼성전기 영상 Network사업본부 Digital사업부장. 2005년 1월~2005년 12월 삼성전기 RF사업부 Power 사업 팀장. 2006년~현재 삼성전기 Power사업 팀장.



#### 한상규(韓翔圭)

1973년 12월 13일생. 1999년 2월 부산대 전기공학과 졸업. 2001년 2월 한국과학기술원 전자전산학과 졸업(석사). 2005년 2월 동 대학원 전자전산학과 졸업(공학). 2005년 3월~2005년 8월 한국과학기술원 정보전자연구소 박사후연구원. 2005년 9월~현재 국민대 전자정보통신공학부 조교수.