

레이다용 낮은 위상잡음을 갖는 초고속 주파수 합성기에 관한 연구

최창호* · 이승주**

목 차

- I. 서론
- II. 주파수 합성기의 기본이론
- III. Ku-Band 주파수 합성기의 설계
- IV. 시험 평가 및 결과 고찰
- V. 결론

I. 서론

PLL(Phase Locked Loop)을 이용한 주파수 합성기는 수정 발진기 등의 기준주파수를 이용하여 다른 주파수를 합성하거나 몇 가지 기준 주파수를 조정함으로써 목적으로 하는 주파수를 합성하는 시스템이다. 설계 시 가장 중요한 고려사항은 위상잡음과 정착시간(lock time)이며 이 두 특성은 상호간 trade off 하는 관계를 가진다.

미사일이나 레이더 및 위성통신에 사용되는 광대역 초고속 주파수 합성기는 일반무선통신에서 사용하는 주파수 합성기와는 달리 주파수 대역이 수백 MHz가 필요하고, 수십 uSec 이내의 주파수 도약속도와 매우 낮은 위상잡음이 요구되고 있다. 또한 다수의 안정된 AUX. 채널이 요구된다.

따라서 이러한 고성능 주파수 합성기는 첨단 방산 분야와 위성통신, 정밀 측정장비, 초 광대역 무선 시스템에 사용된다.

* 경희대학교 전자공학과 박사과정

** 혜전대학 디지털전자과 교수

II. 주파수 합성기의 기본이론

주파수 합성기는 대개 크리스털 제어 발진기를 사용하여 수 KHz 또는 수 MHz의 정밀하고 안정된 주파수를 발생하는 기본 주파수를 생성한다.

주파수 합성방식에는 직접 합성(DS: Direct Synthesis)과 간접 합성(IS: Indirect Synthesis)으로 크게 나눌 수 있다. 직접 합성에서, 단일 기준 주파수는 곱해지거나 나누어져서 국부 발진기 신호와 혼합되어 원하는 주파수 신호로 천이된다. 간접 합성에서는 2개 이상의 주파수 원(frequency source)의 상호 작용에 의하여 원하는 주파수 성분을 만들어내는 방식이다.

직접 합성에 있어서 안정된 발진기의 출력은 일련의 주파수 변화를 만들어내는 다양한 기능에 따른다. 만약 비선형 소자가 원하는 고조파를 얻기 위해 사용되었다면, 그 프로세서는 '직접 아날로그(DA: Direct Analog) 합성'이라 불린다. 또한 디지털 프로세서가 포함되면, 그 프로세서는 '직접 디지털(DD: Direct Digital) 합성'이라 불린다.

DA 합성에서 기준 주파수 그룹은 주 주파수 원에서 만들어지며, 이러한 주파수들은 혼합 및 여과되고, 더해지며 빼지거나 나누어진다. 이 방법은 특히 반송 주파수 근처에서 매우 우수한 주파수 대역의 정밀도 및 우수한 스위칭 속도를 제공한다. 그러나 RF 출력 범위는 일반적으로 수백 MHz로 제한된다.

DD 합성은 기본적으로 신호를 만들고, 처리하며, 변조하는데 사용되는 디지털 회로로 구성된 디지털 신호처리기이며 DDS Chip을 사용하여 고속 스위칭, 고해상도, 소형, 저소비 전력, 우수한 비용 대 효과 및 재생산 설계능력을 제공한다. 출력 신호는 변조하기 쉽고, 정밀도는 매우 높다. 직접 합성은 탁월한 주파수 분해능과 매우 빠른 스텝(step) 속도를 제공한다[1] [2].

간접 합성의 경우, 다수의 출력 주파수는 2개 이상의 발진기 출력신호들을 헤테로다인 처리함으로써 얻는다.

한 주파수를 고정시키고 다른 변수, 즉 전압등을 가변 시킴으로써, 광대역의 주파수 출력이 얻어진다. 원하는 출력 주파수를 선택하기 위해, 적절한 필터가 사용된다. 이 방법은 적은 수의 고조파를 가진 고정 주파수 동작에 적합하다. 유연성과 고조파 동작을 높이기 위해, 위상 고정 루프(PLL: Phase-Locked Loop)가 일반적으로 사용된다. PLL은 출력 주파수 신호를 기준 주파수 신호원에 고정시키는 피드백 방식으로 대표적인 간접 합성 방식의 주파수 발생장치라고 할 수 있다. PLL 회로는 단순하고 경제적인 단일 혹은 다중 루프(loop)이며 이러한 단일 루프 구성은 반송 주파수에 근거한 위상잡음(close-to-the-carrier phase noise)이 가장 중요한 설계 변수가 아닌 응용분야에 주로 사용된다. 이러한 단점을 보완하는 다중 루프는 최적 시스템 설계를 위해 매우 낮은 위상 근접 잡음(close-in phase noise)과 고해상도가 필요로 하는 응용에 사용된다. 허용 가능한 위상잡음과 원하는 스텝 크기에 따라, 간접 합성은 직접 합성보다 매우 간단해 질 수 있다[3] [4].

III. Ku-Band 주파수 합성기의 설계

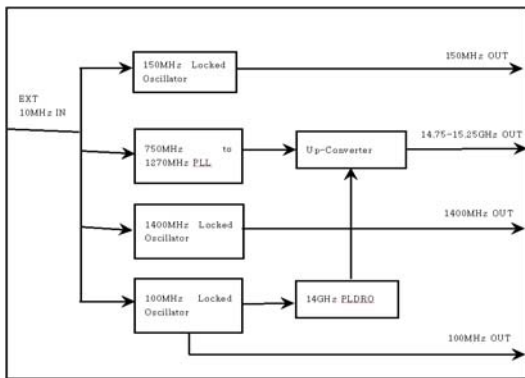
본 논문에서 설계하고자 하는 Ku-Band용 주파수 합성기는 고도의 설계기술과 시험기술을 요구하는 분야로 일반 주파수 합성기와 구별된다. 레이더나 미사일과 같은 전자전 장비에서 요구되는 사양을 만족하기 위하여 본 논문에서는 PLL을 사용한 주 주파수 합성부분과 이를 Ku-Band로 상향변환하는 부분 그리고 수개의 Aux 주파수를 여기하는 부분으로 나누어 설계하였다.

개발 목표의 사양은 [표 3.1]과 같다.

[표 3.1] 개발 목표 사양

항 목	사 양			
	14.75 GHz to 15.25GHz	100MHz	150MHz	1400MHz
Output frequency	14.75 GHz to 15.25GHz	100MHz	150MHz	1400MHz
Channel space	10MHz	-	-	-
Switching speed	100usec 이내	-	-	-
Phase noise Offset				
	100Hz	-65dBc	-110dBc	-110dBc
	1 KHz	-80dBc	-122dBc	-105dBc
	10KHz	-90dBc	-130dBc	-110dBc
Harmonics	<-40dBc	<-40dBc	<-40dBc	<-40dBc
Spurious	<-60dBc	<-60dBc	<-60dBc	<-60dBc
Output level	+10dBm 이상	+7dBm ±.5dB	+3dBm ±.5dB	+13dBm ±2dB

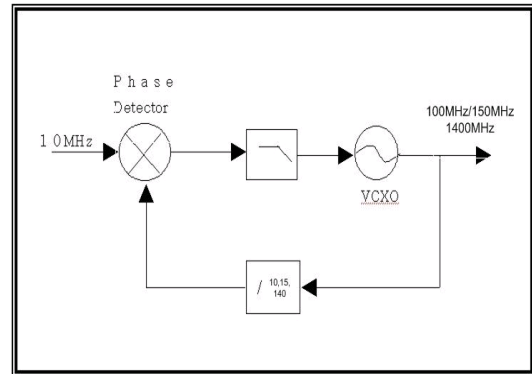
주파수 합성장치의 구성도는 [그림 3.1] 과 같다.



[그림 3.1] 주파수 합성기 구성도

3.1 Phase Locked Oscillator부(100MHz, 150MHz, 1.4GHz)

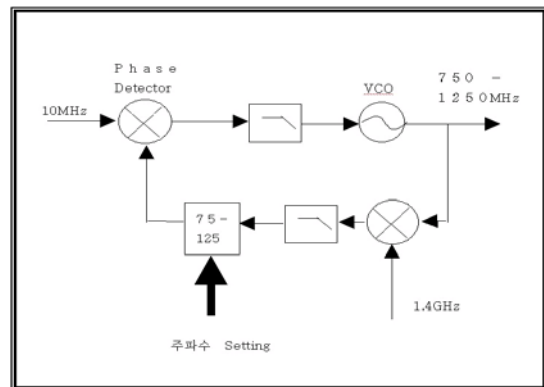
PLL회로는 Peregrine semiconductor사의 PE3236과 ECL소자를 사용하여 병행하여 설계하였고 위상잡음 특성을 개선하기 위해서 PLL 능동 루프필터에서는 AD 797 Low-noise OP AMP를 사용하여 낮은 위상잡음 특성을 갖도록 하였다. ECL소자를 사용한 설계에서는 PECL로 설계하여 전원사용을 용이하게 하였으며, ECL소자 입력단에서는 ECL Driver를 사용하여 Sin wave to ECL변환이 용이하게 설계하였다. 위상잡음 특성을 고려하여 루프 대역폭은 2 KHz 이내로 설계하였다. 기본 구성도는 그림 [3.2]와 같다[5].



[그림 3.2] PLL의 기본구성도

3.2 Main Path부(750 to 1250MHz)

Main path부도 Peregrine semiconductor사의 PE3236과 ECL소자를 사용하여 병행하여 설계하였고 위상잡음 특성을 개선하기 위해서 PLL 능동 루프필터에서는 AD 797 Low-noise OP AMP를 사용하여 낮은 위상잡음 특성을 갖도록 하였다. 하지만 위상잡음 특성과 스위칭 속도 특성을 고려하여 루프 대역폭은 20 KHz 이내로 설계하였다. Main path부의 기본 구성도는 [그림 3.3]과 같다.

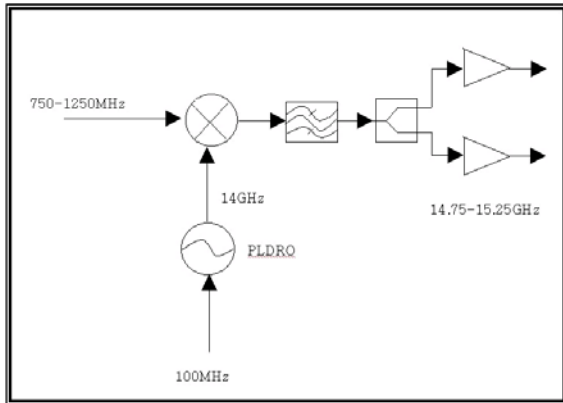


[그림 3.3] Main Path PLL

3.3 Up-Converter부

낮은 위상잡음 특성을 구현하기 위하여 LO source를 PLDRO를 사용하였고, Ku-band에서 500MHz 대역폭을 갖는 BPF를 사용하여 특성을 만족하도록 Ku-band 혼합기는 GaAs MMIC를 사용하여 낮은 LO 레벨에서 사용하도록 설계하였다. 또

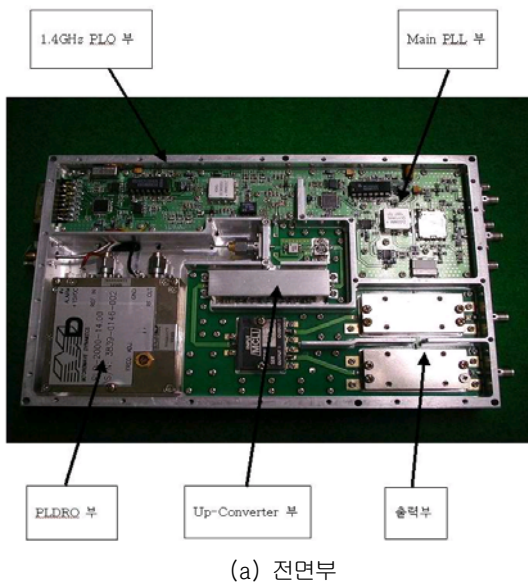
한 혼합기의 출력단에 Isolator를 사용하여 임피던스 정합에 도움이 되도록 설계하였으며, 최종 출력단에 이득 증폭기(gain amplifier)를 사용하여 출력 파워를 증폭하도록 설계하였다. 기본 구성도는 [그림 3.4]와 같다.



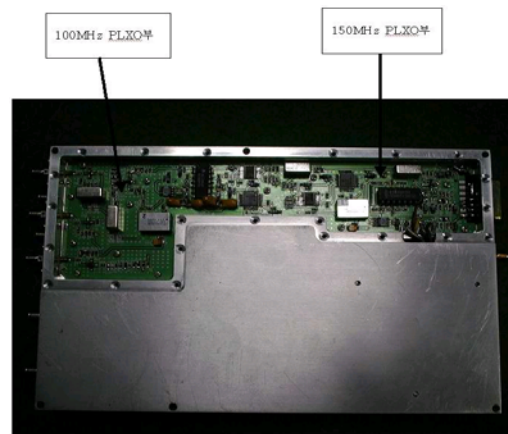
[그림 3.4] Ku-band Up-Converter부

IV. 시험 평가 및 결과 고찰

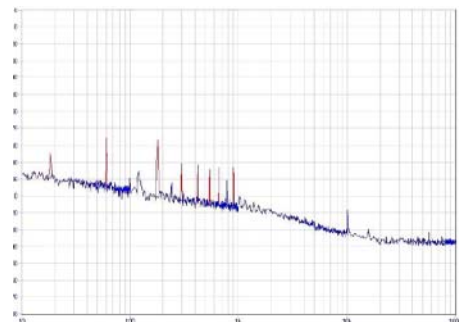
[그림 4.1]은 실제 개발한 모듈이다. 위상잡음 측정은 100MHz, 150MHz, 1.4GHz에서 Aero flex사의 PN9000을 이용하였다. [그림 4.1]에서 결과를 보인다.



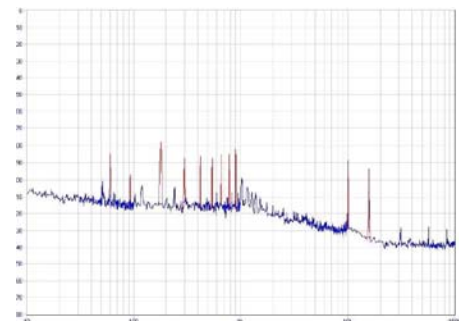
(a) 전면부



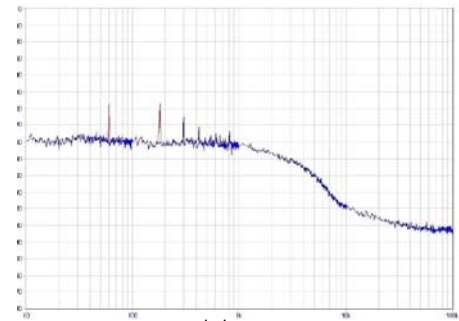
(b) 후면부
[그림 4.1] 개발 모듈



(a) 100MHz



(b) 150MHz

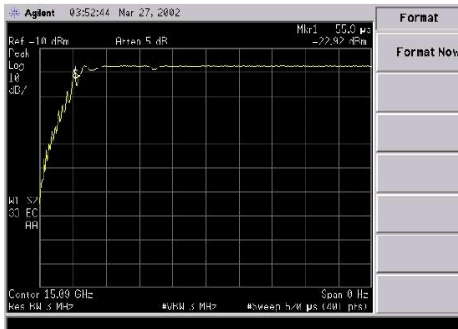


(c) 1.4GHz

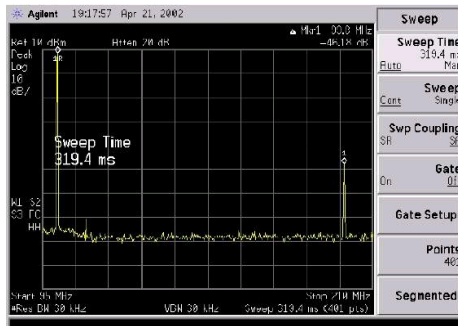
[그림 4.2] 위상잡음 특성

스위칭 속도 특성은 70usec로 100usec 이하를 요구하는 사양에 부합함을 알 수 있다.

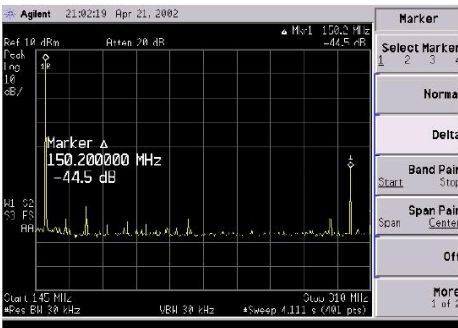
하모닉 특성도 100MHz에서 -46.18dB, 150MHz에서는 -44.5dB, 1.4GHz는 -42.68dB로 실제 전자장비 응용에 적당한 양호한 결과를 얻었다. 스퓨리어스 측정도 위와 마찬가지로 스펙트럼 분석기를 이용하여 시험환경을 구성하였고 그 결과를 [그림 4.5]에 보인다. 전체 시험 결과를 [표 4.1]에서 보인다.



[그림 4.3] 10MHz 스텝 스위칭 속도 특성



(a) 100 MHz

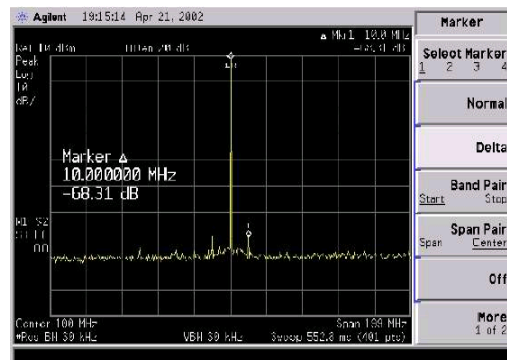


(b) 150 MHz

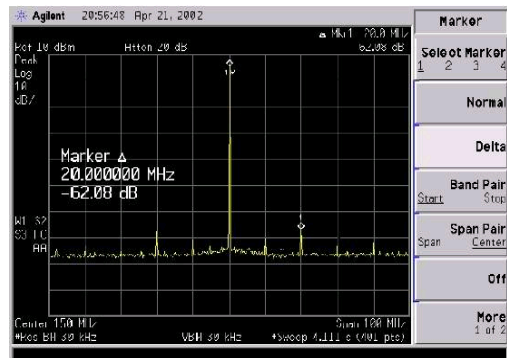


(c) 1.4 GHz

[그림 4.4] 하모닉 특성



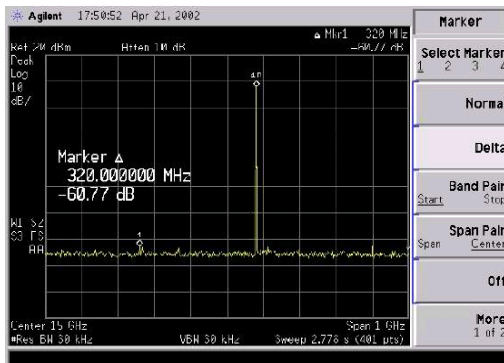
(a) 100 MHz 스퓨리어스 특성



(b) 150MHz 스퓨리어스 특성



(c) 1.4GHz 스퓨리어스 특성



(d) 15.25GHz 스퓨리어스 특성
[그림 4.5] 스퓨리어스 특성

[표 4.1] 시험결과

구분	평가항목	개발사양	실험결과	
Main (14.75 ~ 15.25GHz)	주파수 대역폭	500MHz	500MHz	
	스위칭 속도	100usec이하	70usec	
	위상잡음 [dBc]	100Hz	65	68
		1 KHz	80	84
		10KHz	90	92
출력파워레벨 [dBm]	10±.5	9.33		
Aux Ch.	주파수	100MHz	100MHz	
	위상잡음 [dBc]	100Hz	110	105
		1 KHz	122	115
		10KHz	130	132
	출력파워레벨 [dBm]	7±.5	8	

제작한 주파수 합성기의 모듈은 대체로 사양을 만족시키고 있다. 위상잡음이 5 dB정도 모자라는 부분은 PLL Chip PE3236이 루프 대역폭 이내에서 자체의 noise floor가 높기 때문으로 사료된다. 이는 ECL 개별 소자를 사용하여 개선하였으나 추후 이 부분에 대한 추가적인 연구가 필요하다. 하지만 설계된 주파수 합성기는 단일 모듈로 상품화가 가능하므로 향후 전자장비 응용부분에 응용이 가능하다.

V. 결론

본 논문에서 제안한 레이더용 주파수 합성기는 요구조건에 대체로 만족하며, PLL Chip만을 사용했을 경우 200MHz이상의 광대역에서 비교적 높게 나타나는 위상잡음 특성을 ECL 개별소자를 사용하여 통합 설계함으로써 이를 개선하였다. 위상잡음과 스위칭 속도 모두 요구조건에 부합함을 실험을 통해 확인하였다. 이는 추후 미사일이나 레이더와 같은 전자장비에 이용할 수 있을 것으로 사료된다.

참고문헌

- [1] Manassewitsch, V., "Frequency Synthesizers Theory and Design", 2nd ed., John Wiley & Sons, New York, 1980.
- [2] Egan, W.F., "Frequency Synthesis by Phase Lock" , John Wiley & Sons, New York, 1981.
- [3] Rohde, U.L., "Digital PLL Frequency Synthesizers Theory and Design", Prentice-Hall, Englewood Cliffs, NJ, 1983.
- [4] Alexovich, J.R., R.M. Gagliardi, "Frequency Synthesizer Effects in FSK Frequency Hopped Communications", University of southern California, August 1987.
- [5] 신승하, 전계석, "레이더를 위한 낮은 위상잡음을 갖는 주파수 합성기의 설계", 경희대학교 산학협력기술논문집 Vol. 10, 2004.

Study on the High Speed Frequency Synthesizer with Low Phase Noise for Radar

Chang Ho Choi, Seung Joo Lee

Abstract

In this paper, frequency synthesizer for radar system is designed and developed. Optimizing the phase noise and lock time, each module is designed as two-type PLL circuit, and then the performance of PLL frequency synthesizer is compared. The experiment result shows the lock time of 70 usec, the phase noise of less than 100 dBc, the bandwidth above 500MHz.