

논문 2009-46SP-2-12

효율적인 FIR Upsample 회로

(Efficient FIR Upsample Circuit)

김 용 은*

(Yong-Eun Kim)

요 약

FIR upsampler는 입력 데이터 보다 L 배 빠른 출력 신호를 생성한다. Upsampler의 효율적인 구현을 위해 일반적으로 Noble identity 공식을 이용하여 L 개로 필터단을 나눈다. 본 논문에서는 나누어진 필터단 1개의 위상 지연을 정수로 만들어 필터단 1개를 제거하는 방법을 제안하였다. 제안한 방법을 이용하여 CDtoDAT에 이용되는 192탭 2배 upsampler를 하이닉스 0.18라이브러리를 이용하여 설계할 때 기존 회로에 비하여 면적, 파워, 최대위상지연에러, 최대리플에러에서 48%, 43%, 99.9%, 68% 만큼 효율적임을 확인하였다.

Abstract

FIR upsampling circuit generates output data L times faster than input data. For efficient implementation of upsampler, FIR filter stages Noble identity theory. In this paper, we propose a method that one of the divided filter stages is removed by making phase delay to integer number. 192taps 2-times upsampler used in CDtoDAT is designed using proposed method. The designed circuit is synthesized using Hynix 0.18um process. By the simulation results, it is shown that the proposed method leads to up to 48%, 43% and 99.9% and 68% reduction in area, power consumption and maximum phase delay error and maximum ripple error compared with conventional method.

Keywords: Upsampler, bypass, phase delay

I. 서 론

Upsample 회로는 오랫동안 연구되어 왔으며 샘플레이트 변환 등 많은 부분에서 사용된다. Upsample 회로는 IIR과 FIR의 형태로 존재한다. IIR구조는 회로가 간단하나 위상 지연 에러가 크므로 FIR 구조 upsampler가 널리 사용된다^[1-3]. FIR구조 upsampler 회로는 면적이 크고 파워 소모가 크므로 효율적인 설계 방법이 연구되고 있다. 본 논문에서는 Noble identity 공식을 이용하여 upsampler 필터를 L 단으로 나누어 만들 때 필터 차수를 $L \times \text{정수} + 1$ 개로 만들어 필터단 1개의 위상지연이 정수가 되도록 하였다. 따라서 위상지연이 정수가

되는 필터단을 제거하고 입력신호를 바이패스 시켜 필터단 1개를 제거시키는 방법에 대해서 제안하였다.

II. 기존 FIR upsampler 회로 설계 방법

입력의 입력 신호가 $x(n)$ 이라고 하고 입력 신호가 L 배 upsampling 하기 위해 0을 삽입한 신호를 $y_u(n)$ 이라고 하면 그림 1과 같다. $y_u(n)$ 을 수식으로 나타내 보면 식 (1)과 같고 L 이 3일 때 입력신호 $x(n)$ 과 $y_u(n)$ 을 나타내어보면 그림 2와 같다.



그림 1. L 배 upsampler
Fig. 1. L -times upsampler.

* 학생회원, 전북대학교 전자정보공학부
(Div. of Electronic & Information Engineering
Chonbuk University)

접수일자: 2008년4월29일, 수정완료일: 2009년2월27일

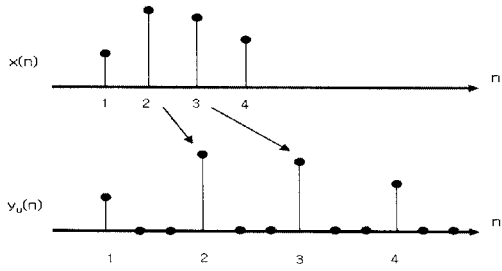


그림 2. 입력 $x(n)$ 이 3배 upsample 된 후 출력 $y_u(n)$ 신호

Fig. 2. 3-times up sampled output signal $y_u(n)$ obtained from the input signal $x(n)$.

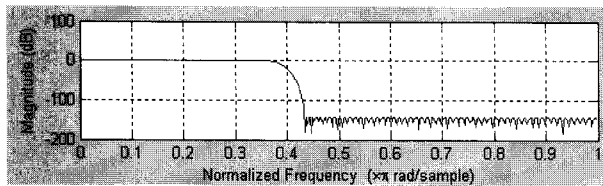


그림 3. 통과 대역이 $0 \sim \pi/L (L = 3)$ 인 저대역 필터 $H0$ (180탭)

Fig. 3. Lowpass filter $H0$ (180 taps) with pass band of $0 \sim \pi/L (L = 3)$.



그림 4. 그림 3의 필터 $H0$ 에 의한 신호 복원

Fig. 4. Signal restoration by filter $H0$ in Fig. 3.

$$y_u(n) = \begin{cases} x(n/L), & n/L \text{이 정수일 때} \\ 0, & n/L \text{이 정수가 아닐 때} \end{cases} \quad (1)$$

그림 2에서 삽입된 0을 원신호로 복원하기 위해서는 그림 3과 같이 $0 \sim \pi/L (L = 3)$ 구간을 통과 대역으로 하는 저역 필터 $H0$ 를 거쳐야 된다. 본 논문을 설명하기 위한 예제 그림 3의 경우 필터는 180탭이며 필터의 차수가 증가할수록 통과 구간에서 리플레어가 감소하며 저지대역 dB가 작아지게 된다. 그림 4는 그림 3의 필터에 의해 신호가 복원되어지는 그림이다. 그림 4처럼 신호를 복원하기 위해서는 저대역 필터 $H0$ 는 입력 신호 보다 3배 빠른 클럭이 필요하다. 클럭은 파워소모에 비례하므로 파워를 줄이기 위해서 Noble identity 정리를 이용하여 필터단을 식 (2)와 같이 3개 $\{oR2, oR1, oR0\}$ 로 나눌 수 있다^[4-7].

$$H0(z) = h_0 + h_1 z^{-1} + \dots + h_m z^{-m}$$

$$oR0 = h_0 + h_3 z^{-3} + h_6 z^{-6} \dots$$

$$oR1 = h_1 z^{-1} + h_4 z^{-4} + h_7 z^{-7} \dots$$

$$oR2 = h_2 z^{-2} + h_5 z^{-5} + h_8 z^{-8} \dots \quad (2)$$

식 (2)와 같이 나누어진 필터에서 생성된 신호는 원 신호 크기의 $1/L$ 배로 스케일 다운되므로 각 필터의 크기에 L 배씩 곱해 줘야 원 신호와 크기가 같아진다. $\{oR2, oR1, oR0\} \times 3$ 을 $\{R0, R1, R2\}$ 라고 하면 나누어진 필터단은 그림 5와 같은 구조로 나타낼 수 있다. 나누어진 필터단 $\{R0, R1, R2\}$ 은 그림 4의 $\{\bullet, \blacktriangle, \blacksquare\}$ 를 독립적으로 복원하여 출력하게 된다. 그림 5의 각 필터단 $\{R0, R1, R2\}$ 의 클럭은 입력 클럭과 같은 속도이며 지연 체인은 D플립플롭을 이용한 신호 지연이다. $\{R0, R1, R2\}$ 필터단은 $0 \sim 0.8\pi$ 구간 통과 필터 특성으로서 거의 전 대역 통과 특성을 나타내며 $\{R0, R1, R2\}$ 의 위상 지연은 각각 $\{\text{차수}/2-1+1/6+3/3, \text{차수}/2-1+1/6+2/3, \text{차수}/2-1+1/6+1/3\}$ 이다. 따라서 각 필터 단의 위상 지연은 $1/3$ 씩 차이가 남을 알 수 있다. 따라서 그림 4와 같이 신호가 복원될 때 그림 2의 입력 신호 $x(n)$ 을 통과시키면서 입력신호 주파수 성분을

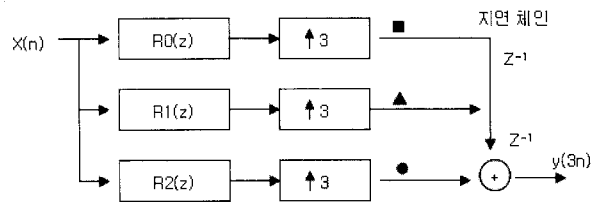


그림 5. $H0$ 가 Noble identity 정리에 의하여 나누어진 3 단 필터

Fig. 5. 3 stages filter of $H0$ divided by Noble identity theory.

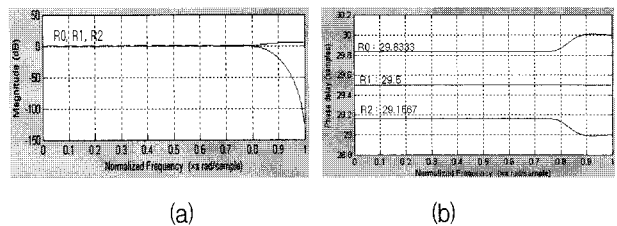


그림 6. $R0, R1, R2$ 필터단의 특성: (a)dB특성, (b)위상 지연특성

Fig. 6. Characteristic of $R0, R1, R2$ filter stage: (a)dB, (b)phase delay.

유지하면서 지연이 1/3씩 차이가 나는 신호를 각 필터 단에서 생성시켜준다. 따라서 입력 주파수 성분을 유지하면서 3배 upsampling된 신호가 그림 4처럼 복원됨을 알 수 있다. 그림 6-(a)는 각 필터단의 특성을 보여주고 그림 6-(b)는 위상 지연특성을 보여준다.

III. 제안하는 FIR upsample 회로 설계 방법

II장에서 FIR 3배 upsample 필터단 $\{R0, R1, R2\}$ 의 위상 특성이 1/3만큼 차이가 있음을 알 수 있다. 그런데 그림 6에서 위상지연이 가장 작은 $R2$ 의 위상지연은 29.1557로서 정수가 아니다. 위상지연이 정확히 정수배가 되면 정수배가 되는 필터단은 제거될 수 있다. 예를 들어 만약 $R2$ 의 위상지연이 30이라고 하면 지연 소자 D플립플롭을 거친 입력 $x(n)$ 의 30번째 신호를 바이패스 시키면 된다. 그림 7은 D플립플롭을 이용하여 위상지연이 30인 신호 출력을 생성하는 블록도이다. 따라서 필터단 $\{R0, R1, R2\}$ 중 하나의 위상 지연이 정수가 되도록 하고 위상지연이 정수가 되는 필터단을 그림 7과 같은 블록으로 대체하면 필터단 $R0$ 가 사라진다. 필터단 $R0$ 의 위상 지연이 정수 값을 가지기 위해서는 $L \times \text{정수} + 1$ 개의 차수를 가지는 $H0$ 필터를 설계하고 $R0$ 는 다른 필터단의 차수보다 1개 많은 차수를 가져야한다. 예를 들어 3배 upsampling을 수행하기 위한 저대역 필터($0 \sim 1/3\pi$ 통과 대역)의 차수가 181탭이라면



그림 7. 입력 신호의 위상지연이 30으로 만들기 위한 블록도

Fig. 7. Block diagram for making input signal to 30 phase delay.

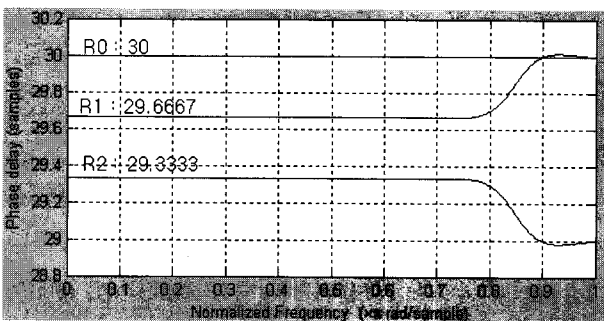


그림 8. $\{R0, R1, R2\}$ 필터 위상지연 특성
Fig. 8. Characteristic of phase delay of $\{R0, R1, R2\}$ filter.

$\{R0, R1, R2\}$ 는 각각 61, 60, 60탭이 된다. 그림 8은 $H0$ 가 181탭 일때 각 필터의 위상지연을 나타내고 그림 9는 $R0$ 의 필터 계수를 나타낸다. 그림 9에서 $R0$ 는 nonzero 계수로 이루어진 필터단이다. 필터단 $R0$ 의 역할은 그림 8에서와 같이 지연이 30인 입력 신호를 출력하는 것이다. 만약 필터단 $R0$ 이 다른 계수로 바뀐 후에 지연이 30인 신호를 더 정확히 출력하게 된다면 upsample 에러는 더 줄게 될 것이다. 지연이 30인 신호를 정확히 출력하기 위해서는 그림 7의 구조와 같이 입력신호가 D플립플롭을 29번 거치면 지연이 30인 신호가 출력시키면 된다. 단순히 지연을 거치는 구조의 필터 계수는 그림 10과 같이 표현된다. 즉 $R0$ 에서 30은 1이 되고 이를 제외한 나머지 필터 계수는 모두 0이다. 따라서 그림 10과 같이 $R0$ 를 새로운 $R0_{new}$ 계수는 그림 10과 같이 변형시킬 수 있다. 새로운 $R0_{new}$ 계수 이용한 제안한 필터 구조는 그림 11과 같다. 그림 11-(a)는 $R1$ 필터의 내부 구조이고 그림 11-(b)는 $R0$ 를 제거시키고 $R1$ 의 지연 30번째 신호를 $R0$ 출력신호로 사용한 그림이다. 제안한 방법을 이용하면 $\{R0, R1, R2\}$ 의 위상 지연 에러도 줄어들게 된다. 제안한 방법을 이용한 $R0_{new}$ 는 바이패스이므로 위상지연에러가 전대역에서 0이다. 기존의 $\{R0, R1, R2\}$ 필터 위상 지연 특성을 나타낸 그림 6-(b)의 $0 \sim 0.1\pi$ 구간을 확대해보면 그

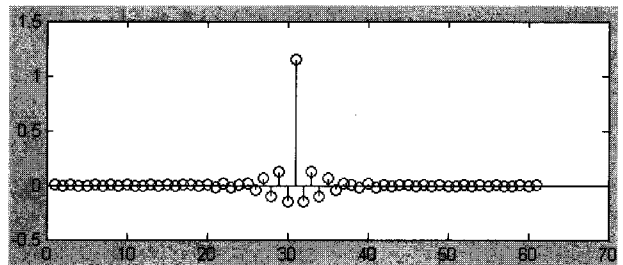


그림 9. $R0$ 필터 계수
Fig. 9. Coefficient of $R0$ filter.

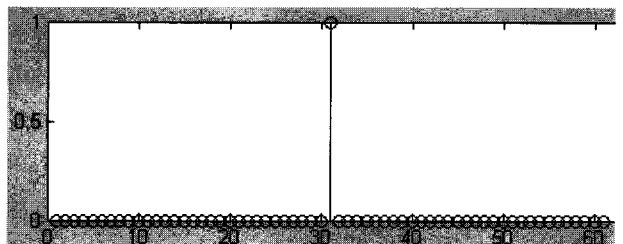


그림 10. 바이패스 필터로 만들어진 $R0_{new}$ 계수
Fig. 10. $R0_{new}$ coefficient made by bypass filter.

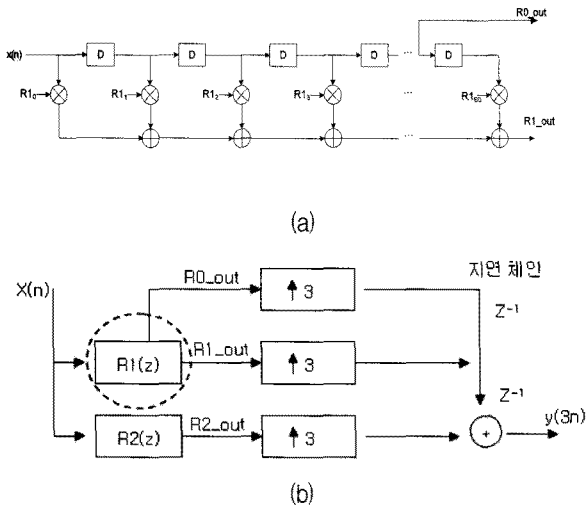


그림 11. 제안한 방법을 이용한 upsampler 필터 구조:
 (a) $R1$ 내부구조, (b) 제안한 upsampler 필터 전체 구조
 Fig. 11. Structure of upsampler filter using proposed method : (a) Inner structure of $R1$, and (b) Total structure of proposed upsampler filter.

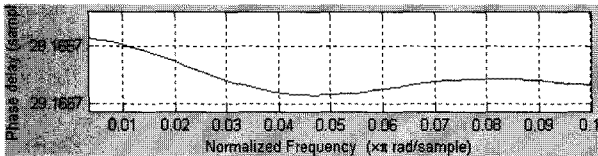


그림 12. $R0$ 의 위상 지연 오차
 Fig. 12. Phase delay error of $R0$.

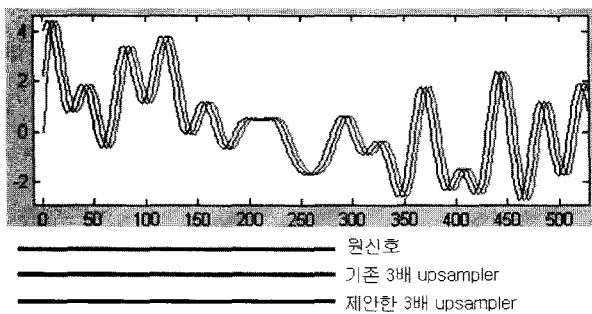


그림 13. 임의의 신호의 upsampling 결과
 Fig. 13. Upsampled result of random signal.

그림 12와 같이 위상지연오차를 가짐을 알 수 있다. $\{R0, R1, R2\}$ 의 최대 위상 지연 오차는 각각 $\{4.0595 \times 10^{-6}, 0, 4.0595 \times 10^{-6}\}$ 이다. 하지만 제안한 방법을 이용하여 $R0, R1, R2$ 최대 위상 지연 오차를 계산하면 각각 $\{0, 3.5 \times 10^{-6}, 3.5 \times 10^{-6}\}$ 로 기존의 방법보다 위상지연 오차가 작음을 알 수 있다. 그림 13은 임의의 신호를 생성하고 생성된 신호를 3샘플 간격으로 가운데 2개의 신호를 0으로 바꾸고 기존의 upsampler와 제안한

upsampler를 이용하여 0인 부분을 복원한 그림이다. 제안한 알고리즘을 일반화하기 위해서는 먼저 기존의 필터단이 정수로 나뉘어지는 것을 고려해야 된다. 예를 들어 7배 upsampler를 설계한다고 고려하면 필터단이 Noble identity 이론에 의해 7개로 나뉘어지는 것을 고려하고 각각의 필터단이 20차라고 가정하면 그림 3에서처럼 통과 대역이 $0 \sim \pi/7$ 인 저대역 필터 $H0$ 는 140tap이 되어야한다. 이와 같은 사실을 고려하고 다음과 같이 제안한 방법을 일반화 하도록 한다.

제안한 알고리즘의 일반화

1. 각각의 필터단이 N 차이고 L 배 upsample 필터를 설계할 때 첫째 필터단 지연을 정수로 만들기 위해 $0 \sim \pi/L$ 저대역 필터 $H0$ 를 $L \times N + 1$ 차로 생성한다.
2. Noble identity 이론에 의해 $H0$ 을 L 개로 나누면 첫 번째 필터단의 차수는 $N + 1$ 이 되고 나머지 필터단 차수는 N 이 된다.
3. 2를 수행하면 첫 번째 필터단의 지연 특성은 정수가 되고 단순히 입력을 지연 시키는 역할을 하므로 이를 제거시키고 두 번째 단 필터의 정수 지연이 생성되는 D플리플롭으로부터 첫 번째 필터단이 필요한 지연 신호를 추출하여 사용한다.

IV. 실험결과

그림 14는 CD 샘플링 44.1KHz의 주파수를 DAT 샘플링 48KHz 주파수로 변화시켜주는 샘플러 변환기이다. 그림 14에서 사용된 88KHz로 변환 시켜주는 2배 upsampler는 192탭이 사용되었다. FIR 필터단은 병렬

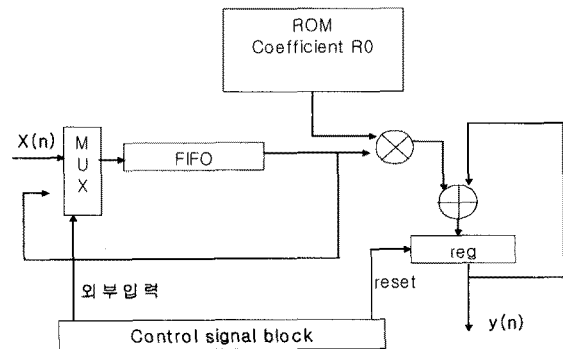


그림 14. 시리얼 필터단 블록도
 Fig. 14. Block diagram of serial filter stage.

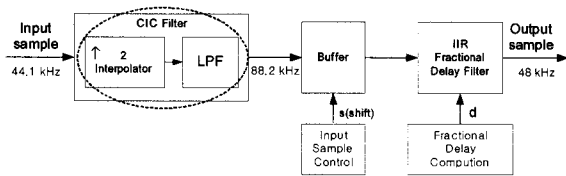


그림 15. 44.1KHz를 48KHz로 변환하는 샘플레이트 컨버터

Fig. 15. Sample rate converter converted from 44.1KHz to 48KHz.

표 1. Simulation 결과: (a)그림 14의 2배 upsampler 합성결과, (b)논문에서 사용된 3배 upsampler 합성결과

Table 1. Simulation result: (a)synopsys result of 2-times upsampler in Fig. 14, (b)synopsys result of 3-times upsampler example in this paper.

(a)

	기존	제안	이득
면적(cell)	40577	21228	48%
파워(mW)	87.3	49.9	43%
최대위상지연에러	7×10^{-7}	7.1×10^{-15}	99.9%
최대리플에러(dB)	3.75×10^{-6}	1.2×10^{-6}	68%

(b)

	기존	제안	이득
면적(cell)	60865	40777	33%
파워(mW)	131.4	88.5	32.6%
최대위상지연에러	4.06×10^{-6}	3.5×10^{-6}	13.7%
최대리플에러(dB)	1×10^{-6}	1×10^{-6}	0%

곱셈 방식을 이용하면 회로의 면적이 크기가 매우 크므로 그림 14와 같이 직렬 곱셈방식으로 구현한다. 그림 15에서 입력 $x(n)$ 이 44.1KHz로 입력되면 입력된 신호를 FIFO에 저장한다. 그 후에 ROM에 저장된 계수와 FIFO에 저장된 입력이 곱해지고 더해져서 192 번의 연산 후에 출력 1개가 생성된다. 그림 14의 MUX에서는 FIFO에 저장된 입력신호를 다시 로테이션 시켜 계수와 곱해질 수 있도록 한다. 따라서 그림 15의 입력은 44.1KHz이고 내부 클럭($44.1\text{KHz} \times \text{계수}$ 의 개수)으로 동작된다. 표 1은 그림 15의 구조를 이용하여 2배 upsampler 회로(16비트 곱셈기, 24비트 덧셈기)와 논문에서 예제로 사용한 3배 upsampler 회로를 설계한 후 하이닉스 0.18공정 라이브러리를 이용하여 합성한 결과이다. L 배 upsampler 회로에서 필터단 1개가 제거되므로 이론적으로 제안한 방법을 이용하면 3배 upsampler 회로는 면적과 파워에서 1/3, 2배 upsampler 회로는 1/2가 감

소 하여야한다. 표 1에서처럼 실제 합성 결과는 이론적으로 예상한 결과와 거의 같음을 알 수 있다.

V. 결 론

L 배 FIR upsampler를 설계할 때 $L \times$ 각 필터 차수 + 1개의 차수로 구성된 필터를 설계하여 필터단 1개의 위상 지연 1개를 정수로 고정시키고 위상 지연이 정수인 필터를 바이패스시킴으로서 필터단 1개를 제거할 수 있었다. 그 결과 하드웨어 면적과 파워가 감소하고 위상 지연 에러도 감소함을 알 수 있었다. 특히 2배 upsampler에 제안한 upsampler 설계방법을 이용하면 위상지연 에러가 기존의 필터보다 작고 하드웨어 면적도 48% 감소하므로 효율적인 설계가 가능하다.

참 고 문 헌

- [1] P. P. Vaidyanathan, "Multirate digital filters, filter banks, polyphase networks, and applications: A tutorial," Proc. IEEE, vol. 78, no. 1, pp. 56-93, Jan. 1990.
- [2] J. Kovačević and M. Vetterli, "Perfect reconstruction filter banks with rational sampling rates in one and two dimensions," in Proc. SPIE Conf. Visual Commun. Image Proc., Philadelphia, PA, Nov. Berlin: 1989, pp. 1258-1268.
- [3] J. Cassels, An Introduction to the Geometry of Numbers. M. Newman, Integral Matrices. E. Dubois, "The sampling and reconstruction of time-varying imagery with application in video systems," Proc. IEEE, vol. 73, no. 4, pp. 502-522, Apr. 1985.
- [4] P.P. Vaidyanathan, "MULTIRATE SYSTEMS AND FILTER BANKS." PRENTICE HALL P T R, Englewood Cliffs, New Jersey 07632, pp.100-113
- [5] B.L. Bamberg, R.H. McClellan, J.H. "Rules for multidimensional multirate structures Evans," Signal Processing, IEEE Transactions on Volume 42, pp. 762 - 771 Apr. 1994.
- [6] Gopinath, R.A.; Burrus, C.S. "On upsampling, downsampling, and rational sampling rate filter banks" Signal Processing, IEEE Transactions on Volume 42, pp. 812 - 824 April 1994.
- [7] Koji Ashihara, Kiyoshi Nishikawa, Hitoshi Kiya, "Multirate repeating methods to improve convergence speed for subband adaptive digital

filters” 대한전자공학회, *JTC-CSCC* 제2권, pp.
791 ~ 796, 1994.

저 자 소 개



김 용 은(학생회원)

2005년 전북대학교 전자정보
공학부 학사 졸업

2007년 전북대학교 정보통신
공학과 석사 졸업

2007년~현재 전북대학교
전자정보공학부 박사과정

<주관심분야 : 통신, 신호처리, 반도체>