

논문 2009-46SD-3-10

3G 통신 시스템 응용을 위한 0.31pJ/conv-step의 13비트 100MS/s 0.13um CMOS A/D 변환기

(A 0.31pJ/conv-step 13b 100MS/s 0.13um CMOS ADC for 3G
Communication Systems)

이 동 석*, 이 명 환**, 권 이 기*, 이 승 훈***

(Dong-Suk Lee, Myung-Hwan Lee, Yi-Gi Kwon, and Seung-Hoon Lee)

요 약

본 논문에서는 two-carrier W-CDMA 응용과 같이 고해상도, 저전력 및 소면적을 동시에 요구하는 3G 통신 시스템 응용을 위한 13비트 100MS/s 0.13um CMOS ADC를 제안한다. 제안하는 ADC는 4단 파이프라인 구조를 사용하여 고해상도와 높은 신호처리속도와 함께 전력 소모 및 면적을 최적화하였다. 입력 단 SHA 회로에는 면적 효율성을 가지면서 고속 고해상도로 동작하는 게이트-부트스트래핑 회로를 적용하여 1.0V의 낮은 전원 전압동작에서도 신호의 왜곡없이 Nyquist 대역 이상의 입력 신호를 샘플링할 수 있도록 하였다. 입력 단 SHA 및 MDAC에는 낮은 임피던스 기반의 캐스코드 주파수 보상 기법을 적용한 2단 증폭기 회로를 사용하여 Miller 주파수 보상 기법에 비해 더욱 적은 전력을 소모하면서도 요구되는 동작 속도 및 안정적인 출력 조건을 만족시키도록 하였으며, flash ADC에 사용된 래치의 경우 비교기의 입력 단으로 전달되는 킥-백 잡음을 줄이기 위해 입력 단과 출력 노드를 클록 버퍼로 분리한 래치 회로를 사용하였다. 한편, 제안하는 시제품 ADC에는 기존의 회로와는 달리 음의 온도 계수를 갖는 3개의 전류만을 사용하는 기준 전류 및 전압 발생기를 온-칩으로 집적하여 잡음을 최소화하면서 시스템 응용에 따라 선택적으로 다른 크기의 기준 전압 값을 외부에서 인가할 수 있도록 하였다. 제안하는 시제품 ADC는 0.13um 1P8M CMOS 공정으로 제작되었으며, 측정된 DNL 및 INL은 13비트 해상도에서 각각 최대 0.70LSB, 1.79LSB의 수준을 보이며, 동적 성능으로는 100MS/s의 동작 속도에서 각각 최대 64.5dB의 SNDR과 78.0dB의 SFDR을 보여준다. 시제품 ADC의 칩 면적은 1.22mm²이며, 1.2V 전원 전압과 100MS/s의 동작 속도에서 42.0mW의 전력을 소모하여 0.31pJ/conv-step의 FOM을 갖는다.

Abstract

This work proposes a 13b 100MS/s 0.13um CMOS ADC for 3G communication systems such as two-carrier W-CDMA applications simultaneously requiring high resolution, low power, and small size at high speed. The proposed ADC employs a four-step pipeline architecture to optimize power consumption and chip area at the target resolution and sampling rate. Area-efficient high-speed high-resolution gate-bootstrapping circuits are implemented at the sampling switches of the input SHA to maintain signal linearity over the Nyquist rate even at a 1.0V supply operation. The cascode compensation technique on a low-impedance path implemented in the two-stage amplifiers of the SHA and MDAC simultaneously achieves the required operation speed and phase margin with more reduced power consumption than the Miller compensation technique. Low-glitch dynamic latches in sub-ranging flash ADCs reduce kickback-noise referred to the differential input stage of the comparator by isolating the input stage from output nodes to improve system accuracy. The proposed low-noise current and voltage references based on triple negative T.C. circuits are employed on chip with optional off-chip reference voltages. The prototype ADC in a 0.13um 1P8M CMOS technology demonstrates the measured DNL and INL within 0.70LSB and 1.79LSB, respectively. The ADC shows a maximum SNDR of 64.5dB and a maximum SFDR of 78.0dB at 100MS/s, respectively. The ADC with an active die area of 1.22mm² consumes 42.0mW at 100MS/s and a 1.2V supply, corresponding to a FOM of 0.31pJ/conv-step.

Keywords: 고해상도, 저전력, 캐스코드 주파수 보상기법, CMOS, ADC

* 정희원, *** 평생회원, 서강대학교 전자공학과(Dept. of Electronic Engineering, Sogang University)

** 정희원, 하이닉스 반도체 메모리 사업부(Memory division, Hynix Semiconductor Inc.)

※ 본 연구는 지식경제부 시스템2010과제 및 IDEC에 의해 지원되었음.

접수일자: 2008년10월15일, 수정완료일: 2009년1월31일

I. 서 론

최근 system-on-a-chip (SoC) 기술의 비약적인 발전과 더불어 디지털 신호 처리 기술에 대한 연구가 활발하게 진행됨과 동시에 고화질 텔레비전 (high definition television : HDTV) 및 digital multimedia broadcasting (DMB) 등과 같은 디지털 멀티미디어 서비스에 대한 요구도 상응하여 증가하고 있다. 특히 멀티미디어 서비스에 대한 요구는 이동 통신 시장까지 확장되어 10kbps 수준의 낮은 속도를 갖는 음성 서비스 기반의 2G 통신 시스템을 넘어서, 2Mbps 이상의 전송 속도를 활용하여 영상 통화를 포함한 각종 데이터 통신을 가능하게 하는 3G 통신 시대의 문을 열게 되었다. 기존의 2G 통신보다 처리해야 하는 데이터가 증가함에 따라, 3G 이동 통신 시스템에서는 효율적인 데이터 처리를 위해 다중 반송파 (multi-carrier)를 사용하여 신호를 전달한다. 단일 반송파 (single-carrier)를 사용할 경우 transceiver의 RF 입력 단에서 원하는 하나의 주파수 대역을 필터링하여 A/D 변환기 (analog-to-digital converter : ADC)에 전달하는 반면, 다중 반송파는 다수의 주파수 대역에 대한 필터링을 효율적으로 수행하기 위해 A/D 변환 이후 생성된 신호를 디지털 필터로 전달하여 분리하므로, intermediate frequency (IF) 대역 신호의 처리가 가능한 고성능 ADC의 사용이 필수적이다. 높은 해상도 및 넓은 동적영역을 갖는 ADC를 사용할 경우, 믹서 회로 등의 다운 변환을 위해 추가되는 회로 없이 IF 대역 신호를 디지털 신호로 변환할 수 있고, 채널 필터링 후 주변 채널의 간섭으로부터 신호의 복원이 가능하다. 또한 ADC의 높은 샘플링 속도는 RF 입력 단에서의 주파수 선택도를 향상시켜 원하는 채널의 IF 대역 신호 처리를 가능하게 한다^[1]. 기존의 2G 통신 시장에서는 제조의 용이성을 위해 ADC의 성능에만 주목하였던 것에 반해, 현재 3G 통신 시장에서의 ADC는 성능뿐만 아니라 전력, 면적 및 통합 등 주변 시스템의 향상을 가져올 수 있는 요소까지 고려되고 있다. 특히 이중 반송파 (two-carrier)를 이용한 wideband-code division multiple access (W-CDMA) 응용에서는 12비트 이상의 해상도와 65MS/s 이상의 샘플링 속도는 물론, 작은 면적 및 적은 전력소모를 갖는 ADC가 필수적으로 요구된다.

최근에 학회 및 저널 논문 등을 통해 발표된 12비트 이상의 해상도와 100MS/s 수준의 샘플링 속도를 갖는

표 1. 최근 발표된 100MS/s 수준에서 동작하는 12-14 비트 CMOS ADC 성능 비교

Table 1. Performance comparison of recently reported 12-14b CMOS ADCs operating at 100MS/s level.

	Resolution (bits)	Speed (MS/s)	Power (mW)	Area (mm ²)	DNL/INL (LSB)	Process (um)
This Work	13	100	42	1.22	0.7/1.8	0.13
[1]	12	80	190	5.46	0.8/1.7	0.18
[2]	12	100	55	5.78	1.0/3.4	0.09
[3]	12	110	97	0.86	1.2/1.5	0.18
[4]	12	120	52	0.56	0.3/1.0	0.13
[5]	14	100	224	1.02	1.1/2.0	0.13
[6]	14	100	230	7.28	0.8/2.1	0.18
[7]	14	100	250	1.00	0.9/1.3	0.09

CMOS ADC들을 본 논문에서 제안하는 ADC와 함께 표 1에 나타내었다^[1-7]. 표 1에서 제시한 논문들의 경우와 같이 최근에는 12비트 이상의 고해상도와 100MS/s 수준의 고속 동작 신호처리 조건을 만족하면서 전력 소모 및 면적을 최적화하기 위해 파이프라인 구조가 많이 적용되고 있다.

특히, 낮은 전력 소모와 고속 동작을 동시에 만족하는 ADC를 구현하기 위해 time-interleaving 방식을 사용하거나^[4], 아날로그 회로의 추가 없이 고해상도의 성능을 얻기 위해 디지털 영역에서의 보정기법을 많이 사용하는 추세이다^[5,7]. 그러나 time-interleaving 방식의 경우 각 채널에 인가되는 클럭 신호의 타이밍 부정합에 의해 발생하는 채널 간의 일정하지 않은 신호 처리 간격과, 각 채널 간의 이득 및 오프셋 부정합 현상에 따라 추가적인 보정회로를 필요로 하게 된다. 한편, 디지털 영역에서의 보정기법을 사용할 경우 디지털 영역에서의 오차 신호 처리를 위한 가상 난수 발생 회로 등의 추가로 인해 회로의 동작이 복잡해지고 면적 및 전력 소모도 증가하므로 W-CDMA 응용을 위한 시스템 집적에 불리함을 알 수 있다. 본 논문에서 제안하는 ADC는 추가적인 보정기법을 사용하지 않고 적절한 회로 설계기법만으로 13비트의 해상도와 100MS/s의 동작 속도를 구현하였으며, 1.2V의 전원 전압에서 42.0mW의 전력을 소모하여 공정에 상관없이 기존에 발표된 ADC 중 가장 낮은 전력 소모를 가짐으로써 시스템 집적에 유리한 측면을 갖는다. 제안하는 ADC의 figure of merits (FOM)은 0.31pJ/conv-step으로 그림 1에 요약한 바와 같이 기존 ADC 중 최고 수준의 성능을 보여준다.

본 논문에서 제안하는 ADC는 13비트의 해상도에서

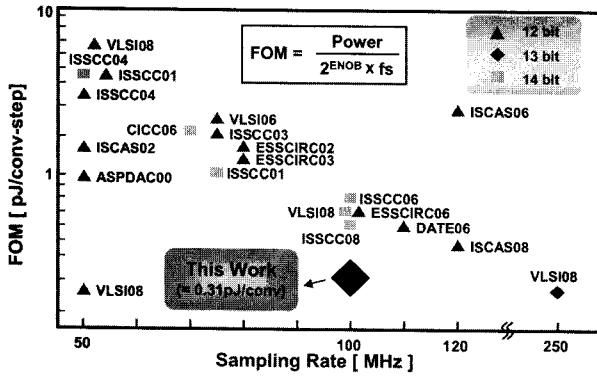


그림 1. 최근 발표된 50MS/s 이상의 동작속도를 갖는 12-14비트 ADC의 FOM
 Fig. 1. FOM of recently reported 12-14b ADCs with a sampling rate exceeding 50MS/s.

100MS/s의 동작 속도를 만족시키며 전력 소모 및 면적을 최적화하기 위해 4-4-4-4 구조의 4단 파이프라인 구조를 적용하였다. 또한, 입력 신호의 높은 선형성을 유지하기 위해서 면적 효율성을 갖는 고속 고해상도의 게이트-부트스트래핑 회로를 사용하였고, 전력 소모를 줄이기 위해 낮은 임피던스 기반의 캐스코드 주파수 보상 기법을 사용한 2단 증폭기를 적용하였으며, 고해상도의 구현을 위해 킥-백 잡음을 줄인 동적 래치 및 고성능 기준 전류 및 전압 발생기를 사용하였다. 제안하는 ADC의 전체 구조 및 각 블록별 기능을 II 장에서 간략히 설명하며, III 장에서 제안하는 여러 가지 회로 설계 기법을 요약한다. IV 장에서는 제안하는 ADC 시제품의 측정 결과를 정리한 후, V 장에서 결론을 맺는다.

II. 제안하는 ADC 전체 구조

본 논문에서 제안하는 13비트 100MS/s ADC는 각 단에서 각각 4비트를 결정하는 4단 파이프라인 구조를 가지며, ADC의 전체 구조는 그림 2와 같이, 입력 단 SHA, 3개의 4비트 MDAC, 4개의 4비트 flash ADC, 온-칩 기준 전류 및 전압 발생기, 분주기를 포함한 디지털 교정 회로 및 클럭 발생기 등으로 구성된다.

입력 단 sample-and-hold amplifier (SHA)의 샘플링 스위치에는 100MS/s에서 Nyquist 주파수 이상의 입력에서도 높은 선형성을 유지하여 under-sampling 응용에서도 13비트 이상의 유효 비트를 유지하도록 게이트-부트스트래핑 회로를 사용하였으며, 회로 구현을 위한 소자의 개수를 줄여 면적 효율성을 갖도록 하였다. 전체 ADC 중에서 전력 소모가 가장 많은 SHA 및

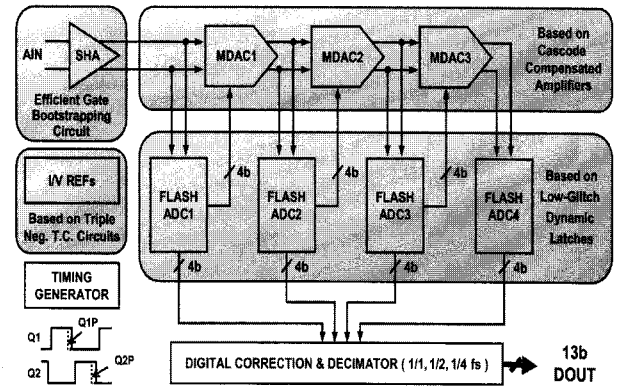


그림 2. 제안하는 13비트 100MS/s 0.13um CMOS ADC
 Fig. 2. Proposed 13b 100MS/s 0.13um CMOS ADC.

multiplying D/A 변환기 (MDAC)에는 일반적으로 사용되는 Miller 주파수 보상 기법이 아닌 낮은 임피던스 기반의 캐스코드 주파수 보상 기법을 적용한 2단 증폭기를 사용하여 소모되는 전력을 줄이면서 넓은 동작 주파수 영역 및 안정적인 신호 정착에 충분한 위상 여유를 얻도록 하였다. 한편, 비교기에 사용되는 동적 래치는 이전 단으로 전달되어 안정적인 신호 정착을 방해하는 킥-백 잡음 (kickback-noise) 발생을 억제하여 신호 처리의 정확도를 높였다. 또한 고해상도 및 높은 동작속도를 위해 기준 전류 및 전압 발생기를 온-칩으로 집적하여 핵심 아날로그 블록에 기준 전류 및 전압을 안정적으로 공급하되, 음의 온도 계수를 갖는 3개의 전류만을 이용하여 차지하는 면적을 최적화하였다. 각 블록을 구성하는 스위치-커패시터 회로의 동작을 위해 클럭 발생기는 외부에서 입력되는 하나의 클럭으로부터 두 개의 중첩되지 않는 클럭 Q1, Q2를 생성하며, SHA, MDAC 및 flash ADC 등 각 회로 블록들 사이에서 발생하는 오프셋 (offset) 및 클럭 피드스루 (clock feed-through) 등의 비선형 오차는 디지털 교정 회로에 입력되는 16비트 중에서 각각 1비트씩 중첩시켜 13비트의 출력을 얻는 디지털 교정 방식으로 교정된다. 온-칩 분주기는 ADC의 출력 신호를 2분주, 혹은 4분주로 다운 샘플링 하여 최종 출력 코드를 내보냄으로써 측정 시 고속 동작으로 인해 측정 기관에서 발생하는 잡음 등의 영향을 최소화하기 위해 사용되었다.

III. 제안하는 ADC의 주요 회로 설계

1. 면적 효율성을 갖는 게이트-부트스트래핑 회로 낮은 전원 전압 조건 및 높은 속도로 동작하는 회로

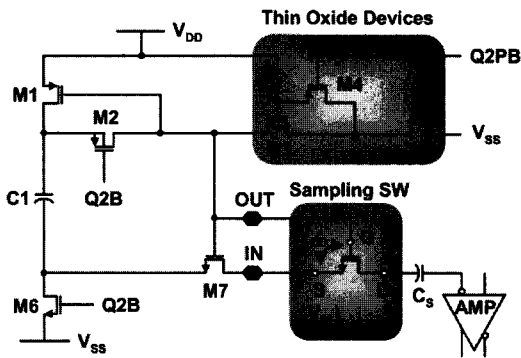


그림 3. 면적 효율성을 갖는 고속 고해상도 게이트-부트스트래핑 회로

Fig. 3. Area-efficient high-speed high-resolution gate-bootstrapping circuit.

에서 MOS 스위치에 의한 온-저항은 신호의 tracking 속도와 정착 시간을 제한하는 주요 요소 중 하나이며, 특히 외부 입력 신호를 직접 샘플링하는 SHA의 샘플링 커패시터의 경우 열잡음을 줄이기 위해 상당한 크기의 커패시터를 사용하므로, 요구되는 입력 주파수 대역을 고려하여 MOS 스위치의 온-저항 크기를 결정하여야 한다. 또한 연속적으로 변화하는 입력 신호를 샘플링할 때 MOS 게이트-소스 전압 (V_{GS}) 차의 변화에 의한 온-저항의 변화는 샘플링되는 신호의 왜곡을 발생시킬 수 있다. 제안하는 ADC에는 그림 3과 같이 입력 단 SHA의 샘플링 스위치에 게이트-부트스트래핑 회로를 사용하여 온-저항의 크기를 줄이고, 입력 신호의 변화에 독립적인 온-저항 값을 갖도록 하여, 1.0V의 낮은 전원 전압에서도 신호의 왜곡 없이 13비트 이상의 정확도로 신호를 샘플링 할 수 있도록 하였다.

기존의 부트스트래핑 회로에서는 전하 펌프 (charge pump) 기능을 수행하기 위해 세 개의 커패시터를 사용하거나^[8], 전하의 충전, 방전 시 순간적으로 전원 전압 이상의 전압 차가 인가되는 MOS 트랜지스터 소자의 안정성을 위해 thick-oxide 소자를 사용하였다^[10]. 그 반면, 제안하는 부트스트래핑 회로는 전하 펌프 기능을 위한 하나의 커패시터 및 최소한의 스위치로 구현하였으며, M3 스위치가 열릴 경우 게이트와 드레인 사이에 전원 전압 이상의 전압 차가 인가되지 않도록 회로를 구성하여 0.13um CMOS 공정에 사용되는 정격 트랜지스터 소자만으로 소자의 안정성을 유지할 수 있도록 하였다. 기존의 부트스트래핑 회로^[8-10]와 제안하는 회로의 동작 성능을 표 2에 같이 비교하였으며, 제안하는 부트스트래핑 회로의 경우 100MHz 수준의 동작 속도

표 2. 기존 및 제안하는 게이트 부트스트래핑 회로의 동작 성능 비교

Table 2. Comparison of conventional and proposed gate-bootstrapping circuits.

	THD	# of Devices
[8]	88dB	14
[9]	85dB	10
[10]	85dB	6 (Thick Oxide Devices)
Proposed	86dB	8

에서 거의 동일한 성능을 보이는 반면, 회로 구현을 위해 더욱 적은 숫자의 0.13um CMOS 공정의 정격 트랜지스터 소자만을 사용하였다.

2. 캐스코드 주파수 보상 기법을 사용하는 2단 증폭기

통상 아날로그 또는 혼성 모드 집적회로 시스템에서 가장 많은 전력을 소모하는 회로 중의 하나는 증폭기이며, 증폭기의 역할을 다른 기능 블록으로 대체함으로써 전체 회로에서 소모하는 전력을 줄이기 위한 노력이 현재 활발히 이루어지고 있다^[11-12]. 그러나 [11~12]에서 볼 수 있는 증폭기는 높은 해상도를 구현하기에는 적합하지 않은 구조이므로 고해상도 및 저전력 시스템 구현을 위해서는 적은 전력으로 동작하는 증폭기의 설계가 필수적이다. 특히 고속 동작 및 고해상도 ADC를 구현하기 위해서는 높은 동작 주파수 대역과 높은 DC 전압 이득을 동시에 갖는 증폭기가 필수적으로 요구되며, 동작 주파수 대역이 높아짐에 따라 증폭기에서 소모하는 전력도 크게 증가하게 된다. 기존에는 증폭기에서 소모하는 전력을 줄이기 위해 인접한 단에서 사용되는 증폭기를 공유하여 증폭기의 개수를 줄이는 방법^[13], 증폭기가 동작하지 않는 시간동안 증폭기에 공급되는 전류를 조정하여 전체 전력 소모를 줄이는 방법^[14] 등을 사용하였다. 하지만 [13]의 경우 증폭기를 리셋 (reset) 없이 사용함으로써 인해 발생하는 오프셋 및 스위칭 동작에서 증폭기로 유입되는 잡음으로 인해 성능 저하의 원인이 될 수 있으며, [14]의 경우 증폭기에 순간적으로 공급되는 전류에 의해 발생하는 출력 전압의 불안정성 등으로 인해 고속으로 동작하는 증폭기에 사용하기 어려운 단점이 있다.

제안하는 ADC의 입력 단 SHA 및 MDAC 회로에 사용되는 2단 증폭기에는 그림 4와 같이 기존의 Miller

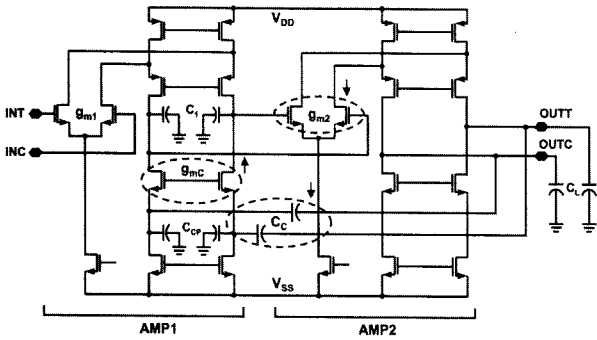


그림 4. 낮은 임피던스 기반의 캐스코드 주파수 보상 기법을 적용한 2단 증폭기

Fig. 4. Two-stage amplifier with low-impedance cascode compensation.

표 3. Miller 주파수 보상 기법과 캐스코드 주파수 보상 기법의 폴-제로 분석

Table 3. Pole-zero analysis of Miller and cascode compensation.

	Cascode Compensation	Miller Compensation
Pole 1	$\frac{1}{g_{m2}R_1R_LC_C}$	$\frac{1}{g_{m2}R_1R_LC_C}$
Pole 2	$\frac{g_{m2}}{C_C+C_L} \frac{C_C}{C_1}$	$\frac{g_{m2}}{C_1+C_L}$
Zero	$\frac{g_{mC}}{C_C+C_{CP}}$	$\frac{g_{m2}}{C_C}$

주파수 보상 기법 대신 주파수 보상 커패시터의 한 쪽 끝을 첫 번째 증폭기의 낮은 임피던스를 가진 캐스코드 노드에 연결하는 캐스코드 주파수 보상 기법을 사용하여 100MS/s 속도로 동작하기 위한 주파수 대역과 안정적인 신호 정착을 위한 위상 여유를 얻으면서 증폭기에서 소모하는 전력을 동시에 줄이도록 하였다^[15].

커패시터를 이용한 주파수 보상 기법을 사용하였을 때 얻어지는 pole 및 zero의 위치는 표 3과 같이 요약된다. 표 3에서 알 수 있듯이 Miller 주파수 보상 기법과 캐스코드 주파수 보상 기법을 사용하였을 때 얻을 수 있는 첫 번째 pole의 위치는 동일하나, 두 번째 pole의 경우 캐스코드 주파수 보상 기법을 사용하였을 때 더욱 높은 주파수 대역에 위치하게 된다.

일반적으로 2단 증폭기의 두 번째 증폭기에 공급되는 전류를 크게 함으로써 두 번째 pole을 높은 주파수 대역에 위치시켜 높은 위상 여유를 얻도록 하는데, 캐스코드 주파수 보상 기법을 사용할 경우, 동일한 전류를 사용하였을 때의 Miller 주파수 보상 기법보다 높은 위상 여유를 가짐으로써 안정적인 출력 신호 정착을 얻

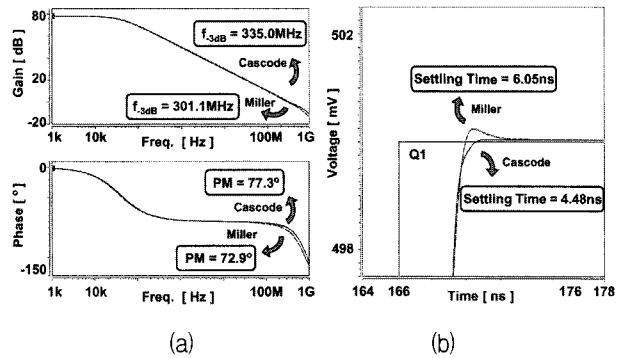


그림 5. Miller 주파수 보상 기법과 캐스코드 주파수 보상 기법의 성능 비교 : (a) 주파수 영역 모의실험 결과 및 (b) 시간 영역 모의실험 결과

Fig. 5. Performance comparison of Miller and cascode compensation : (a) frequency-domain simulation results and (b) time-domain simulation results.

을 수 있다. 캐스코드 주파수 보상 기법을 사용할 경우 s-평면의 좌 반면에서 발생하는 zero의 위치가 Miller 주파수 보상 기법을 사용하였을 시 얻어지는 zero의 위치보다 낮게 되지만 70° 수준의 위상 여유를 구현할 경우에는 그 영향은 거의 무시할 수 있다^[16]. 그림 5는 같은 크기의 첫 번째와 두 번째 트랜스컨덕턴스 (g_{m1} , g_{m2}) 및 주파수 보상 커패시터 (C_C)를 적용하여 Miller 주파수 보상 기법 및 캐스코드 주파수 보상 기법으로 구현한 2단 증폭기의 모의실험 결과를 보여준다. 그림 5(a)의 주파수 영역 모의실험 결과로부터 두 번째 pole이 사용된 기법에 따라 다른 곳에 위치하는 것을 알 수 있으며, 캐스코드 주파수 보상 기법을 적용하였을 시 더 높은 주파수 대역에 위치함을 알 수 있다. 이에 따라 더욱 높은 위상 여유를 가짐으로써 출력 신호가 안정적으로 정착하게 되며, 그림 5(b)의 시간 영역 모의실험 결과로부터 이를 확인할 수 있다.

3. 낮은 킥-백 잡음의 래치 기반 flash ADC 비교기
아날로그 입력 신호와 기준 전압의 비교 동작을 수행하여 아날로그 신호를 디지털 코드로 변환하는 직접적인 회로는 flash ADC의 비교기이며, 이는 단일 비트를 결정하는 가장 기본적인 단위의 ADC라 할 수 있다. 비교기를 구성하는 다수의 래치에서 발생한 킥-백 잡음은 비교기의 입력 단에 연결된 SHA 및 MDAC 출력 노드에 전달되어 신호 정착 시간을 지연시키는 한편, 디지털 코드 결정을 위한 기준 전압에도 영향을 주어 ADC의 정확도를 떨어뜨리는 요인이 된다^[17]. 그림 6은 기존의 래치 회로와 제안하는 래치 회로를 보여주며,

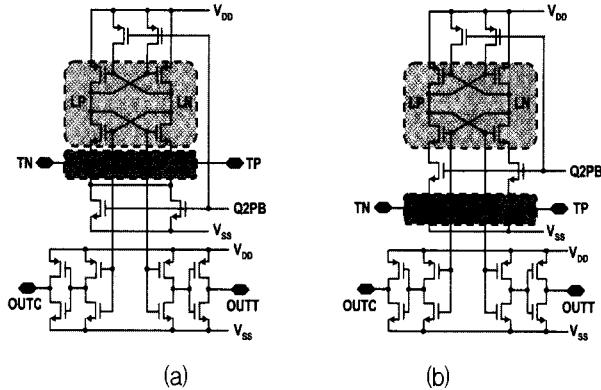


그림 6. 제안하는 킱-백 잡음을 줄인 동적 래치 : (a) 기존의 래치 회로 및 (b) 제안하는 래치 회로

Fig. 6. Proposed kickback-reduced dynamic latch : (a) conventional latch and (b) proposed latch.

기존의 래치 회로에서 입력 단과 출력 노드 (LP, LN)가 인접하게 배치된 것과는 달리 제안하는 래치 회로는 입력 단 위치를 변경하여 출력 노드와 분리시킴으로써 킱-백 잡음을 줄이도록 하였다.

일반적으로 래치는 동작을 준비하기 위한 pre-charge 위상과 래치 동작이 이루어지는 래치 위상의 전환 순간에 래치 출력 노드의 전압 변화가 가장 크게 발생하며, 이때 출력 노드에서 발생하는 전압의 변화는 MOS 트랜지스터의 기생 커패시턴스를 통해 중요한 아날로그 입력 단으로 즉각 전달된다. 래치의 입력 단으로 전달된 킱-백 잡음은 비교기의 프리앰프에 의해 그 영향이 감소하여 비교기의 입력 단으로 전달되지만, 다수의 래치에서 발생하는 킱-백 잡음의 영향은 flash ADC의 디지털 결정에 오차 범위 내에서의 오류를 발생시킬 수 있다. 이는 그 다음 파이프라인 단에서의 아날로그 신호의 폭을 불필요하게 증가시키므로 높은 정확도를 갖는 ADC의 구현을 위해서는 킱-백 잡음을 줄이는 것이 필수적이다. 제안하는 래치 회로는 출력 노드와 입력 단 간에 존재하는 기생 커패시턴스를 줄이기 위해 입력 단 MOS 트랜지스터의 드레인 노드에 버퍼 역할을 하는 풀-다운 스위치를 배치하여 입력 단을 출력 노드로부터 분리시켰다.

그림 7은 기존의 래치 회로와 제안하는 래치 회로에서 발생하는 킱-백 잡음에 대한 모의실험 결과를 보여 준다. 그림 7(a)의 기존의 래치 구조에서 발생하는 킱-백 잡음은 pre-charge 위상으로의 전환 순간에 최대 240mV의 크기를 갖는 반면, 그림 7(b)의 제안하는 래치 구조에서는 7.8mV의 결과를 보여주어, 제안하는 래

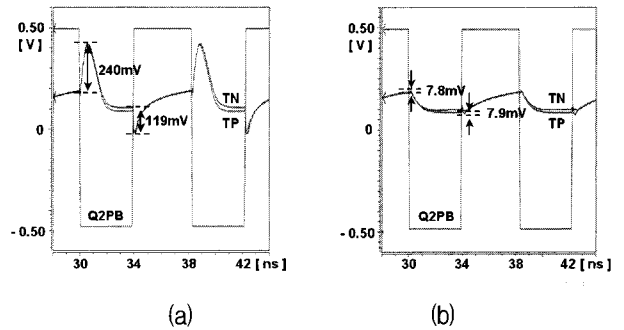


그림 7. 래치의 모의실험 결과: (a) 기존의 래치 회로 및 (b) 제안하는 래치 회로

Fig. 7. Simulated latch operation : (a) conventional latch and (b) proposed latch.

치 구조가 킱-백 잡음을 줄이는 데 훨씬 더 효과적인 것을 알 수 있다.

4. 음의 온도계수만을 사용하는 온-칩 CMOS 기준 회로

제안하는 ADC에는 그림 8과 같이 100MS/s의 동작 속도에서 안정적으로 동작하는 기준 전류 및 전압 발생기를 온-칩으로 집적하여 ADC가 다양한 시스템 집적 응용을 위해 독립적으로 동작할 수 있도록 설계하였다. 기존의 기준 전류 및 전압 발생기 회로는 온도의 변화에 독립적인 회로를 구현하기 위해 음의 온도 계수를 가진 전류와 양의 온도 계수를 가진 전류를 서로 상쇄시키는 방법^[18]과 음의 온도 계수를 갖는 전류간의 차를 이용하는 방법^[19] 등을 사용하였다. 반면, 본 논문에서는 작은 면적에 기준 전류회로를 집적하기 위해 낮은 음의 온도 계수를 갖는 전류와 높은 음의 온도 계수를 갖는 전류($I_{1,NEG}$, $I_{2,NEG}$)간의 차를 이용하여 양의 온도 계수를 갖는 전류 (I_{SUB})을 생성하고, 이를 또 다른 제3의 음의 온도 계수를 갖는 전류 ($I_{3,NEG}$)와 상쇄시킴으로써 온도의 변화에 독립적인 전류 (I_{SUM})를 생성하였다.

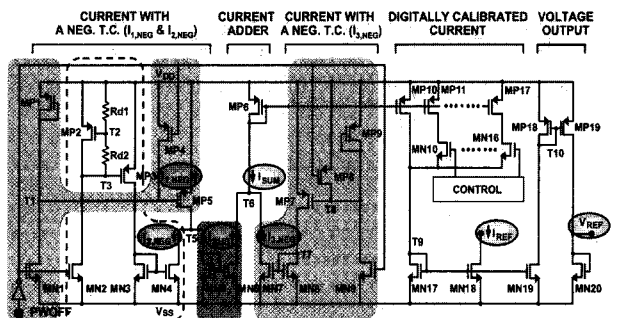


그림 8. 제안하는 온-칩 기준 전류 및 전압 발생기
Fig. 8. Proposed on-chip current and voltage references.

음의 온도 계수를 갖는 두 전류 ($I_{1,NEG}$, $I_{2,NEG}$)는 각각 식 (1), 식 (2)로 나타내어진다. 이때, 두 전류의 온도 변화율은 각각 식 (3)과 식 (4)로 나타내어지며, $I_{2,NEG}$ 은 $I_{1,NEG}$ 보다 큰 온도 변화율을 가진다.

$$I_{1,NEG} = \frac{\mu_p C_{ox} (V_{thp1} - V_{thp5})^2 W_{MP5}}{2L_{MP5}} \quad (1)$$

$$I_{2,NEG} = \frac{\mu_p C_{ox} V_{thp3}^2 W_{MP3}}{2L_{MP3}} \left(\frac{R_{d2}}{R_{d1}} \right)^2 \frac{W_{MN4} L_{MN3}}{L_{MN4} W_{MN3}} \quad (2)$$

$$\frac{\partial I_{1,NEG}}{\partial T} = I_{1,NEG} \left(\frac{1}{\mu_p} \frac{\partial \mu_p}{\partial T} + \frac{2}{V_{thp1}} \frac{\partial V_{thp1}}{\partial T} - \frac{2}{V_{thp5}} \frac{\partial V_{thp5}}{\partial T} \right) < 0 \quad (3)$$

$$\frac{\partial I_{2,NEG}}{\partial T} = I_{2,NEG} \left(\frac{1}{\mu_p} \frac{\partial \mu_p}{\partial T} + \frac{2}{V_{thp3}} \frac{\partial V_{thp3}}{\partial T} \right) \ll 0 \quad (4)$$

식 (5)와 같이 두 전류의 차로 형성되는 전류 (I_{SUB})는 두 전류의 온도 변화율 차에 의해 양의 온도 계수를 갖게 되며, 이는 식 (6)으로부터 확인할 수 있다. 이렇게 형성된 양의 온도 계수를 갖는 전류 (I_{SUB})를 식 (7)에 의해 형성된 음의 온도 계수를 갖는 전류 ($I_{3,NEG}$)와 적절히 보완하여 식 (9)와 같이 온도 변화에 독립적인 전류를 생성하게 된다. 이 기준 전류를 이용하여 온도와 전원 전압에 독립적인 기준 전압 (V_{REF})을 생성하게 되며, 각 회로 동작 블록에 공급하게 된다.

$$I_{SUB} = I_{1,NEG} - I_{2,NEG} = \frac{\mu_p C_{ox}}{2} \left(\frac{W_{MP5}}{L_{MP5}} (V_{thp1} - V_{thp5})^2 - \left(\frac{R_{d2}}{R_{d1}} \right)^2 \frac{W_{MP3} W_{MN4} L_{MN3}}{L_{MP3} L_{MN4} W_{MN3}} V_{thp3}^2 \right) \quad (5)$$

$$\frac{\partial I_{SUB}}{\partial T} = \frac{\partial I_{1,NEG}}{\partial T} - \frac{\partial I_{2,NEG}}{\partial T} > 0 \quad (6)$$

$$I_{3,NEG} = \frac{\mu_p C_{ox} (V_{thp9} - V_{thp7})^2 W_{MP7} W_{MN7} L_{MN8}}{2L_{MP7} L_{MN7} W_{MN8}} \quad (7)$$

$$\frac{\partial I_{3,NEG}}{\partial T} = I_{3,NEG} \left(\frac{1}{\mu_p} \frac{\partial \mu_p}{\partial T} + \frac{2}{V_{thp9}} \frac{\partial V_{thp9}}{\partial T} - \frac{2}{V_{thp7}} \frac{\partial V_{thp7}}{\partial T} \right) < 0 \quad (8)$$

$$I_{SUM} = I_{SUB} + I_{3,NEG} \quad (9)$$

표 4. 기존 및 제안하는 기준 전류 및 전압 발생기의 상대적인 성능 비교

Table 4. Normalized comparison of conventional and proposed references.

	Power	Area	T.C.	V.C.
[18]	1.00	1.00	1.00	1.00
[19]	0.95	0.55	1.72	1.83
Proposed	1.05	0.70	1.09	1.17

기존의 기준 전류 및 전압 발생기^[18-19]와 본 논문에서 제안하는 기준 회로를 전력 소모, 면적 및 온도와 전원 전압에 따른 변화율 (temperature coefficient : T.C., voltage coefficient : V.C.) 측면에서 상대적으로 비교하여 표 4에 정리하였다. 제안하는 기준 전류 및 전압 발생기 회로의 경우 기존 회로^[18-19]에서와 비슷한 수준의 전력 소모를 보이는 반면, 단위 면적당 갖는 T.C.와 V.C.의 특성은 가장 좋은 값을 갖는다.

한편, 그림 8의 기준 회로는 3비트의 디지털 제어 신호에 의해 $\pm 30\%$ 이내의 소자 변화에 의한 전류 및 전압 값의 변화를 보정할 수 있도록 구현하였고, 저전력 휴대용 시스템 응용을 위해 PWOFF 신호를 사용하여 비 동작 모드 시 ADC 전제가 $3\mu W$ 이하의 전력을 소모하도록 하였다.

IV. 시제품 ADC 제작 및 성능 측정

제안하는 13비트 100MS/s ADC는 0.13 μm 1P8M CMOS 공정으로 제작되었다. 제안하는 시제품 ADC의 칩 사진은 그림 9와 같고 유휴 공간에는 각 회로 블록 간의 간섭, EMI 문제 및 전원 전압의 잡음을 줄이기 위해 MOS decoupling 커패시터를 온-칩으로 집적하였다.

시제품 ADC의 입력 및 출력 패드를 제외한 칩 면적은 1.22mm²이며, 100MS/s의 샘플링 속도에서 동작할 때 1.0V 및 1.2V의 전원 전압 조건에서 각각 32.2mW, 42.0mW의 전력을 소모한다. 시제품 ADC의 측정된 differential non-linearity (DNL) 및 integral non-linearity (INL)는 전원 전압의 변화에 의한 영향이 거의 없으며, 그림 10에서와 같이 각각 최대 0.70LSB, 1.79LSB 수준을 보인다.

그림 11은 1.2V의 전원 전압, 4MHz 입력 주파수 및 100MS/s 샘플링 속도에서 측정된 신호 스펙트럼을 나

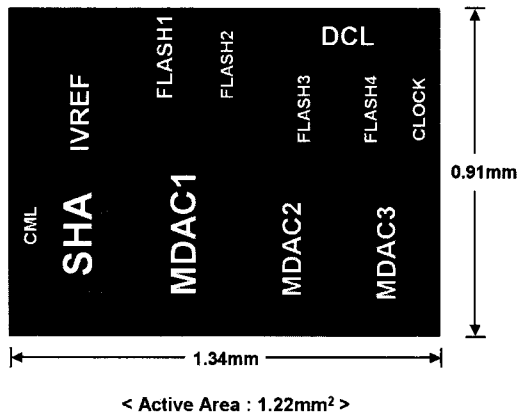


그림 9. 제안하는 13비트 100MS/s 0.13um CMOS ADC 시제품 칩 사진 (1.34mm × 0.91mm)

Fig. 9. Die photo of the proposed 13b 100MS/s 0.13um CMOS ADC (1.34mm × 0.91mm).

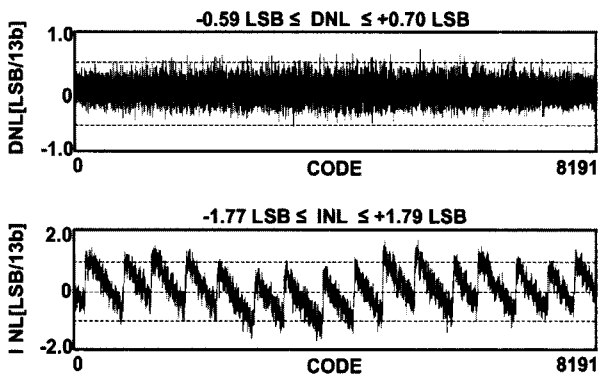


그림 10. 시제품 ADC의 측정된 DNL 및 INL
Fig. 10. Measured DNL and INL of the prototype ADC.

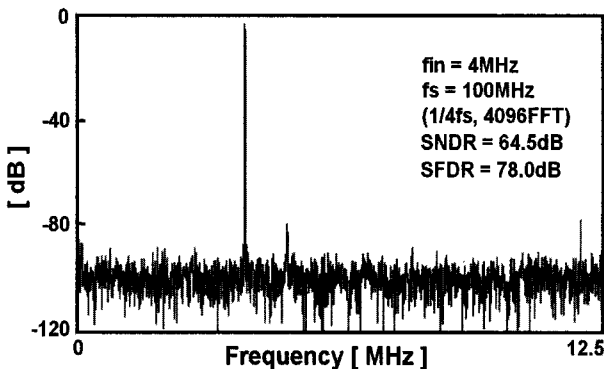
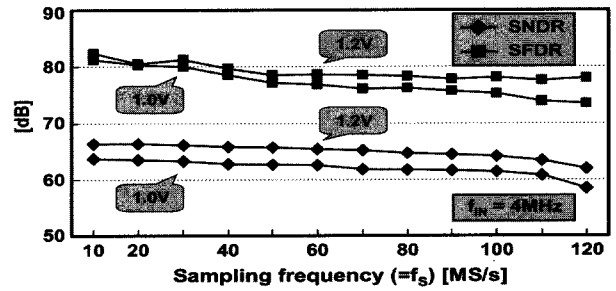
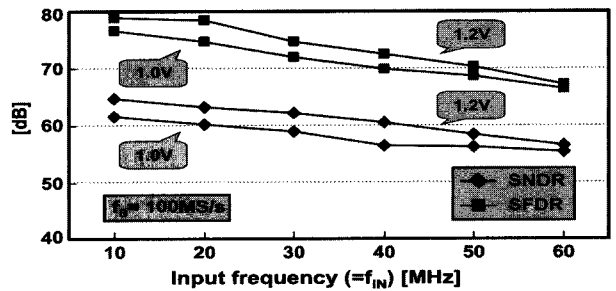


그림 11. 시제품 ADC의 측정된 FFT 스펙트럼 (1/4fs 다운 샘플)
Fig. 11. Measured FFT spectrum of the proposed ADC (1/4fs down sampled).

타낸다. 디지털 출력은 ADC 내부의 온-칩 분주기를 통해 100MHz의 클럭을 1/4 다운 샘플링하여 측정하였다. 그림 12는 제안하는 시제품 ADC의 측정된 동적 성능을 보여준다. 그림 12(a)는 ADC의 샘플링 속도를



(a)



(b)

그림 12. 시제품 ADC의 측정된 동적 성능 : (a) 샘플링 및 (b) 입력 주파수에 따른 SFDR 및 SNDR

Fig. 12. Dynamic performance of the prototype ADC : Measured SFDR and SNDR versus (a) fs and (b) fin.

표 5. 시제품 ADC 성능 요약

Table 5. Performance summary of the prototype ADC.

Resolution	13bits	
Max. Conversion	100MSample/s	
Process	Dongbu HiTek 0.13um CMOS	
Supply	1.0V	1.2V (Nominal)
Input Range	1.0V _{P-P}	1.2V _{P-P}
SNDR (at fin = 4MHz)	61.4dB	64.5dB
SFDR (at fin = 4MHz)	75.2dB	78.0dB
DNL	-0.59LSB / +0.70LSB	
INL	-1.77LSB / +1.79LSB	
ADC Core Power	32.2mW	42.0mW
FOM ($\frac{Power}{2^{ENOB} \times fs}$)	0.34pJ/conv-step	0.31pJ/conv-step
Active Die Area	1.22mm ² (= 1.34mm × 0.91mm)	

10MS/s에서 100MS/s까지 증가시킬 때, 4MHz의 차동 입력 주파수에서의 signal-to-noise-and-distortion ratio (SNDR) 및 spurious-free dynamic range (SFDR)를 나타낸 것이다. 샘플링 속도가 100MS/s까지

증가하는 동안 측정된 시제품 ADC의 SNDR와 SFDR은 1.2V의 전원 전압에서 각각 64dB, 78dB 이상 유지하며, 1.0V의 전원 전압의 경우 110MS/s의 샘플링 속도에서도 60dB 이상의 SNDR을 유지한다. 그림 12(b)는 100MS/s의 샘플링 속도에서, 입력 주파수를 증가시킬 때의 SNDR와 SFDR을 나타낸다. 입력 신호가 Nyquist 주파수까지 증가할 때, 1.2V의 전원 전압 조건에서 측정된 SNDR와 SFDR은 각각 58dB, 70dB 수준을 유지하였다. 이 결과는 측정 조건과 관련되어 있으며, 입력 주파수 (f_{in})와 측정 시 외부에서 인가한 클럭의 지터값 (t_a)을 이용하여 식 (10)과 같이 이론적으로 얻을 수 있는 SNR_{jitter} 를 계산할 수 있다. 식 (10)을 통해 측정에 사용된 클럭 발생기의 지터값 (4ps)에 따라 최대 얻을 수 있는 SNR_{jitter} 를 계산하면 Nyquist 입력 주파수 (50MHz)의 경우 약 58dB의 값을 얻는다. 이는 실제 측정된 SNDR와 거의 일치하며, 30MHz 이상의 입력 주파수에 대한 측정값은 클럭 발생기의 성능에 의해 제한되었음을 알 수 있다. 제안하는 시제품 ADC의 주요 성능 측정 결과는 표 5에 요약하였다.

$$SNR_{jitter} = 20 \log \left(\frac{1}{2\pi f_{in} t_a} \right) \quad (10)$$

V. 결 론

본 논문에서는 two-carrier W-CDMA 등 3G 통신 시스템에 온-칩으로 응용하기 위한 13비트 100MS/s 0.13um CMOS ADC를 제안하며, 추가적인 보정기법 없이 목표 사양을 구현하기 위해 다음과 같은 설계 기법들을 제안하였다.

제안하는 ADC는 요구되는 고해상도와 높은 신호 처리 속도를 얻으면서 동시에 전력 소모 및 면적을 최적화 할 수 있도록, 4-4-4 구조의 4단 파이프라인 구조로 설계하였다. 입력 단 SHA의 샘플링 스위치에 사용된 게이트-부트스트래핑 회로는 Nyquist 주파수 이상의 입력 신호에 대한 under-sampling 응용에서도 13비트 이상의 높은 선형성을 유지하기 위해 적용되었으며, 사용되는 소자 개수를 줄여 면적 효율성을 갖도록 하였다. 전력 소모가 많은 SHA와 MDAC 회로의 2단 증폭기에는 캐스코드 보상 기법을 적용하여, 요구되는 위상 여유를 얻기 위해 필요한 두 번째 증폭기의 트랜스컨덕턴스를 줄임으로써 소모하는 전력을 최소화하였다. 비

교기에 사용되는 동적 래치는 입력 단과 출력 노드를 분리시킴으로써 이전 단으로 전달되는 킥-백 잡음을 줄여 신호처리의 정확도를 높일 수 있도록 하였다. 또한 고해상도 ADC의 구현을 위해 필수적인 안정된 기준 전압을 생성하기 위해서 3개의 음의 온도 계수를 갖는 전류를 기반으로 구현된 기준 전류 및 전압 발생기들은 온-칩으로 집적하여 온도 및 전원 전압 변화에 대한 안정성을 유지함과 동시에 면적을 최적화하였으며, 선택적으로 외부에서 인가되는 기준 전압을 사용할 수 있도록 하였다.

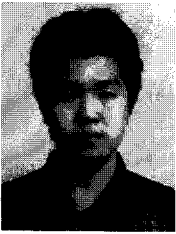
제안하는 설계 기법을 적용하여 구현한 시제품 ADC의 칩 면적은 1.22mm²를 차지하며, 측정된 DNL 및 INL은 각각 최대 0.70LSB, 1.79LSB 수준을 나타낸다. 또한, 100MS/s의 샘플링 속도에서 4MHz 입력 신호를 사용한 결과 측정된 SNDR 및 SFDR은 각각 최대 64.5dB, 78.0dB를 보여주며, 소모 전력은 1.2V 전원 전압에서 42.0mW이다.

참 고 문 헌

- [1] A. Loloee, A. Zanchi, H. Jin, S. Shehata, and E. Bartolome, "A 12b 80MSps Pipelined ADC Core with 190mW Consumption from 3V in 0.18um Digital CMOS," in *Proc. European Solid-State Circuits Conference*, Sept. 2002, pp. 467-470.
- [2] T. Ito, D. Kurose, T. Yamai, and T. Itakura, "55-mW 1.2-V 12-bit 100-MSPS Pipeline ADCs for Wireless Receivers," in *Proc. European Solid-State Circuits Conference*, Sept. 2006, pp. 540-543.
- [3] T. N. Andersen et al., "A 97mW 110MS/s 12b Pipeline ADC Implemented in 0.18um Digital CMOS," in *Proc. Design, Automation and Test in Europe*, 2005, Vol. 3, pp. 219-222.
- [4] H. C. Choi, Y. J. Kim, S. W. Lee, J. Y. Han, O. B. Kwon, Y. L. Kim, and S. H. Lee, "A 52mW 0.56mm² 1.2V 12b 120MS/s SHA-Free Dual-Channel Nyquist ADC based on Mid-Code Calibration," in *Proc. ISCAS*, May 2008, pp. 9-12.
- [5] P. Bogner, F. Kuttner, C. Kropf, T. Hartig, M. Burian, and E. Hermann, "A 14b 100MS/s digitally self-calibrated pipelined ADC in 0.13um CMOS," in *ISSCC Dig. Tech Papers*, Feb. 2006, pp. 832-841.
- [6] B. G. Lee, B. M. Min, G. Manganaro, and J. W. Valvano, "A 14b 100MS/s Pipelined ADC with a Merged Active S/H and First MDAC," in

- ISSCC Dig. Tech Papers*, Feb. 2008, pp. 248-249.
- [7] H. Vel, B. Buter, H. Ploeg, M. Vertregt, G. Geelen, and E. Paulus, "A 1.2V 250mW 14b 100MS/s Digitally Calibrated Pipeline ADC in 90nm CMOS," in *Symp. VLSI Circuits Dig. Tech Papers*, June 2008, pp. 74-75.
- [8] A. M. Abo and P. R. Gray, "A 1.5V, 10bit, 14.3MS/s CMOS Pipeline Analog-to-Digital Converter," *IEEE J. Solid-State Circuits*, vol. 34, no. 5, pp. 599-606, May 1999.
- [9] M. Dessouky and A. Kaiser, "Input switch configuration suitable for rail-to-rail operation of switched opamp circuits," *IEE Electrical Letters*, vol. 35, no. 1, pp. 8-10, Jan. 1999.
- [10] E. Siragusa and I. Galton, "A Digitally Enhanced 1.8-V 15-bit 40-MSample/s CMOS Pipelined ADC," *IEEE J. Solid-State Circuits*, vol. 39, no. 12, pp. 2126-2138, Dec. 2004.
- [11] J. K. Fiorenza, T. Sepke, P. Holloway, C. G. Sodini, and H. S. Lee, "Comparator-Based Switched-Capacitor Circuits for Scaled CMOS Technologies," *IEEE J. Solid-State Circuits*, vol. 41, no. 12, pp. 2658-2668, Dec. 2006.
- [12] L. Brooks and H. S. Lee, "A Zero-Crossing-Based 8-bit 200MS/s Pipelined ADC," *IEEE J. Solid-State Circuits*, vol. 42, no. 12, pp. 2677-2687, Dec. 2007.
- [13] S. T. Ryu, B. S. Song, and K. Bacrania, "A 10-bit 50-MS/s pipelined ADC with opamp current reuse," *IEEE J. Solid-State Circuits*, vol. 42, no. 3, pp. 475-495, Mar. 2007.
- [14] B. L. Jeon and S. H. Lee, "A 10b 50MHz 320mW CMOS A/D Converter for Video Applications," *IEEE Transactions on Consumer Electronics*, vol. 45, no. 1, pp. 252-258, Feb. 1999.
- [15] P. J. Hurst, S. H. Lewis, J. P. Keane, F. Aram, and K. C. Dyer, "Miller Compensation Using Current Buffers in Fully Differential CMOS Two-Stage Operational Amplifiers," *IEEE Transactions on Circuit and Systems I*, vol. 51, no. 2, pp. 275-285, Feb. 2004.
- [16] G. Palmisano and G. Palumbo, "A Compensation Strategy for Two-Stage CMOS Opamps Based on Current Buffer," *IEEE Transactions on Circuit and Systems I*, vol. 44, no. 3, pp. 257-262, Mar. 1997.
- [17] T. Sundstrom and A. Alvandpour, "A Kick-Back Reduced Comparator for a 4-6 Bit 3-GS/s Flash ADC in a 90nm CMOS Process," in *Proc. Mixed Design of Integrated Circuits and System*, June 2007, pp. 195-198.
- [18] Y. J. Cho and S. H. Lee, "An 11b 70-MHz 1.2-mm² 49-mW 0.18-um CMOS ADC with on-chip current/voltage references," *IEEE Transactions on Circuit and Systems I*, vol. 52, no. 10, pp. 1989-1995, Oct. 2005.
- [19] 이명환, 김용우, 이승훈, "유비쿼터스 환경에서의 센서 인터페이스를 위한 12비트 1kS/s 65uA 0.35um CMOS 알고리즘 A/D 변환기," 대한전자공학회 논문지, 제45권, SD편, 제3호, pp. 69-76, 2008년 3월.

저 자 소 개



이 동 석(정회원)
 2008년 서강대학교 전자공학과
 학사.
 2008년~현재 서강대학교
 전자공학과 석사과정.
 <주관심분야 : 고속 데이터 변환
 기(A/D, D/A) 설계, 집적회로 설
 계, 혼성모드 회로 설계 등임.>



이 명 환(정회원)
 2007년 아주대학교 전자공학과
 학사 .
 2009년 서강대학교 전자공학과
 석사.
 2009년~현재 하이닉스 반도체
 메모리 사업부.
 <주관심분야 : 고속 데이터 변환기(A/D, D/A) 설
 계, 집적회로 설계, 혼성모드 회로 설계 등임.>



권 이 기(정회원)
 2009년 서강대학교 전자공학과
 학사.
 2009년~현재 서강대학교
 전자공학과 석사과정.
 <주관심분야 : 고속 데이터 변환
 기(A/D, D/A) 설계, 집적회로 설
 계, 혼성모드 회로 설계 등임.>



이 승 훈(평생회원)
 1984년 서울대학교 전자공학과
 학사.
 1986년 서울대학교 전자공학과
 석사.
 1991년 미 Illinois 대 (Urbana-
 Champaign) 공학박사.
 1986년 KIST 위촉 연구원.
 1987년~1990년 미 Coordinated Science Lab
 (Urbana) 연구원.
 1990년~1993년 미 Analog Devices 사 senior
 design engineer.
 1993년~현재 서강대학교 전자공학과 교수.
 <주관심분야 : 집적회로 설계, 데이터 변환기
 (A/D, D/A) 설계 등임.>