

논문 2009-46SD-3-1

Fowler-Nordheim 스트레스에 의한 MOS 문턱전압 이동현상을 응용한 비교기 오프셋 제거방법

(New Method for Elimination of Comparator Offset Using the
Fowler-Nordheim Stresses)

정 인 영*

(In-Young Chung)

요 약

본 논문에서는 MOS 트랜지스터가 FN 스트레스에 의해 문턱전압이 이동하는 현상을 이용하여 비교기 회로의 오프셋을 제거하는 방법을 소개하고, 이를 비교기 회로의 성능개선에 적용해 보인 결과를 보인다. 오프셋이 성능을 저하시키는 대표적인 회로인 DRAM의 비트라인 감지증폭기에 적용하여 오프셋을 제거하는 방법을 설명하고, 테스트 회로를 제작 및 측정하는 실험을 통해서 이를 검증한다. 본 방식은 래치구조가 포함된 모든 형태의 비교기에 적용가능하며, 스트레스-패킷이라고 명명한 형태의 스트레스 바이어스 시퀀스를 통해 다양한 초기 오프셋값을 가지는 많은 숫자의 비교기가 동시에 거의 제로 오프셋으로 수렴할 수 있음을 보인다. 또한 이 방법을 비교기 회로에 적용하는데 있어서 고려해야 할 몇 가지 신뢰도 조건에 대해서도 고찰한다.

Abstract

In this paper proposed a new method which adaptively eliminates comparator offsets using the threshold voltage shift by the Fowler-Nordheim stress. The method evaluates the sign of comparator offset and gives the FN stress to the stronger MOSFETs of the comparator, leading to offset reduction. We have used an appropriate stressing operation, named 'stress-packet', in order to converge the offset value to zero. We applied the method to the latch-type comparator which is prevalently used for DRAM bitline sense amplifier, and verified through experiments that offsets of the latch-type comparators are nearly eliminated with the stress-packet operations. We also discuss about the reliability issues that must be guaranteed for field application of this method.

Keywords: 오프셋, 비교기, 문턱전압 이동, Fowler-Nordheim 스트레스, 감지증폭기

I. 서 론

비교기는 ADC와 메모리를 포함하여 다양한 집적회로에서 널리 사용되는 기본회로 블록이다. 비교기의 오프

셋은 ADC의 해상도 등, 집적회로 성능에 큰 영향을 끼치는 비교기의 가장 중요한 특성으로 제조공정 및 설계상의 미스매치(mismatch)에 의해서 발생한다. DRAM에서는 비트라인(bit-line)의 미세한 전압차이를 감지하여 증폭하는 비트라인 감지증폭기(bit-line sense amplifier, BLSA)에 가장 간단한 형태의 비교기인 래치(latch)형 비교기를 사용한다. 비교기에서 오프셋은 고정 잡음원(fixed noise source)과 같은 영향을 끼치며, BLSA에서 읽기 오류(reading error)를 발생시킬 수 있다.^[1] DRAM 셀은 시간의 경과에 따라 저장된 전하량이 줄어들기 때문에 오프셋에 의하여 증가된 잡음레벨은 DRAM의 데이터 보존시간을 현저히 감소시키며, 이는

* 정희원, 광운대학교 전자통신공학과
(Department of Electronics and Communications,
Kwangwoon University)

※ 본 논문은 지식경제부가 지원하는 국가 반도체 연구개발사업인 “시스템 집적반도체기반기술개발사업(시스템 IC 2010)”과 2008년도 광운대학교 교내 학술연구비 지원을 통해 개발된 결과임을 밝힙니다. 설계들은 반도체설계교육센터(IDEC)의 지원을 받았습니다.

접수일자: 2008년10월17일, 수정완료일: 2009년2월26일

선폭이 미세화되고, 동작전압이 낮아질수록 더욱 심각한 문제가 된다.^[1-2] 셀의 데이터 보존시간이 줄어들면 DRAM의 대기전력소모가 많아지고, 시스템 성능을 떨어뜨리는 등 DRAM의 성능을 크게 열화시킬 수 있다.

DRAM의 BLSA를 대상으로 한 경우를 포함하여, 비교기의 옵셋을 제거하거나 그 영향을 최소화하는 다양한 방법이 개발되어왔다.^[1-4] 이 방법들은 증폭기의 네거티브 피드백을 이용하여 옵셋의 정보를 커패시터에 저장하거나,^[1-3] 혹은 핫캐리어 터널링에 의해 전하를 플로팅 게이트에 저장하는 방법을 이용하였다.^[4] 그러나, 네거티브 피드백을 사용하는 경우, 비교기의 면적이 크게 늘어나며, 옵셋 보정을 위한 추가적인 시간이 요구되어 DRAM의 tRCD 같은 타이밍 파라미터를 희생하게 된다. BLSA의 면적과 tRCD 타이밍은 모두 DRAM에 있어서는 매우 중요한 특성으로 데이터 보존시간의 개선을 위해서 희생할 수 없는 항목들이다. 플로팅 게이트를 이용한 옵셋 제거방법은 BLSA와 같은 래치 형 비교기에 적용할 수 없으며, DRAM이나 표준 CMOS 공정에서 플로팅 게이트를 도입하는데 추가적인 공정비용이 소요되는 문제점이 있다.

본 논문에서는 크로스-커플(cross-coupled) 트랜지스터 쌍을 써서 포지티브 피드백 현상을 이용하는 모든 비교기에 적용 가능한 새로운 비교기 옵셋 제거방법을 제안한다. 비교기 회로에 이 옵셋 제거방법을 적용하더라도 레이아웃 면적이 추가로 소요되지는 않으며, 각종 타이밍 파라미터에도 영향을 주지 않는다. 본 논문에서는 트랜지스터 소자 수준에서 특성을 측정하고 본 방식을 적용한 래치 형 비교기를 테스트한 결과를 바탕으로 이 방법의 가능성을 확인한다. 본 논문에서 측정된 테스트 소자와 회로는 모두 0.35 μ m 표준 CMOS 공정으로 제작되었으며, 7.3nm의 산화막 두께를 가지고 있다.

II장에서는 본 논문에서 다루는 옵셋 제거방법의 기본 메커니즘인 Fowler-Nordheim 스트레스 현상에 대한 측정결과를 통해 소자의 물성적 특성을 살펴본다. 이어진 III장에서 비교기 동작을 활용한 본 옵셋 제거방법을 설명하고, 이를 위한 적절한 스트레스 바이어스 조건을 고안한다. 또한 옵셋 제거 후의 변화에 관해서 시뮬레이션 등을 통해 예상한다. IV장에서는 테스트 소자 및 회로에 대해서 본 옵셋 제거방법을 인가하여 실험한 결과를 보이며, 이후 이를 바탕으로 몇 가지 신뢰성에 관한 논점에 대하여 토의하며 결론을 맺는다.

II. Fowler-Nordheim 스트레스

MOS 산화막에 걸리는 수직방향의 전계가 8MV/cm을 넘어서게 되면서 FN (Fowler-Nordheim) 터널링에 의해 게이트 전류가 급속히 증가한다는 것은 잘 알려져 있다. FN 터널링에 의해 이동하는 채널전자 중 일부는 산화막 내에 존재하는 트랩에 포획된다. 또 높은 에너지를 갖는 터널링 캐리어에 의하여 Si/SiO₂ 계면에 새로운 트랩이 발생하기도 한다. 이 두 가지 원인에 의하여 FN 스트레스가 가해지는 MOS의 문턱전압이 이동한다.^[5-6] 트랩에 포획된 캐리어의 전기적 극성(polarity)에 따라 문턱전압이 상승하거나 혹은 하강하게 된다. NMOS의 경우에는 산화막 트랩에 포획된 캐리어의 절대다수는 전자(electron)인 것이 명확하며, 이

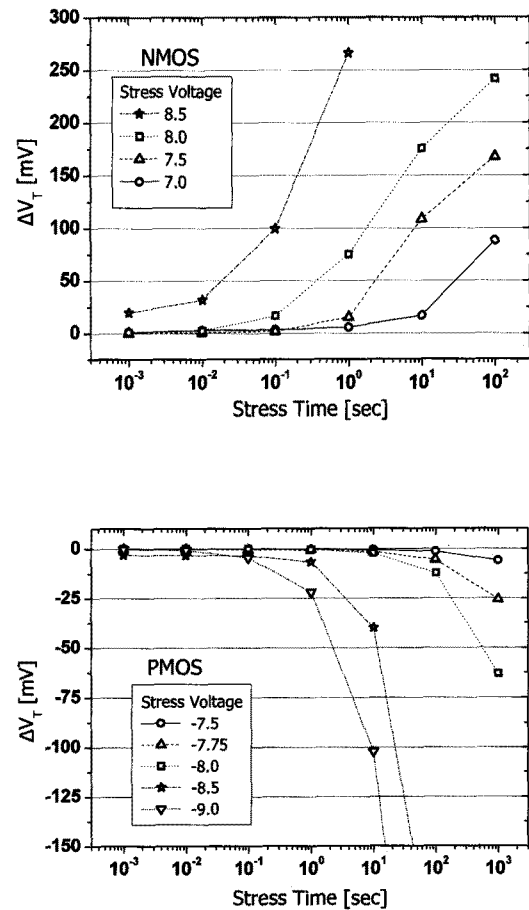


그림 1. FN 스트레스 전압 및 스트레스 시간에 따른 NMOS 및 PMOS의 문턱전압의 이동량

Fig. 1. NMOS & PMOS threshold voltage shifts according to FN stress voltage and stress time.

는 NMOS 문턱전압을 상승시키는 결과를 초래한다. PMOS 경우에도 FN 스트레스에 의해 문턱전압의 절대치가 상승하며, 산화막에 포지티브 전하가 발생하는 것이 그 주요한 원인으로 여겨진다. 또한 FN 터널링 핫캐리어에 의해 Si/SiO₂ 계면에 생겨나는 트랩은 VFB를 이동시키고 subthreshold swing을 악화시켜 문턱전압의 절대치를 상승시킨다. 더욱이 계면트랩은 산화막 트랩보다 전하 위치가 게이트 단자로부터 더 먼 곳에 있으므로 단위 전하가 문턱전압에 끼치는 영향은 더 크다.

동일한 절대값의 게이트-소스 전압에 대해서 NMOS 문턱전압이 이동이 PMOS의 경우보다 훨씬 크며, 측정으로도 뚜렷이 관찰된다. 그림 1은 스트레스 전압과 시간에 따른 NMOS와 PMOS 문턱전압의 이동을 보여주는 그래프이다. 이 그래프에서 동일한 정도의 문턱전압 이동을 얻기 위해서는 NMOS에 비해 PMOS에 대략 1V 이상 더 높은 전압을 가해주어야 함을 볼 수 있다. 일단 생성된 계면 트랩은 높은 온도에서 어닐링하지 않는 한, 거의 사라지지 않는다. 그러나 산화막에 트랩된 전하의 경우 산화막 트랩의 위치와 에너지 레벨에 따라 트랩에서 빠져 나오기도 한다(detrap). FN 스트레스를 받은 MOS 소자에서 디트랩에 의한 스트레스의 이완(relaxation) 현상을 시간을 두고 측정하였다. 전하가 산화막에서 디트랩되면서 문턱전압은 스트레스 받기 전의 원래 값 쪽으로 약간 이동하는 것이 관찰된다. 디트랩 현상의 매커니즘은 트랩으로부터 Si 영역으로의 터널링이므로 트랩의 에너지 레벨이 깊어지고, 위치가 채널로부터 멀어질수록 디트랩에 소요되는 평균적인 시간(시상수)은 지수함수적으로 증가한다. 이는 디트랩 현상이

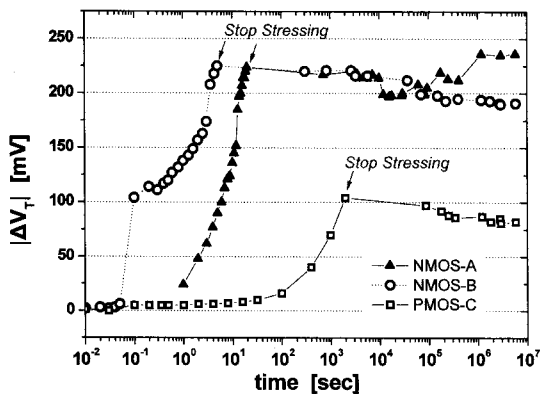


그림 2. FN 스트레스와 이후 실온-어닐링 시간의 경과에 따른 MOS의 문턱전압 이동 궤적
Fig. 2. Traces of MOS VT's as FN stressing and room-temperature annealing proceeds.

스트레스 후 초기시간에 주로 발생하며, 시간이 지남에 따라 급속히 그 빈도가 줄어들을 의미한다.

그림 2는 FN 스트레스와 그 후 실온 어닐링(room-temperature annealing)에 의해 MOS 소자의 문턱전압이 이동해가는 것을 시간에 따라 보인 것이다. NMOS-B와 PMOS-C의 결과와 같이 스트레스를 끝낸 후, 문턱전압이 원래 값 쪽으로 소폭 감소하는 것이 다수의 소자에서 발견되는 전형적인 측정 결과이다. 그러나 일부 소자에서는 NMOS-A와 같이 문턱전압이 오히려 약간 증가하는 경우도 발견된다. 측정 결과를 종합하면, 0.35 μ m MOS 소자는 FN 스트레스 후 실온 어닐링 환경에서 3개월간 문턱전압이 원래 값 방향으로 -5%~20% 이동한다는 결론을 내릴 수 있다.

FN 스트레스에 의한 문턱전압 이동범위의 한계가 얼마인지에 대한 체계적인 연구결과는 발견되지 않는다. 그러나 현실적으로는 산화막이 파괴되는 시점(T_{BD}) 전까지는 문턱전압은 FN 스트레스에 의해 계속 이동하는 것으로 보고되고 있으며, 본 연구에서의 측정결과 또한 그러하다. 본 연구에서 측정한 0.35 μ m NMOS 트랜지스터의 경우, DC 스트레스 조건에서 T_{BD}까지 최소 300mV 이상 최대 600mV까지 이동하는 것으로 나타났다. 그러나 이 결과는 스트레스 조건에 따라서 크게 증대될 수 있으며, FN 스트레스의 극성을 반대로 하여 NMOS 게이트에 -5V를 가할 경우 문턱전압은 1V 이상 이동하는 모습도 쉽게 관찰된다.

III. 오프셋 제거방법

그림 3은 본 논문에서 오프셋 제거방법을 적용하고자 하는, DRAM BLSA에서 보편적으로 사용되는 래치 형 비교기의 회로도이다. 비교기의 두 입력단자에 동일한

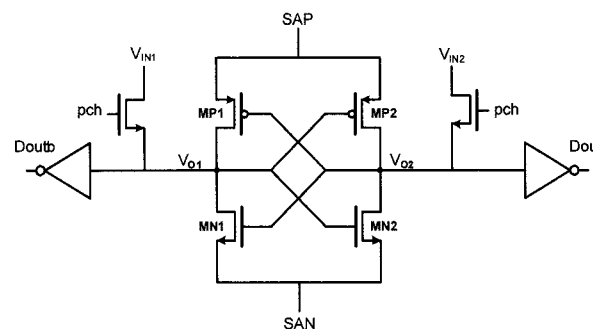


그림 3. 오프셋 제거방법이 적용될 BLSA 테스트 회로도
Fig. 3. The BLSA circuit for test of the proposed offset cancellation method.

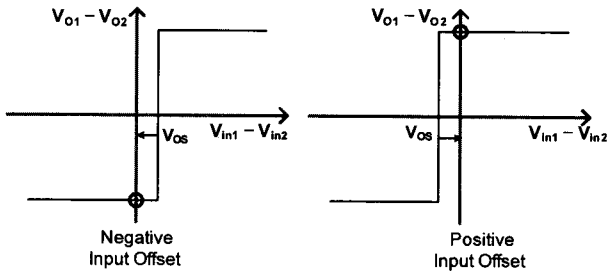


그림 4. 오프셋에 따른 비교기 전달곡선 및 제로입력 시 출력값

Fig. 4. Comparator transfer curves and the outputs at the zero input according to the offset

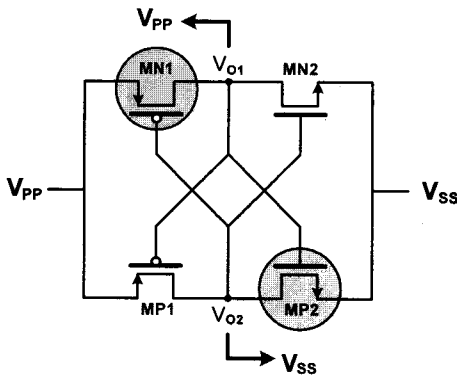


그림 5. 양의 오프셋값을 가지는 비교기에서 FN 스트레스가 가해지는 트랜지스터

Fig. 5. The MOS transistors under the stress conditions when the comparator offset is positive.

전압을 인가한 후, 비교기를 인에이블 시키면 비교기 오프셋 부호에 따라 그 출력값이 달라진다. 따라서 BLSA에서 비트라인 프리차지 후 워드라인의 부스팅(boosting) 없이 바로 BLSA를 인에이블 시키면, BLSA의 오프셋이 디지털 레벨로 증폭되어 BLSA의 출력단자에 나타나게 된다. 예를 들어, 포지티브 오프셋의 경우 이동작을 통해 V_{O1} 에 레벨-1 전압(V_{DD})이 출력되며, 이는 그림 4의 전달곡선을 보면 쉽게 확인된다. BLSA 인에이블 후, 두 출력 노드는 각각 인에이블 신호인 SAP, SAN에 연결된 상태이므로, SAP와 SAN의 전압차를 증대시키면 출력 1 쪽의 PMOS와 출력 0 쪽의 NMOS가 FN 스트레스 바이어스 조건에 들게 된다. 오프셋을 가진 래치 비교기에서 풀업(pull-up)이 상대적으로 강한 쪽의 PMOS와 풀다운(pull-down)이 상대적으로 강한 쪽의 NMOS가 FN 스트레스 조건에 들어가는 것을 그림 5를 통해 파악할 수 있을 것이다.

비교기에 있어서 각종 기생 캐패시턴스 및 저항들의 불일치 역시 오프셋을 발생시키는 요인이거나, 이러한 모든 불일치 요인들은 등가적으로 문턱전압 상의 불일치로

환산될 수 있다.^[7-8] 각각 풀업과 풀다운이 강한 부분의 PMOS와 NMOS에 가해지는 FN 스트레스는 그 트랜지스터들의 문턱전압을 상승시켜 비교기의 오프셋을 줄이는 방향으로 작용할 것이다. 그림 5에서 MP1과 MP2가 FN 스트레스를 받는 동안 MP2와 MN1은 오프(off) 상태에서 큰 드레인-소스전압(V_{DS}) 값을 가지고 있다. 그러나, 이 바이어스 조건은 드레인 계면영역에 트랩을 발생시킴으로써 오프 상태의 GIDL 누설전류를 약간 증가시키는 것 외에는 트랜지스터 소자의 특성에 뚜렷한 변화를 일으키는 조건은 아니다. 더욱이 실제 DRAM의 동작에 있어서는 BLSA가 대부분의 시간 동안 high-Z 래치 인에이블 신호에 의해 전력이 끊겨 있는 상태임을 감안한다면 오프 상태에서의 약간의 누설전류는 실제 회로 동작에 있어서는 문제가 되지 않는다.

이와 같이 오프셋평가에 의해 선택된 트랜지스터들에 FN 스트레스를 가하는 시간이 경과함에 따라 비교기의 오프셋은 점차 0으로 접근하다가 이후 0을 지나쳐 반대 극성으로 오프셋 값이 자라나게 된다. 이렇게 DC 상태로 스트레스를 가할 경우, 오프셋이 0이 되어 스트레스를 멈춰야 하는 시점을 알기가 어렵다. 따라서 프리차지, 인에이블 후 짧은 시간 동안 스트레스를 주는 동작(뮌어서 '스트레스-패킷'으로 지칭함)을 반복하는 방식으로 오프셋을 제거하게 된다. '프리차지 후 인에이블'에 의해 매번 오프셋평가가 이루어지고 이에 따른 선택적 스트레스를 짧게 가해 오프셋을 매번 조금씩 이동시키는 네거티브 피드백에 의해 오프셋이 0으로 수렴한다. 스트레스-패킷 동작에 의해 초기에는 오프셋이 0으로 줄어들며, 이후에는 0 근처에서 진동하게 된다. 이 스트레스-패킷 방

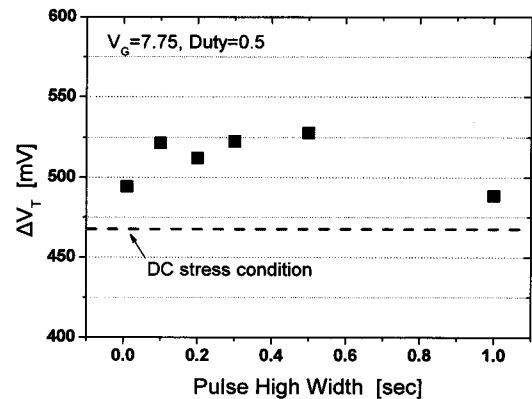


그림 6. 스트레스 펄스의 폭에 따른 문턱전압의 이동
Fig. 6. Amounts of threshold voltage shift along the stress pulse widths.

식을 이용하게 되면 DRAM BLSA와 같이 매우 많은 숫자의 비교기에 대해 동시에 읍셋 제거를 수행할 수 있으며, 이는 읍셋 제거방법을 flash ADC나 DRAM 등에 적용하는데 있어 현실적으로 매우 중요한 점이다.

스트레스-패킷 방식은 산화막 신뢰도 관점에서도 크게 도움이 되는 방식이다. FN 스트레스는 불가피하게 MOS 산화막의 품질을 떨어뜨리고, 결국엔 산화막 파괴에 이르게 한다. 그런데, 듀티(duty)가 낮은 펄스 형태로 FN 스트레스를 가할 경우에는 산화막이 파괴될 때까지 걸리는 스트레스 시간이 현저히 증가한다.^[9~10] FN 터널링 핫캐리어에 의해 생성되는 산화막 내의 포지티브 전하 입자가 산화막 파괴현상(TDDDB)에 밀접히 관련된 것으로 알려져 있으며, 펄스 파형이 로우(low) 상태일 때, 산화막에 걸리는 전압(V_{OX}) 및 수직전계(E_{OX})가 약해져 이 포지티브 전하 입자의 밀도가 이완되는 것으로 추정되고 있다.^[11] 스트레스-패킷의 프리차지 구간이 펄스 스트레스의 로우 상태에 해당한다. 이 기간에 V_{O1} 과 V_{O2} 가 대략 $V_{DD}/2$ 전압으로 프리차지 되고 SAN, SAP는 high-Z 상태가 된다고 하면, 래치를 이루는 4개 트랜지스터의 게이트-소스 사이에는 V_T 이하의 전압이 걸린 상태가 유지되므로 이 기간 동안 산화막 스트레스의 이완이 이루어진다.

펄스 형태의 FN 스트레스는 산화막 파괴 시점은 뒤로 미루지만, 문턱전압의 이동에 있어서는 DC 스트레스와 비슷하거나 더 잘 효과적인 것으로 측정되었다. 그림 6은 펄스 형태의 FN 스트레스 조건에서 펄스 주파수를 변화시켜 가며 측정한 문턱전압의 이동량을 DC 스트레스와 비교한 것이다. 공정한 비교를 위하여 펄스 스트레스의 경우, 스트레스 시간은 펄스의 하이(high) 구간만을 합산하였다.

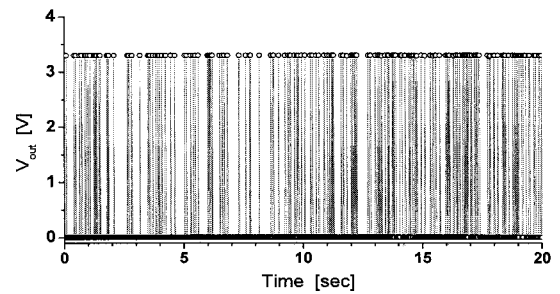
DRAM BLSA에 있어서 두 신호 SAN, SAP는 반드시 동시에 인에이블 되어야 할 필요는 없으며, 어느 신호를 먼저 인에이블 시킬지는 설계상의 필요에 의해 선택할 수 있다. 만약 두 신호가 시차를 두고 차례로 인에이블 된다고 하면, 읍셋은 먼저 인에이블 되는 쪽의 트랜지스터 쌍과 기생성분에 의해 거의 결정된다. 본 논문의 취지를 생각한다면, NMOS와 PMOS에서 일어난 문턱전압 이동 현상 모두를 읍셋 제거를 위해 사용하는 것이 최선의 방안이 될 것이다. 그러나 현실적으로는 SAN, SAP 신호가 많은 개수의 BLSA에서 동시에 인에이블 되는 것을 보장할 수 없으며, 회로동작의 일관성을 위해서 어느 하나를 확실하게 먼저 인에이블 시키는

것이 바람직하다. 이 경우, NMOS의 문턱전압이 적은 스트레스량에도 쉽게 이동하는 특징을 상기한다면, SAN을 SAP에 비해 먼저 인에이블 시키는 것이 타당할 것이다. 본 테스트 회로에서는 SAN이 SAP보다 대략 0.8ns 먼저 인에이블 되도록 설계하였다.

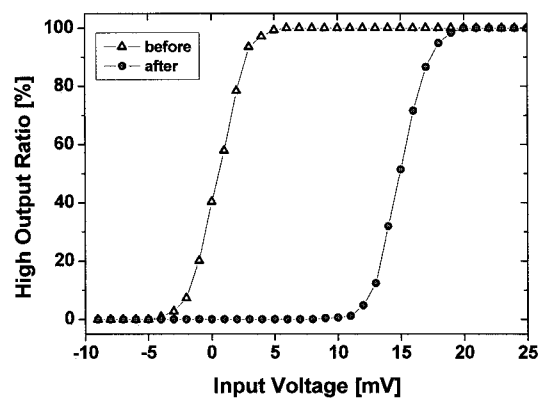
IV. 테스트 결과

본 연구에서는 읍셋 제거방법을 그림 3의 BLSA 테스트 회로에 적용하여 실제 동작을 확인하였다. BLSA 테스트 회로는 레이아웃의 대칭성을 깨뜨려 의도적으로 상당한 읍셋을 가지게끔 설계하였으며, 측정 결과 대략 15~20mV의 읍셋을 갖는 것으로 확인되었다.

정상 동작전압에서 '프리차지 후 인에이블' 동작을 반복하여 그 출력결과(D_{out})값을 통계적으로 관찰함으로써



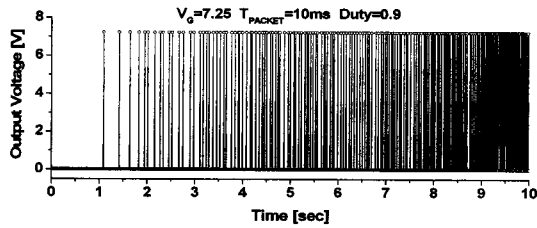
(a)



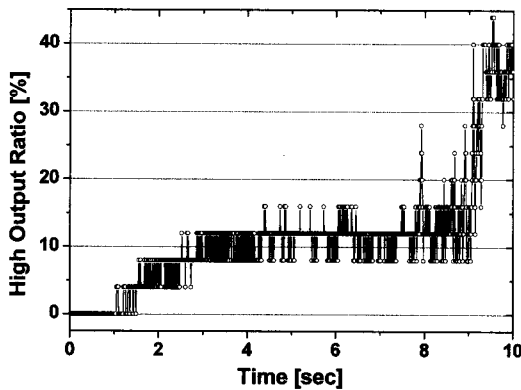
(b)

그림 7. (a) 읍셋 부근의 입력값을 인가하고 출력을 반복적으로 관찰한 결과 (b) 입력값에 따른 출력 1의 비율 (읍셋 제거 작업 전과 후)

Fig. 7. (a) Repetitive comparator outputs with an input voltage near the offset. (b) Ratio of output-1 versus the input voltage graph which has shifted after the offset cancellation task.



(a)



(b)

그림 8. (a) 오프셋 제거작업 과정에서의 스트레스-패킷에 의한 비교기 출력 (b) 그래프 (a)의 오프셋 제거작업 과정에서 출력 1의 비율이 시간의 경과에 따라 상승하는 모습 (25 샘플 중 출력 1의 비율을 이동평균형태로 계산한 결과)

Fig. 8. (a) Comparator outputs by the stress-packet condition during the offset cancellation task. (b) Ratio of output-1 as the stress-packets continues in the plot (a). The ratios are obtained by moving average over 25 samples.

써 BLSA의 오프셋을 추정한다. 이 측정은 Agilent 4156B의 샘플링-모드로 실행되었다. 그림 7(a)에서와 같이 특정 입력전압을 주고 ‘프리차지 후 인에이블’ 동작을 반복할 경우, 오프셋 근처의 입력값에 대해서 랜덤(random) 잡음의 영향으로 확률적 출력 분포를 갖게 된다. 이 출력의 확률적 비율은 입력전압에 따라 달라지는데, 그림 7(b)에서 입력전압이 오프셋 부근을 지나서 증가함에 따라 출력 1의 비율이 0에서 1로 천이되어 가는 것을 볼 수 있다. 출력 1의 비율이 0.5가 되는 입력전압을 오프셋으로 추정한다. 또한 그 비율이 0.1에서 0.9로 천이하는데 대략 4mV 정도의 입력전압이 소요되며 이는 잡음의 크기를 나타내는 지표가 된다.

그림 8은 스트레스-패킷에 의한 오프셋 제거작업을 수행하면서 동일한 방식으로 출력을 모니터링한 결과가

다. BLSA에서 스트레스-패킷 동작이 계속됨에 따라 1의 D_{out} 출력 비율이 점차 상승하는 것을 볼 수 있다. 그림 8(b)는 (a)에서의 출력 1의 비율을 이동평균을 구해 표시한 것이다. 즉, 어떤 시점을 기준으로 그 전후에 발생한 25개의 출력결과 중 1의 비율을 도사한 것으로, 이 비율로부터 오프셋의 이동상태를 볼 수 있다.

테스트 회로의 초기 빌트인 오프셋이 대략 -16mV인 점을 감안하면, 스트레스-패킷 초기에는 오프셋이 빠르게 0 쪽으로 이동해 간 것을 알 수 있다. 그러나, 이후 비율의 상승이 둔화되며 12%에서 한 동안 머무는 것처럼 보인다. 이는 다음과 같이 분석될 수 있다. 첫째, 트랜지스터 문턱전압의 이동량이 많아짐에 따라 점차 FN 스트레스의 의한 문턱전압 이동량이 줄어들게 되고 따라서 오프셋의 이동속도도 점차 느려지게 된다. 둘째, 오프셋이 랜덤 잡음 범위 내로 접근함에 따라, 잡음에 의하여 오프셋이 반대로 평가될 경우, 오프셋이 0으로부터 멀어지는 방향으로 스트레스를 받는 풀-백(pull-back) 현상이 발생한다. 이는 일종의 스캐터링 현상처럼 0으로의 오프셋 이동을 방해한다. 더구나 풀-백 현상은 스트레스를 받지 않았던 신선한(fresh) 트랜지스터에 스트레스를 가하게 되므로, 이미 스트레스를 많이 받은 트랜지스터에 추가적으로 스트레스를 가하는 푸시-포워드에 비해 문턱전압의 이동량이 훨씬 크다. 따라서, 오프셋이 이미 0 근처에 도달하여 진동하고 있는 경우에도 풀-백보다 푸시-포워드가 자주 일어나므로 마치 출력 1의 비율이 낮은 것처럼 보인다. 실제로 출력 1 비율이 10% 부근에서 스트레스-패킷을 멈추고, 정상 동작전압에서 ‘프리차지 및 인에이블’을 시행한 다른 테스트 회로의 출력 1 비율은 대략 45% 정도였으며 따라서 오프셋이 거의 0임이 확인된다. 이 후 스트레스-패킷을 충분히 더 실행하게 되면 풀-백 스트레스를 받는 트랜지스터들도 스트레스를 받은 양이 증가하면서, 스트레스-패킷에 의한 오프셋의 이동량이 풀-백과 푸시-포워드 간에 큰 차이가 없어져 출력 1 비율이 다시 50%를 향해 상승하게 된다.

오프셋 제거작업을 완료한 후의 입력전압에 따른 출력 1 비율은 그림 7(b)에서와 같으며, 오프셋이 거의 0에 수렴했음을 알 수 있다. 정상 동작전압 하에서 동작하는 비교기의 오프셋을 제거하는 것이 목적이므로, 엄밀하게 보자면 ‘스트레스-패킷’에서 오프셋평가는 정상 동작전압에서 이루어지는 것이 옳다. 그러나 먼저 인에이블 되는 SAN에 의해 비교기의 출력결과가 실질적으로 결정되므로 SAP 공급전압과는 무관하게 오프셋평가가 이루어

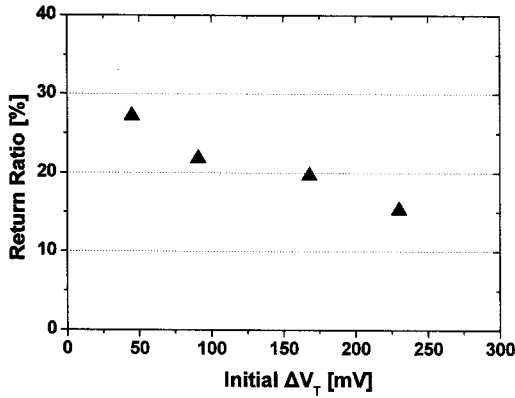


그림 9. FN 스트레스에 의한 문턱전압의 이동량과 3개월 동안의 문턱전압 회귀율과의 상관관계
 Fig. 9. Correlation between the amount of V_T shift by FN stress and the ratio of the back-drift.

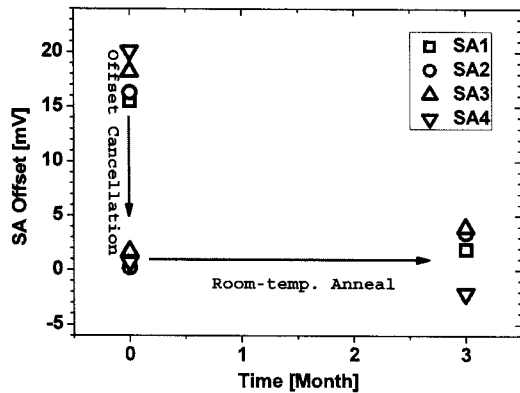


그림 10. 오프셋 제거작업과 3개월 어닐링에 의한 BLSA의 오프셋의 변천
 Fig. 10. Migrations of BLSA offsets during the offset cancellation and 3-month room-temp annealing.

어진다. 따라서 편 의 상 동일전압 V_{PP} 하에서 오프셋평가와 스트레스를 실행시켜도 정확한 결과를 가져온다.

오프셋 제거방법을 DRAM에 적용하면 비트라인 쌍의 개수에 해당하는 많은 BLSA에 대해 동시에 작업을 수행해야 될 것이다. 이 BLSA들은 다양한 빌트인 오프셋 값을 가지고 있을 것이며, 모든 BLSA에서 오프셋 제거를 위해서는 충분한 횟수의 스트레스-패킷을 시행해야 한다. 오프셋을 0으로 만드는 데 꼭 필요한 횟수 이상의 스트레스-패킷을 가하는 것(over-stress)은 제로 오프셋 상태를 유지하는 측면에서도 이점이 있다. 산화막에 트랩된 전하는 디트랩 될 확률이 있으며, 이는 문턱전압이 회귀(drift-back)하여 제로 오프셋에서 벗어나게 되는 요인이 된다. 스트레스를 받은 트랜지스터들의 문턱전압의 변화

를 수 개월간 추적하여, 스트레스를 많이 받은 트랜지스터일수록 문턱전압이 회귀하는 비율이 낮은 경향을 보였다(그림 9). 이는 스트레스가 심화됨에 따라 산화막 트랩 전하가 포화되면서 상대적으로 계면트랩의 비율이 높아지는 것 때문으로 판단된다.

그림 10은 비교기에서 오프셋 제거작업 후 실온에서 3개월 간 보관 후 오프셋이 어떻게 이동하는지를 보여준다. 문턱전압의 회귀현상만을 고려한다면, 오프셋은 3개월 동안 초기값 쪽으로 20%까지 되돌아가는 것으로 예측할 수 있다. 그림 10에서 오프셋을 추적한 결과, 오프셋의 회귀율은 이에 못 미치는 최대 15% 수준이었으며, 이는 주로 오버-스트레스의 영향에 의한 것으로 추측된다. 그러나 일부 BLSA의 경우, 오히려 오프셋이 원래 값의 반대방향으로 증가하는 현상도 측정되었으며, 이에 대해서는 향후 심화적인 분석이 요구된다.

V. 논의 및 결론

이상에서 FN 스트레스에 의한 문턱전압의 이동현상을 활용한 오프셋 제거방법을 소개하였으며, 이를 직접 래치 형 감지증폭기에 적용하여 오프셋을 거의 0으로 감소시켜 보였다. 본 장에서는 오프셋 제거방법의 관심 대상인 몇 가지 특성에 대해 논의하고자 한다.

본 오프셋 제거방법은 정상적인 비교기 동작 시, 통상적인 동작 이외의 추가적인 동작단계를 필요로 하지 않으며, 회로면적 또한 증가시키지 않는다. 그 대신 본 방식에서의 주된 관심사항은 FN 스트레스 하에서의 산화막 신뢰도 문제, 오프셋 드리프트 현상 및 스케일링 특성이다. 본 연구에서의 실험과 분석을 통해 판단한다면 듀티가 낮은 펄스를 이용하여 오프셋 제거작업을 한다면 산화막의 안전성은 충분히 보장될 수 있다는 결론에 도달할 수 있다. 낮은 듀티의 펄스를 통한 FN 스트레스는 또한 정확한 제로오프셋 튜닝과 오프셋 드리프트를 방지하는데도 이점이 있으며, 따라서 오프셋 제거작업의 처리속도가 특별히 문제가 되지 않는 한 가급적 낮은 듀티의 펄스를 사용하는 것이 좋다. 산화막 트랩 등에 의한 문턱전압의 이동과 산화막의 파괴현상(TDDB)은 둘 다 FN 스트레스에 의해 수반되는 현상이기는 하나, 근래의 연구결과에 의하면, 이 두 현상이 동일한 메커니즘에 의한 것은 아닌 것으로 밝혀지고 있다.^[12] 이는 문턱전압을 충분히 이동시키는 과정에서 산화막 파괴현상의 위험을 월등히 감소시키는 방법이 가능함을 의미한다.

오프셋 드리프트 현상은 현재까지의 측정결과로 볼 때 수용 가능한 범위 내에 있는 것으로 보인다. 그러나 본 연구에서는 제한된 숫자의 표본만을 측정한 결과이므로 DRAM 등의 양산제품에 적용되기 위해서는 정확한 분포양상과 시간 및 온도에 따른 특성이 연구되어야 할 것이다. 이 분포양상에 따라 주기적으로 스트레스-패킷을 가하는 방법 등도 그 필요성이 논의될 수 있다.

현재 주된 CMOS 및 DRAM 공정인 60~90nm 급의 칩에 적용하기 위해서는 게이트 산화막의 스케일-다운에 따른 본 오프셋 제거방법의 특성변화도 매우 중요하게 연구되어야 할 대상이다. 산화막 두께가 얇아짐에 따라 게이트 산화막을 통한 직접-터널링 전류의 증가, 산화막 트랩수의 제한 및 이에 따른 문턱전압의 이동특성 변화, 소프트-브레이크다운(soft-breakdown) 등의 산화막 신뢰도 변화 등, 여러 가지 소자특성이 본 연구의 0.35 μ m 공정의 결과와는 크게 달라질 수 있다. 2~3nm 두께의 산화막에 적용하기 위해서는 반드시 이러한 특성변화들이 관찰되어야 하며, 그 특성에 따라 오프셋 제거 BLSA를 구성하는 트랜지스터에 두꺼운 산화막의 사용필요성 여부를 판단할 수 있다.

공정기술이 발달하고 소자의 크기가 작아짐에 따라 문턱전압 등의 소자특성의 균일성을 담보하기가 어려워지고 있으며, 따라서 비교기의 오프셋은 증가하는 추세이다. 또한 소자크기의 축소에 맞춰 동작전압도 같이 낮아지므로 고정잡음원으로 기능하는 오프셋의 영향은 더욱 커지고 있다. CMOS 공정으로 구현 가능한 본 오프셋 제거방법은 향후 집적회로의 성능을 보완하는데 큰 역할을 할 수 있을 것으로 예상된다. 그 일례로 DRAM에서 리프레쉬 실패(refresh fail)로 수율에서 탈락하는 칩들 중, 리프레시가 실패하는 일부 어레이(row)의 BLSA 오프셋을 제거함으로써 수율을 향상시킬 수 있을 것이다.

참 고 문 헌

- [1] S. Hong, S. Kim, J.-K. Wee, and S. Lee, "Low-Voltage DRAM Sensing Scheme with Offset-Cancellation Sense Amplifier," *IEEE J. of Solid-State Circuits*, vol.37, no.10, pp.1356-1360, Oct. 2002.
- [2] Y. Watanabe, N. Nakamura, and S. Watanabe, "Offset-compensating bitline sensing scheme for high-density DRAMs," *IEEE J. Solid-State Circuits*, vol.29, pp.9-13, Jan. 1994.
- [3] B. Razavi and B. Wooley, "Design techniques for high-speed, high-resolution comparators," *IEEE J. Solid-State Circuits*, vol. 27, no. 12, pp. 1916-1926, Dec. 1992.
- [4] Y. L. Wong, M. H. Cohen, and P. A. Abshire, "A Floating-Gate Comparator with Automatic Offset Adaptation for 10-bit Data Conversion," *IEEE Trans. Circuits Syst. I, Fundam. Theory Appl.*, vol. 52, no. 7, pp. 1316-1326, Jul. 2005.
- [5] M. S. Liang, Y. T. Yeow, C. Chang, C. Hu and R. W. Brodersen, "MOSFET Degradation Due to Stressing of Thin Oxide," in *IEDM Tech. Dig. 1982*, pp. 50-53.
- [6] B. J. Fishbein and D. B. Jackson, "Performance Degradation of N-channel MOS transistors during DC and pulsed Fowler-Nordheim stress," in *Proc. Int. Reliability Physics Symp., 1990*, pp. 159-163.
- [7] R. Kraus, "Analysis and Reduction of Sense-Amplifier Offset," *IEEE J. Solid-State Circuits*, vol. 24, no. 4, pp.1028-1033, Aug. 1989.
- [8] 김동수, 이인희, 한건희, "오프셋이 제거된 승차 독점 회로," 대한전자공학회 논문지, 제 45권 SD편, 제 5호, pp. 26-32, 2008.
- [9] Y. Fong, I. C. Chen, S. Holland, J. Lee, and C. Hu, "Dynamic Stressing of Thin Oxides," in *IEDM Tech. Dig., 1986*, pp. 664-667.
- [10] M. S. Liang, S. Haddad, W. Cox, and S. Cagnina, "Degradation of Very Thin Gate Oxide MOS Devices Under Dynamic High Field/Current Stress," in *IEDM Tech. Dig. 1986*, pp. 394-398.
- [11] E. Rosenbaum, Z. Liu, and C. Hu, "Silicon Dioxide Breakdown Lifetime Enhancement Under Bipolar Bias Conditions," *IEEE Trans. Electron Devices*, vol. 40, no. 12, pp. 2287-2295, Dec. 1993.
- [12] Y. Mitani, T. Yamaguchi, H. Satake, and A. Toriumi, "Reconsideration of Hydrogen Related Degradation Mechanism in Gate Oxide," in *Proc. Int. Reliability Physics Symp., 2007*, pp. 226-231.

— 저 자 소 개 —



정 인 영(정회원)

1994년 서울대학교 전자공학과
학사

1996년 서울대학교 전자공학과
석사

2000년 서울대학교 전기공학부
공학박사

2000년~2004년 삼성전자 메모리사업부

2004년~2008년 경상대학교 전기전자공학부
조교수

2008년~현재 광운대학교 전자통신공학과 부교수

<주관심분야 : 바이오센서, Mixed-mode 설계, 메모리소자 및 회로설계, 나노소자>