

논문 2009-46TC-3-7

# Envelope Tracking 전력 증폭기의 선형성 개선을 위한 새로운 드레인 바이어스 기법

(New Drain Bias Scheme for Linearity Enhancement of  
Envelope Tracking Power Amplifiers)

정진호\*

(Jinho Jeong)

요약

본 논문에서는 W-CDMA 기지국용 envelope tracking 전력 증폭기의 선형성 특성을 개선하는 새로운 드레인 바이어스 기법을 제안한다. 기존의 envelope tracking 전력 증폭기에서 드레인 바이어스 전압은 트랜지스터의 문턱전압 근처까지 감소하여 선형성 특성이 크게 나빠진다. 이 문제를 해결하기 위해서 본 연구에서는 입력 신호가 작을 때는 드레인 바이어스 전압이 고정된 class AB로 동작하게 하고 입력 신호가 클 때는 envelope tracking 동작을 하도록 하는 방법을 제안한다. 또한, envelope tracking 동작에서 신호의 왜곡을 줄이도록 드레인 바이어스 전압과 입력 신호의 관계를 새로이 구한다. 제안된 기법의 효과를 검증하기 위하여 class AB Si-LDMOS 전력 증폭기를 사용하여 W-CDMA envelope tracking 전력 증폭기를 설계하였다. 제안된 드레인 바이어스 기법은 평균 효율을 저하시키지 않으면서 선형성 특성을 크게 개선하여 추가의 선형화 기법 없이도 W-CDMA 기지국용 전력 증폭기의 선형성 사양을 만족시키는 것을 시뮬레이션을 통해 확인하였다.

## Abstract

This paper presents new drain bias scheme for the linearity enhancement of envelope tracking power amplifiers for W-CDMA base-stations. In the conventional envelope tracking power amplifiers, the drain bias voltage is lowered close to the knee voltage of transistor, resulting in the severe linearity degradation. To solve this problem, it is proposed in this paper that the amplifier is biased in the conventional class AB mode with a fixed drain bias voltage if the input envelope is low and in the envelope tracking mode otherwise. Moreover, the drain bias in the envelope tracking mode is newly determined to minimized the distortion. To verify the effectiveness of the proposed bias scheme, simulation is performed on the W-CDMA based-station envelope tracking power amplifier using class AB Si-LDMOS power amplifier. It is shown from the simulation that the proposed bias scheme allows a drastic linearity enhancement with the comparable efficiency enough to meet the requirement of W-CDMA base-station without additional linearization techniques.

**Keywords :** efficiency, envelope tracking, linearity, power amplifier, W-CDMA

## I. 서론

기지국용 전력 증폭기(power amplifier)는 일반적으로 우수한 선형성과 효율 특성이 요구된다<sup>[1]</sup>. 효율은 전

력 소자에서 발생하는 열과 밀접한 관련이 있으며 효율이 나쁘면 많은 열이 발생한다. 이는 결과적으로 소자의 특성과 내구성을 저하시키기 때문에 고비용의 냉각 시스템을 필요로 한다. 따라서 효율이 높은 선형 전력 증폭기는 시스템의 가격과 유지보수 비용을 떨어뜨리고, 전력 소자의 성능과 내구성을 보장하게 된다<sup>[2]</sup>.

Envelope tracking 전력 증폭기는 그림 1과 같이 입력 신호가 작을 때는 드레인 바이어스 전압을 낮추어

\* 평생회원, 광운대학교 전자통신공학과  
(Department of Electronics and Communications  
Engineering, Kwangwoon University)  
접수일자: 2008년10월24일, 수정완료일: 2009년3월9일

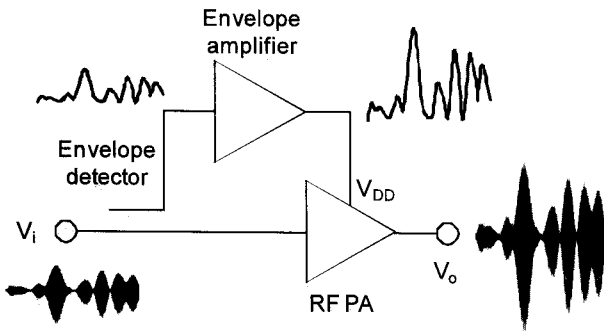


그림 1. Envelope tracking 전력 증폭기  
Fig. 1. Envelope tracking power amplifiers.

평균 효율을 증가시키는 방법이다. 그림 1에서처럼, RF 입력 신호에서 신호의 크기, 즉 envelope을 추출하여 envelope 증폭기를 통해 증폭한 다음, RF 전력 증폭기의 드레인 바이어스 전압( $V_{DD}$ )을 조절해 주는 구조이다. 여기서 RF 전력 증폭기(RF PA)는 일반적으로 선형성 특성이 우수한 class AB 전력 증폭기를 사용한다. W-CDMA 신호에 대하여 envelope tracking 전력 증폭기는 일반적인 class AB 전력 증폭기에 비하여 1.5 배 이상 우수한 평균 효율 특성을 보이는 것으로 보고되었다<sup>[2]</sup>.

기존의 envelope tracking 전력 증폭기에서 드레인 바이어스는 단순히 입력 신호의 크기에 비례하도록 결정된다. 드레인 바이어스 전압의 최대값은 트랜지스터의 붕괴전압(breakdown voltage)에 의해서 결정되고, 최소값은 평균 효율 향상을 위하여 최대한 낮게 결정되는데 일반적으로 트랜지스터의 문턱전압(knee voltage) 근처에서 결정된다. 최소값과 최대값 사이에서는 입력 신호의 크기와 선형적인 관계를 갖도록 드레인 바이어스 전압이 결정된다. 이러한 envelope tracking 전력 증폭기는 드레인 바이어스 전압 변화에 따른 트랜지스터의 특성 변화로 인하여 선형성 특성이 나쁜 단점이 있다. 따라서, 디지털 전치왜곡기와 같은 선형화 기법이 필수적으로 사용되어야 한다<sup>[3]</sup>. 또는, 입력 신호의 크기에 따라 게이트 바이어스 전압을 바꾸어 주는 기법도 사용할 수 있다<sup>[4]</sup>.

본 연구에서는 envelope tracking 전력 증폭기의 선형성 개선을 위해서 드레인 바이어스 전압을 결정하는 새로운 방법을 제안한다. 이를 위해 W-CDMA 기지국용 class AB 전력 증폭기를 설계한 다음, 서로 다른 드레인 바이어스 기법에 대하여 envelope tracking 전력 증폭기의 특성(평균 효율, 선형성)을 비교한다. 평균 효

율을 저하시키지 않으면서 envelope tracking 전력 증폭기의 선형성을 크게 개선시킬 수 있는 드레인 바이어스 기법을 제안하고 시뮬레이션으로 검증한다.

## II. 드레인 바이어스 설계 기법

### 1. Si-LDMOS class AB 전력 증폭기 설계

Envelope tracking 전력 증폭기에 사용할 RF 전력 증폭기를 Freescale사의 Si LDMOS FET (모델명 : MRF5S21130)를 이용하여 설계하였다. W-CDMA 응용을 위해서 중심 주파수는 2.14 GHz로 결정하였으며, 선형성 특성이 우수하도록 class AB로 설계하였다. 트랜지스터의 데이터시트를 참고하여 설계된 회로는 그림 2에 제시되어 있다. 유전상수 2.55, 두께 30 mil 기판을 사용하여 마이크로스트립 라인으로 정합회로가 구현되어 있다<sup>[5]</sup>.

시뮬레이션을 위하여 위 회사에서 제공된 트랜지스터 모델을 사용하였다. 2.14 GHz CW (continuous

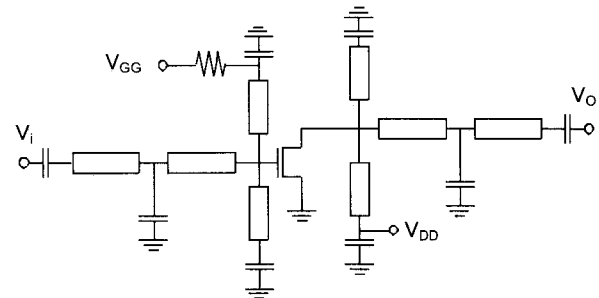


그림 2. 설계된 2.14 GHz class AB RF 전력 증폭기<sup>[5]</sup>  
Fig. 2. Designed 2.14 GHz class AB RF power amplifier.

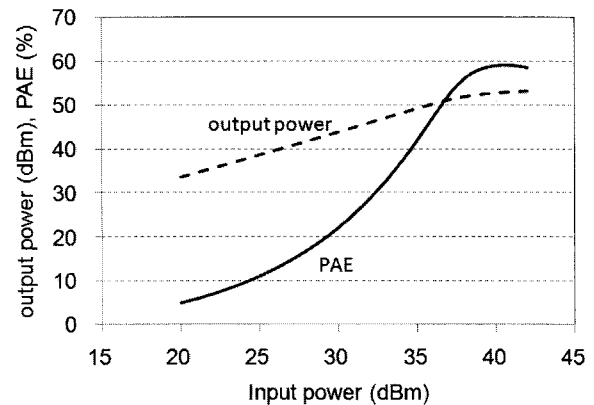


그림 3. RF 전력 증폭기의 2.14 GHz CW 입력에 대한 시뮬레이션 특성  
Fig. 3. Simulated performance of RF power amplifier with 2.14 GHz CW input.

wave) 입력에 대한 설계된 전력 증폭기의 시뮬레이션 특성이 그림 3에 나와 있다. Class AB 동작을 위하여 게이트 바이어스 전압  $V_{GG}$ 는 4.04 V (이때 드레인 바이어스 전류  $I_{DQ} = 1200$  mA이다.), 드레인 바이어스 전압  $V_{DD}$ 는 28 V로 선택하였다. 1-dB 이득 감쇄 지점  $P_{1dB}$ 는 52.8 dBm이고, 이때 전력부가효율(PAE, power added efficiency)은 59.2 %, 전력이득은 12.5 dB였다.

2. Envelope tracking의 바이어스 설계 기법

기존의 envelope tracking 전력 증폭기는 게이트 바이어스 전압( $V_{GG}$ )이 고정된 상태에서 드레인 바이어스 전압( $V_{DD}$ )을 입력 신호의 크기( $|V_i|$ )에 따라 선형적으로 증가시키는 방법을 사용한다. 드레인 바이어스 전압의 최대값( $V_{DDmax}$ )은 트랜지스터의 드레인-게이트 붕괴전압을 고려하여 결정한다. 이 연구에서  $V_{DDmax}$ 는 32 V로 결정되었다. 이에 대응되는 최대 입력 신호의 크기( $|V_{i,max}$ )는 전력 증폭기의 이득과  $V_{DD} = V_{DDmax}$ 에서 효율을 고려하여 선택하게 된다. 드레인 바이어스 전압의 최소값( $V_{DDmin}$ )은 평균 효율을 고려하여 트랜지스터가 문턱 전압 영역으로 들어가지 않는 범위에서 가장 낮은 값을 선택한다. 예를 들면 논문 [2]에서는  $V_{DDmin} = 3$  V로 결정하였다. 따라서, 이러한 경우, 입력신호의 크기에 따른 드레인 바이어스 전압은 다음과 같이 정해진다.

$$V_{DD} = \begin{cases} A_{v,env}|V_i|, & |V_i|_0 \leq |V_i| \leq |V_i|_{max} \\ V_{DDmin}, & |V_i| < |V_i|_0 \end{cases} \quad (1)$$

여기서,  $A_{v,env}$ 는 envelope 증폭기의 전압 이득, 즉,  $A_{v,env} = V_{DDmax}/|V_{i,max}$ 이다. 그리고  $|V_i|_0$ 는  $V_{DDmin}$ 에

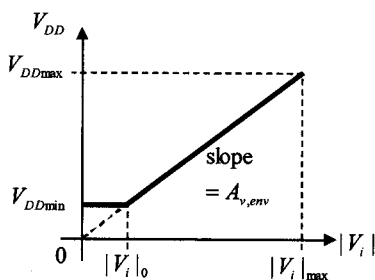


그림 4. 입력 신호의 크기와 드레인 바이어스 전압 관계

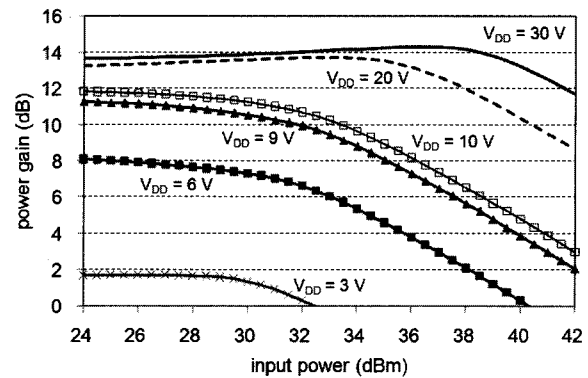
Fig. 4. Drain bias dependence on the input envelope.

대응하는 입력 신호의 크기,  $|V_i|_0 = V_{DDmin}/A_{v,env}$ 이다. 이 관계식을 그래프로 나타낸 것이 그림 4이다.

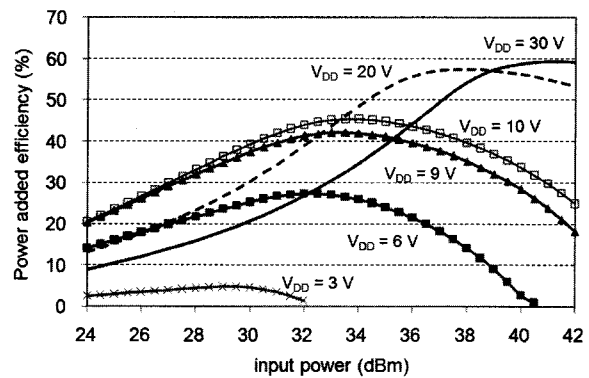
이러한 기존의 바이어스 기법은 전력 증폭기의 선형성을 크게 저하시킨다. 본 연구에서는 이를 개선할 수 있는 새로운 드레인 바이어스 결정법에 대하여 제안하고자 하는데, 드레인 바이어스 전압의 최소값  $V_{DDmin}$  결정법과  $V_{DDmin}$  이상의 전압에서  $V_{DD}$ 와  $|V_i|$ 와의 관계를 구하는 방법 등 두 가지 측면을 다룬다.

가) 드레인 바이어스 전압의 최소값

드레인 바이어스 전압의 최소값  $V_{DDmin}$ 을 평균 효율 향상을 위해 기존과 같이 문턱전압 근처까지 낮추는 것은 문제가 있다. 왜냐하면 낮은 드레인 바이어스 전압에서는 전류의 비선형성이 증가하여 선형성 특성이 나빠지며, 트랜지스터의 이득도 급격히 낮아지므로 envelope



(a)



(b)

그림 5. 드레인 바이어스 전압 3 V, 6 V, 9 V, 10 V, 20 V, 30 V에서의 입력 신호 크기에 따른 (a) 전력 이득 (b) 전력부가효율 특성

Fig. 5. (a) power gain (b) power added efficiency (PAE) as a function of input envelope for  $V_{DD}=3$  V, 6 V, 9 V, 10 V, 20 V, 30 V.

tracking에 의한 전력부가효율 개선 효과도 크지 않기 때문이다. 그림 5는 드레인 바이어스 전압이 3, 6, 9, 10, 20, 30 V일 때, 설계된 전력 증폭기의 CW 시뮬레이션 특성을 보여준다. 그림 5(a)는 입력전력(input power)에 따른 전력이득(power gain), 그림 5(b)는 입력전력에 따른 전력부가효율(PAE) 그림이다. 그림 5(a)에서 알 수 있듯이,  $V_{DD}$ 가 10 V이하가 되면 전력 이득이 급격하게 감소한다. 또한,  $V_{DD}=10\text{ V}$  이하에서는 그림 5(b)에서처럼 전력부가효율이 전혀 개선되지 않는다는 것을 알 수 있다. 즉, 드레인 바이어스 전압을 10 V이하로 낮추면 평균 효율 개선 효과는 없으며 선형성 특성은 크게 저하된다. 이를 고려하여 본 연구에서는  $V_{DDmin}$ 을 10 V로 결정한다.

따라서 새로운 바이어스 기법은 입력 신호의 크기가 작을 때는 드레인 바이어스 전압  $V_{DD}$ 를 10 V로 고정시켜 class AB 동작을 하게하고, 입력 신호가 클 때는  $V_{DD}$ 를 10 V에서 32 V사이에서 변화시켜 envelope tracking 동작을 하도록 한다. 이는 class AB와 envelope tracking의 결합이라고 할 수 있다. 이 방법은  $V_{DD}$ 가 문턱전압 근처까지 낮아지지 않으므로 기존 envelope tracking 전력 증폭기의 선형성을 크게 개선할 수 있다. 또한, 평균효율 저하는 크지 않다.

나) 드레인 바이어스 전압과 입력 신호 크기의 관계

기존의 envelope tracking 전력 증폭기에서 드레인 바이어스 전압은 그림 4에서처럼  $V_{DDmin}$ 과  $V_{DDmax}$  사이에서는  $V_{DD}$ 를  $|V_i|$ 에 편의상 선형적으로 매핑한다. 이러한 방법 역시 드레인 바이어스 전압에 따른 트랜지스터의 선형성 특성을 제대로 반영하지 못한 것이다. 입력 신호의 크기에 대응하는 드레인 바이어스 전압을 결정하는 새로운 방식은 다음과 같다.

그림 6은  $V_{DD}=10\text{ V}, 20\text{ V}, 30\text{ V}$ 에서 입력 신호의 크기  $|V_i|$ 에 따른 전력 이득(그림 6 (a)) 과 출력 전압의 위상(그림 6 (b))을 나타낸 것이다. 따라서 각각은 AM-AM, AM-PM 특성이다. 각 드레인 바이어스 전압에 대응하는 입력 전압은 이러한 AM-AM 및 AM-PM 특성을 개선하도록 결정한다. 그림 6(b)의 AM-PM 특성에서 드레인 바이어스 전압과 입력 신호의 크기에 따라 위상 변화가 아주 큰 것을 알 수 있다. 이는 전력 증폭기의 선형성을 크게 저하시키게 된다. 따라서, 입력 전력의 크기에 따라 위상 변화가 크지 않도록 드레인

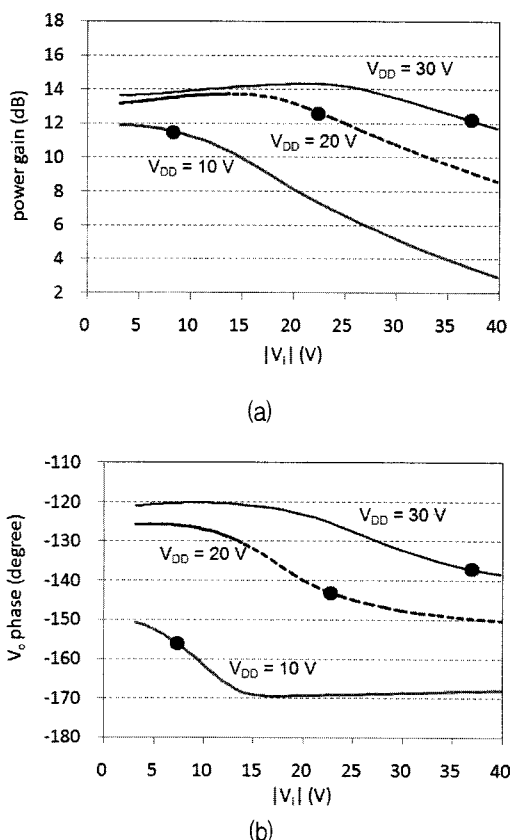


그림 6.  $V_{DD}=10\text{ V}, 20\text{ V}, 30\text{ V}$ 에서 입력 신호 크기에 따른 (a) 전력 이득 (b) 위상  
Fig. 6. (a) power gain (b) phase performance as a function of input envelope at  $V_{DD}=10\text{ V}, 20\text{ V}, 30\text{ V}$ .

바이어스 전압을 결정하였는데 그림에서는 점으로 표시되어 있다. 이렇게 선택된 점은 그림 6 (a)의 AM-AM 특성에서는 전력 이득이 P<sub>1dB</sub>이내에 위치하는 것을 알 수 있다.

3. 여러 가지 바이어스 기법 비교

본 연구에서 제안된 바이어스 기법이 W-CDMA 기지국용 전력 증폭기의 효율과 선형성 특성에 어떠한 영향 미치는 지 살펴보기 위하여, 여러 가지 바이어스 기법에 대하여 시뮬레이션을 수행하였다. 그림 7은 본 연구에서 고려된 네 가지 바이어스 기법 각각의  $|V_i|$ 와  $V_{DD}$ 의 관계를 나타낸 그림이다. 게이트 바이어스 전압은  $V_{GG}=4.04\text{ V}$ 로 고정되어 있다.

바이어스 기법 1은 일반적인 전력 증폭기 바이어스 기법으로서 드레인 바이어스  $V_{DD}$ 가 28 V로 고정되어 있는 경우이다. 이는 envelope tracking 전력 증폭기가 어느 정도 효율 및 선형성 개선 효과가 있는지 비교 대

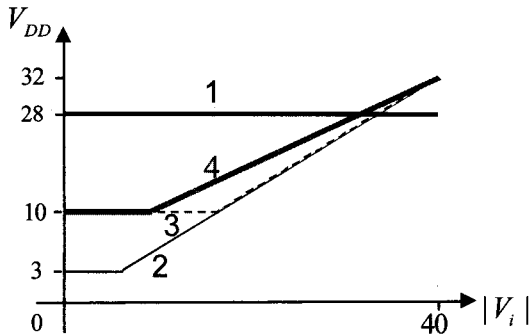


그림 7. 각 바이어스 기법에서  $V_{DD}$ 와  $|V_i|$ 의 관계  
Fig. 7.  $V_{DD}$ - $|V_i|$  relation for each bias scheme.

상이 될 것이다.

바이어스 기법 2는 기존 envelope tracking 전력 증폭기 바이어스 기법으로서 입력신호 크기에 따라  $V_{DD}$ 를 3 V와 32 V 사이에서 선형적으로 조절하는 바이어스 기법이다.

바이어스 기법 3과 4는 본 연구에서 새로이 제안된 방법이다. 바이어스 기법 3은 드레인 바이어스 전압의 최소값을 10 V로 증가시킨 것이다. 바이어스 기법 4는  $V_{DD} = 10$  V 이상에서 그림 6에 제시된 것과 같은 방법으로  $V_{DD}$ 와  $|V_i|$  관계를 구한 것이다. 기법 2와 비교했을 때 이 기법은 같은  $|V_i|$ 에 대하여 더 높은  $V_{DD}$ 가 필요하다는 것을 알 수 있다.

### III. 모 의 실 험

#### 1. Envelope tracking 전력 증폭기 시뮬레이션

Envelope tracking 전력 증폭기 시뮬레이션을 위해서는 RF 입력 신호의 envelope 성분 및 기저대역 (baseband)에서의 신호 처리가 필요하며, RF 전력 증폭기의 특성 해석을 위해서 아날로그 시뮬레이션을 수행해야 한다. 따라서, 디지털과 아날로그 두 영역에서의 시뮬레이션(co-simulation)이 필요하다. 본 연구에서는 Agilent사의 ADS(advanced design system)에 구현되어 있는 pTolomy 기능으로 co-simulation을 수행하였다. RF 전력 증폭기 외부의 신호 처리는 디지털 영역에서 해석하고, 전력 증폭기 내부는 아날로그 시뮬레이션인 envelope analysis를 통해 해석한다<sup>[6]</sup>.

그림 8은 이러한 ADS에 구현한 W-CDMA envelope tracking 전력 증폭기 시뮬레이션 셋업을 나타낸다. ADS는 여러 가지 형태의 W-CDMA 신호를 생성해 주

는데, 그 중 본 연구에서는 test model 1을 사용하였다. 이 입력 신호의 크기를 추출하기 위하여 W-CDMA 신호에서 기저대역, 즉, I와 Q 신호를 추출한 다음(그림 8에서 TimedToCx) 이를 크기(magnitude)와 위상(phase) 신호로 변환한다.(그림 8에서 CxToPolar)

Test model 1은 1 slot time (667  $\mu$ S) 동안 시뮬레이션 했을 때 PAR(peak-to-average power ratio)이 10.28 dB였다. 이렇게 큰 PAR은 전력 증폭기의 효율과 선형성을 저하시킨다. 이 문제를 해결하기 위해 PAR를 인위적으로 감소시키는 crest factor reduction (CFR) 기법이 많이 사용한다<sup>[2]</sup>. 그림 8에서는 간단하게 상한 리미터(upper limiter)를 이용하여 7.6 dB의 PAR를 갖도록 CFR을 구현하였다. 그리고, W-CDMA 신호의 최소 크기는 0이므로 envelope tracking에서 드레인 바이어스 전압이 0이 될 수도 있다. 하지만, 이 전압에서 트랜지스터의 이득이 0이 되므로, 이를 방지하기 위해서 하한 리미터(lower limiter)를 사용하였다.  $V_{DDmin}$ 도 이 하한 리미터에 의해서 결정된다.

그림 7에 제시된 각 바이어스 기법은 envelope 증폭기의 출력을  $|V_i|$ 에 대한 함수로 표현하여 구현한다. 이 출력을 시간영역 신호를 바꾸어(그림 8에서 FloatToTimed) 설계된 class AB 전력 증폭기의 드레인에 입력하여  $V_{DD}$ 를 변화시킨다.

W-CDMA 신호원의 출력 전력은 편의상 20 dBm으로 고정되어 있다. 이 신호를 CFR 기법으로 PAR을 감소시킨 다음 이를 위상 정보와 결합하여 I/Q 신호로 바꾸고, 중심주파수 2.14 GHz의 시간영역 신호로 변환하여 class AB RF 전력증폭기 입력에 인가한다. RF 전력 증폭기 입력전력은 모든 시뮬레이션에서 33.9 dBm으로 고정하였다. 사용된 W-CDMA 신호의 중심 주파수는 2.14 GHz, 칩당 샘플 개수는 8, 1 slot 당 칩 수는 2560

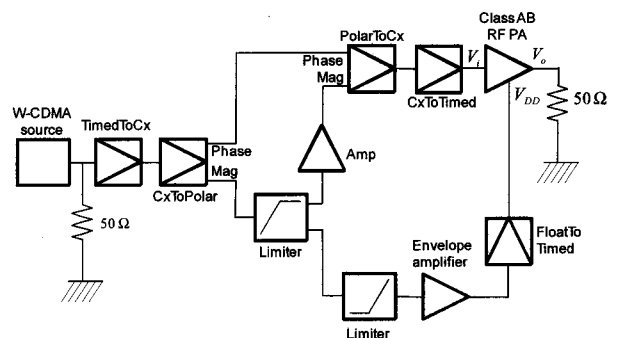


그림 8. ADS를 이용한 envelope tracking 시뮬레이션  
Fig. 8. Envelope tracking simulation using ADS.

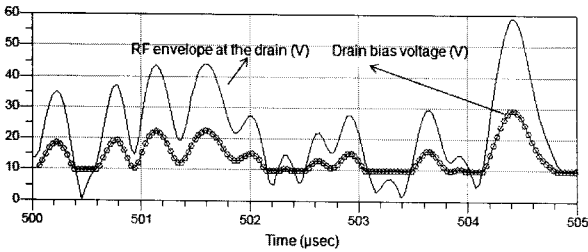


그림 9. 시간에 따른 드레인에서 RF envelope과 바이어스 전압 파형

Fig. 9. Waveform of RF envelope and bias voltage at the drain.

개, symbol rate는 3.84 MHz이다.

그림 9는 ADS pTolomy 시뮬레이션을 수행하여 얻은 드레인에서의 바이어스 전압과 envelope 신호의 파형을 보여주고 있다. Envelope이 클 때는 드레인 바이어스 전압이 높고 envelope이 작을 때는 드레인 바이어스 전압이 낮은 것을 확인할 수 있다. 그리고, 두 신호가 시간축에서 잘 정렬되어 있어 이로 인한 신호 왜곡은 무시할 수 있다<sup>[3]</sup>.

### 2. 바이어스 기법에 따른 특성 비교

그림 10은 위의 시뮬레이션 기법을 이용하여 해석된 바이어스 기법에 따른 AM-AM 특성을 보여준다. 전압 이득( $|V_o/V_i|$ )을 입력 신호의 크기( $|V_i|$ )에 따라 나타낸 그림인데, 직선일수록 우수한 선형성을 의미한다. 드레인 바이어스 전압이 28 V로 고정된 1번의 경우 (그림

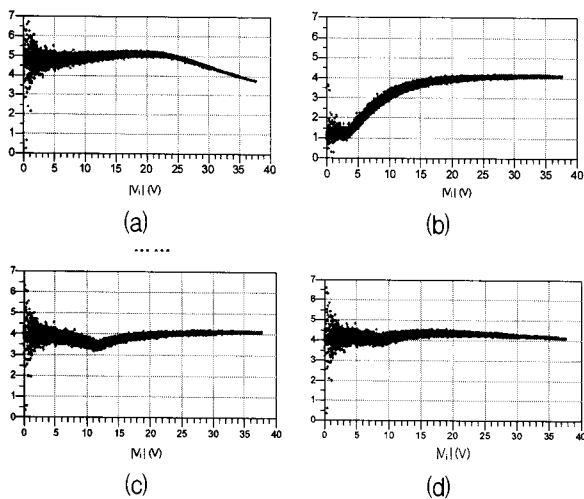


그림 10. AM-AM 특성. y 축은 전압 이득. 바이어스 기법 : (a) 1 (b) 2 (c) 3 (d) 4

Fig. 10. AM-AM performance. Y-axis is a voltage gain Bias scheme : (a) 1 (b) 2 (c) 3 (d) 4.

10 (a)) 입력 신호의 크기에 따라 일정한 전압 이득을 가지다가 입력신호가 커지면 이득이 감소하는 경향을 보인다. 그림 10 (b)에 나타난 기존 envelope tracking 바이어스 기법(2번)에서는 입력신호의 크기가 작은 경우 트랜지스터의 전압이득이 급격히 감소한다. 이는 AM-AM 왜곡이 심각해짐을 의미한다. 이러한 문제점을 해결하기 위하여 제안된 3번(그림 10 (c)), 4번 기법(그림 10 (d))은 입력 신호가 작을 때 이득이 줄어드는 현상이 크게 개선되었다. 제안된 4번 바이어스 기법이 AM-AM 왜곡이 가장 작은 것을 확인할 수 있다.

그림 11은 AM-PM 특성을 보여준다. 기존 envelope tracking 전력 증폭기는 드레인 바이어스 전압에 따른 트랜지스터의 특성 변화로 인하여 AM-PM 특성이 class AB 전력 증폭기에 비하여 급격히 나빠진다(그림 11(a)와 그림 11(b)의 비교). 제안된 3번, 4번 바이어스 기법은 이러한 AM-PM 특성 저하를 크게 개선시킬 수 있으며, 4번이 가장 우수한 AM-PM 특성을 가지는 것을 알 수 있다. 이는 위상 변화가 작도록 드레인 바이어스 전압을 결정했기 때문이다.

그림 12는 바이어스 기법에 따른 전력 증폭기의 출력 스펙트럼을 보여주고 있다. 바이어스 기법 1(그림 12 (a))을 바이어스 기법 2로 바꾸면 spectral re-growth가 증가하고, 제안된 바이어스 기법 3, 4는 이를 다시 개선시키는 것을 보여준다. 그림 12 (d)의 바이어스 기법 4가 spectral re-growth 특성이 가장 우수하다는 것을

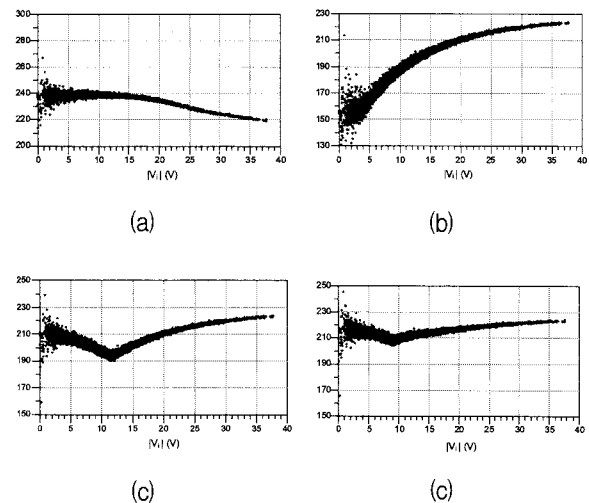


그림 11. AM-PM 특성. y 축은 출력 전압의 위상(도). 바이어스 기법 : (a) 1 (b) 2 (c) 3 (d) 4

Fig. 11. AM-AM performance. Y-axis is a phase of  $V_o$  (degree). Bias scheme : (a) 1 (b) 2 (c) 3 (d) 4.

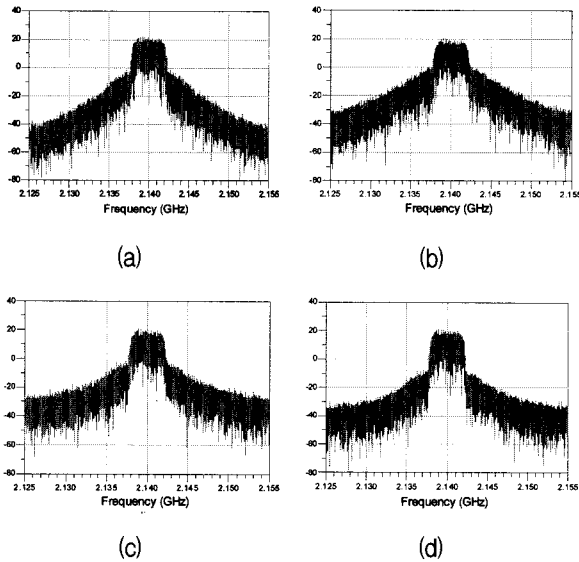


그림 12. 출력 스펙트럼 (dBm). 바이어스 기법 :  
 (a) 1 (b) 2 (c) 3 (d) 4  
 Fig. 12. Output spectrum (dBm). Bias scheme :  
 (a) 1 (b) 2 (c) 3 (d) 4.

표 1. W-CDMA 입력 신호에 대한 바이어스 기법에 따른 전력 증폭기의 특성  
 Table 1. Performance of the power amplifier at each bias scheme for W-CDMA input.

바이어스 기법	전력이득 (dB)	평균PAE (%)	EVM (%)	ACLR1* (dB)	ACLR2** (dB)
1	13.7	38.1	10.8	29.2	48.9
2	11.7	52.3	17.7	23.9	39.6
3	11.9	51.6	12.8	27.0	40.5
4	12.6	51.8	6.1	33.4	47.8

\* ACLR1 : 5 MHz offset에서 ACLR  
 \*\* ACLR2 : 10MHz 옵셋에서 ACLR

알 수 있다.

표 1에 각 바이어스 기법에 따른 평균 전력부가효율 (PAE), EVM (error vector magnitude), 전력 이득, ACLR (adjacent channel leakage ratio) 등을 정리하였다. 드레인 바이어스가 고정되어 있는 class AB 전력 증폭기(바이어스 기법 1)에 비하여 envelope tracking 전력 증폭기(바이어스 기법 2)는 전력부가효율을 38.1 %에서 52.3 %로 크게 증가시키지만, 선형성 특성을 나타내는 EVM은 10.8 %에서 17.4 %로 나빠진다. 그리고 스펙트럼에서는 ACLR1 (5 MHz 옵셋에서 ACLR)은 29.2 dB에서 23.9 dB로, ACLR2 (10 MHz 옵셋에서 ACLR)은 48.9 dB에서 39.5 dB로 특성이 나빠진다. 이는 입력 신호의 크기에 따라 드레인 바이어스 전압이 바뀌어 트랜지스터의 특성이 변하기 때문에 나타나는

$V_{DD} - AM$ ,  $V_{DD} - PM$  비선형성 때문이다<sup>[2]</sup>. 전력 이득도 13.7 dB에서 11.7 dB로 나빠진다.

기존 envelope tracking 전력 증폭기(바이어스 기법 2)에 비하여 새로운 바이어스 기법 3은 평균 효율은 51.2%로 약간 감소하지만, EVM은 12.8 %로 개선된다. 또한, ACLR1은 30.3 dB, ACLR2는 44.4 dB로 개선되며, 전력 이득은 11.7 dB로 증가한다. 하지만, ACLR 특성이 여전히 W-CDMA 기지국용 전력 증폭기의 사양을 만족시키지 못하고 있다.

마지막으로 바이어스 기법 4는 전력부가효율은 51.8 %로 기존 envelope tracking 전력 증폭기(기법 2)에 비하여 0.4 % 작지만, 전력 이득은 12.6 dB로 0.9 dB 개선된다. 특히, EVM은 6.1 %로서, 네 바이어스 기법 중 가장 우수하다. 또한, ACLR1은 33.4 dB, ACLR2는 47.8 dB로서 W-CDMA 기지국용 전력 증폭기의 스펙트럼 사양을 만족시킨다. 기존의 envelope tracking 전력 증폭기가 선형성이 나빠서 선형화 기법을 사용해야 하지만, 본 연구에서 제안한 드레인 바이어스 기법은 평균 효율을 떨어뜨리지 않으면서 선형성 특성을 크게 개선하여 별도의 선형화 기법을 필요로 하지 않는 장점이 있다.

#### IV. 결 론

전력 증폭기의 평균 효율을 개선시키기 위해서 사용되는 envelope tracking 전력 증폭기는 드레인 바이어스 전압이 입력 신호의 크기에 따라 변하기 때문에 선형성 특성이 크게 나빠진다. 이를 개선하기 위하여 여러 가지 선형화 기법이 필수적으로 사용되어야 한다.

본 연구에서는 이러한 문제점을 해결하기 위하여 드레인 바이어스 전압의 최소값을 평균효율을 저하시키지 않는 범위 내에서 최대한 높은 전압으로 선택하였다. 또한, 드레인 바이어스 전압을 입력 신호 크기에 단순히 비례하도록 결정하지 않고 선형성 특성을 개선할 있도록 AM-PM 왜곡이 작도록 결정하였다.

시뮬레이션을 통하여 제안된 기법이 일반적인 envelope tracking 전력 증폭기에 비하여 평균 효율은 저하시키지 않고 선형성 특성(EVM과 ACLR)은 크게 개선시킬 수 있다는 것을 보였다. 특히, 특별한 선형화 기법을 사용하지 않고 W-CDMA 기지국 전력 증폭기의 ACLR 사양을 만족시킬 수 있었다. 따라서, 제안된 새로운 드레인 바이어스 기법은 향후 envelope

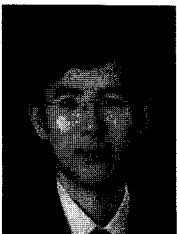
tracking 전력 증폭기 설계에 유용하게 사용될 수 있으리라 기대한다.

### 참 고 문 헌

- [1] Steve C. Cripps, *RF Power Amplifiers for Wireless Communications*, 2nd Edition, Artech House, 2006.
- [2] D. Kimball, J. Jeong, C. Hsia, P. Draxler, S. Lanfranco, W. Nagy, K. Linthicum, L. Larson and P. Asbeck, "High Efficiency Envelope Tracking W-CDMA Base Station Amplifier Using GaN HFETs," *IEEE Trans. on Microwave Theory Tech*, Vol. 54, No.11, pp. 3848-3856, Nov., 2006.
- [3] F. Wang, A. Yang, D. Kimball, L. Larson, and P. Asbeck, "Design of Wide-Bandwidth Envelope-Tracking Power Amplifiers for OFDM Applications," *IEEE Trans. on Microwave Theory Tech*, vol. 53, no. 4, pp.1244-1255, Apr. 2005.
- [4] J. Moon, J. Kim, I. Kim, J. Kim, and B. Kim, "A Wideband Envelope Tracking Doherty Amplifier for WiMAX Systems," *IEEE Microw. Wireless Compon. Lett.* vol. 18, no.1, pp.49-51, Jan. 2008.
- [5] Semiconductor technical data, MRF5S21130, Motorola.
- [6] Advanced Design System Documentation 2006A, Agilent Technologies.

---

### 저 자 소 개



정 진 호(평생회원)

1997년 서울대학교 전기공학부 학사

1999년 서울대학교 전기공학부 석사

2004년 서울대학교 전기컴퓨터공학부 박사

2004년~2007년 University of California, San Diego, Post-Doc.

2007년~현재 광운대학교 전자통신공학과 조교수

<주관심분야 : RF power amplifiers, MMIC, RFIC, microwave transistor modeling, power combiners>