

다이오드 클램프형 3-레벨 IGBT 인버터용 과전압 방지 스너버

鄭在憲^{*}, 宋雄俠^{**}, 魯義哲[†], 金仁東^{***}, 金興根^{****}, 全泰園[§], 俞東旭^{§§}

Overvoltage Snubber for a Diode-Clamped 3-level IGBT Inverter

Jae-Hun Jung, Woong-Hyub Song, Eui-Cheol Nho, In-Dong Kim, Heung-Geun Kim,
Tae-Won Chun, and Dong-Wook Yoo

요 약

본 논문은 다이오드 클램프형 3-레벨 IGBT 인버터에 적용 가능한 새로운 방식의 과전압 방지 스너버에 관한 것이다. 일반적으로 전력변환장치는 스위칭 소자에 발생하는 과전압을 감소시키기 위해 스너버 회로를 포함하고 있다. 하지만 다이오드 클램프형 멀티레벨 인버터는 스위칭 소자가 직렬로 연결되어 있기 때문에 과전압 방지 스너버를 구성하기 힘든 문제점이 있다. 본 논문에서는 스텝-다운 DC-DC 컨버터에 적용 가능한 과전압 방지 스너버의 특성을 이용하여 다이오드 클램프형 3-레벨 인버터에 과전압 방지 스너버를 구성하려 할 때 발생하는 문제점을 분석하고 분석 결과를 토대로 다이오드 클램프형 3-레벨 인버터에 적용할 수 있는 새로운 구조의 스너버를 제안하였다. 제안한 방식에 대한 특성을 해석하였고, 실험을 통하여 효용성을 입증하였다.

ABSTRACT

This paper deals with a new overvoltage snubber for a diode-clamped 3-level IGBT inverter. Usually most power converters use snubber circuits to protect the switching devices from voltage spike. However, it is difficult for the diode-clamped multi-level converter to be protected from voltage spike with overvoltage snubber since the series connection of the switching devices. To solve the problem the characteristic of a overvoltage snubber for a DC-DC converter is analyzed, and a new snubber for a diode clamped 3-level inverter is proposed. The performance of the proposed snubber is verified through experiments.

Key Words : Overvoltage Snubber, Diode Clamped 3-level Inverter

1. 서 론

고압 대용량 전력변환장치에 대한 수요는 최근 들어 급격히 증가하고 있다. 따라서 이러한 전력변환 장치의 성능 개선을 위한 연구도 지속되고 있다. 1980년대 이후로 대용량 전력변환장치에 대한 연구는 주로 스위칭 소자의 전압 스트레스를 경감하는 관점에서 진행되었다. 이 결과 스위칭 소자의 직렬연결 시 각 스위칭

[†]교신저자 : 정회원, 부경대 전기제어공학부 교수

E-mail : nhoec@pknu.ac.kr

^{*}학생회원, 부경대 대학원 전기공학과 박사과정

^{**}학생회원, 부경대 대학원 전기공학과 석사과정

^{***}정회원, 부경대 전기제어공학부 교수

^{****}정회원, 경북대 전자전기공학부 교수

[§]정회원, 울산대 전기전자정보시스템공학부 교수

^{§§}정회원, 한국전기연구원 책임연구원

접수일자 : 2009. 10. 23

1차 심사 : 2009. 11. 9

심사완료 : 2009. 11. 16

소자에 걸리는 전압을 효과적으로 분배 할 수 있고, 출력전압 레벨의 수를 증가시켜 기존의 2-레벨 인버터와 비교하여 출력 고조파 성분을 효과적으로 감소시킬 수 있는 멀티레벨 토폴로지가 제안되었다. 대표적인 멀티레벨 토폴로지에는 플라잉 커패시터, 다이오드 클램프형, H-bridge 등이 있으며,^{[1]-[4]} 특히 다이오드 클램프형 멀티레벨 인버터는 다른 멀티레벨 토폴로지와 비교하여 3-레벨 인버터를 위한 고 신뢰성을 갖는 여러 가지 제어기법들의 개발과 더불어 대용량 구동시스템에 널리 사용되고 있다.^{[5]-[7]}

1990년대 이후 IGBT 소자의 지속적인 대용량화에 따라 멀티레벨 토폴로지의 주요 소자는 기존의 GTO에서 IGBT로 대체되기 시작 하였으며, 스위칭 소자의 보호회로는 RCD 스너버 회로나^{[6]-[8]} Active 스너버^{[9]-[11]} 방식이 주로 사용되었다. 기존의 다이오드 클램프형 멀티레벨 인버터를 위한 스너버 회로는 스위칭 소자의 직렬 연결된 구조 때문에 안쪽 스위칭 소자에 RCD 스너버 회로를 구현하기 힘든 문제점이 있고, Active 스너버 방식은 스위칭 소자의 턴-오프 시간을 강제로 지연시켜 과전압을 방지하는 원리이기 때문에 시스템 설계 시 DC-링크 커패시터와 스위칭 소자 사이에 존재하는 선로 인덕턴스를 최소화 하는 기법이 요구되고, 스위칭 소자의 열적 스트레스를 유발하는 문제점이 있다.

본 논문에서는 이러한 문제점을 개선한 과전압 방지 스너버 회로를 제안한다. 제안한 스너버 회로는 안쪽 스위치에 발생하는 과전압도 효과적으로 경감시킬 수 있으며 스위칭 소자의 스위칭 타임을 제어하지 않으므로 스위칭 소자에 추가적인 열적 스트레스가 발생하지 않는다. 다이오드 클램프형 3-레벨 IGBT 인버터를 제작하여 제안한 스너버가 있는 경우와 없는 경우의 실험 파형을 비교하여 스너버의 효용성을 입증하였다.

2. 과전압 방지 스너버의 특성 분석

2.1 과전압 방지 스너버의 동작 원리

그림 1은 스텝-다운 DC-DC 컨버터의 등가 회로이다. 모든 소자는 이상적이고, 부하전류는 직류로 가정한다. 스위치 S가 온 되면 부하에 걸리는 전압이 $V_d[V]$ 가 된다. 스위치 S가 오프 되었을 때 부하전류는 환류다이오드 D_F 를 통하여 흐르고, 부하에 걸리는 전압은 $0[V]$ 가 된다. 그런데 그림 1의 선로 인덕턴스 L_l 이 존재하므로 스위치가 오프 되는 순간 스위치 S 양단에 과도한 전압상승을 유발하게 된다.

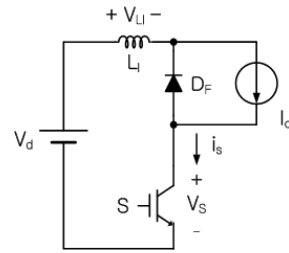


그림 1 스텝-다운 DC-DC 컨버터의 등가회로
Fig. 1 Equivalent circuit of step-down DC-DC converter

이 전압상승은 DC-링크단 전압 V_d 와 스위치 S사이를 연결하는 도선의 상태와 부하전류 I_o 의 크기에 따라 영향을 받게 되며 그 크기는

$$\Delta v_{L_l} = L_l \cdot \frac{di_s}{dt} [V] \quad (1)$$

와 같이 나타낼 수 있다.

이렇게 발생하는 과도한 전압상승을 억제하여 스위칭 소자를 정격전압 이내에서 안전하게 동작시키기 위하여 스너버 회로를 추가하는데 그림 2는 DC-DC 컨버터에 과전압 방지 스너버를 추가한 그림이다.^[12]

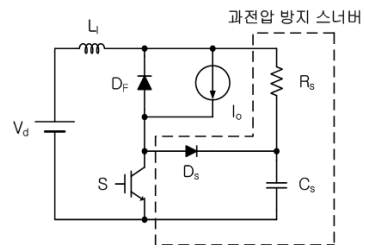


그림 2 과전압 방지 스너버가 추가된 DC-DC 컨버터
Fig. 2 DC-DC converter with overvoltage snubber

스너버 커패시터 C_s 의 전압은 전원전압과 동일하며, 스위치 S의 온, 오프 상태와 무관하게 입력 DC-링크 전압 V_d 를 유지한다. S가 오프 되는 순간 L_l 에 저장되어있던 에너지는 스너버 다이오드 D_s 를 통하여 C_s 에 저장 되고 L_l 에 흐르던 전류가 영전류가 되면 C_s 의 전압이 V_d 의 전압과 같아질 때까지 R_s 를 통해 방전하게 된다.

2.2 다이오드 클램프형 3-레벨 인버터에 과전압 방지 스너버 적용시 문제점

임의의 한 스위치 S에 과전압 방지 스너버를 적용

하기 위해서는 그림 2에서 나타낸 것처럼 스너버 구성 소자 R_S 와 C_S 의 양단 전압이 입력 DC-링크 전압 V_d 를 유지해야 한다. 다시 말해 스너버 동작이 완료한 정상상태에서 C_S 에 걸리는 전압은 V_d 와 동일하고, 병렬로 연결된 상태를 유지해야 스위칭 소자의 오프 시 발생하는 과전압에 의한 에너지만을 흡수·방전하여 불필요한 손실이 발생하지 않는 동작을 수행할 수 있다.

표 1과 그림 3에 다이오드 클램프형 3-레벨 인버터의 스위칭 상태와 그에 따른 출력전압을 나타내었다. 인버터의 출력전압이 준구형파가 되는 $0 \rightarrow P \rightarrow 0 \rightarrow N \rightarrow 0$ 의 시퀀스에서 $P \rightarrow 0 \rightarrow N$ 을 나타내었고, 부하전류는 직류로 가정하였다. 굵은 실선은 전류가 흐르는 경로를 나타내며 이상적인 스위칭 동작이 이루어진다면 각 스위칭 소자에 걸리는 전압은 $V_{C1}[V]$ 이거나 $V_{C2}[V]$ 이다.

표 1 출력 전압과 스위칭 상태
Table 1 Output voltage and switching state

스위칭 상태	S_1	S_2	S_3	S_4	출력 전압	비고
P	ON	ON	OFF	OFF	V_{C1}	그림 3(a)
0	OFF	ON	ON	OFF	0	그림 3(b)
N	OFF	OFF	ON	ON	$-V_{C2}$	그림 3(c)

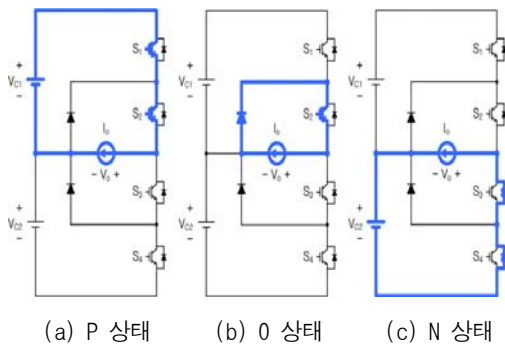


그림 3 다이오드 클램프형 3-레벨 인버터의 출력 상태
Fig. 3 Output state of Diode-clamped 3-level inverter

그림 4는 다이오드 클램프형 3-레벨 인버터에 과전압 방지 스너버를 적용할 경우 발생하는 문제점을 파악하기 위해 그림 3의 회로에 스너버 커패시터와 스너버 다이오드를 연결한 그림이다. 그림 4에서 굵은 실선은 전류의 흐름을 나타낸다. 그림 4(a)는 표 1의 P 상태를 나타낸 회로이다. S_3 과 S_4 의 스너버 커패시터의 연결점 E, F, G, H는 각각 스너버 저항을 통하여 입력단 DC-링크 전압 Pd, Od, Od, Nd에 연결되어야

2.1절에서 설명한 스위치의 턴 오프시의 에너지만을 중·방전하는 과전압 방지 스너버로서 동작을 수행할 수 있다. 또한 그림 4(b)의 0상태를 나타낸 회로를 살펴보면 S_1 의 스너버 커패시터의 연결점 A, B도 스너버 저항을 통하여 입력단 DC-링크의 Pd, Od에 연결되어야 과전압 방지 스너버로서 동작을 수행할 수 있다는 것을 알 수 있다. 이것은 Pd, Od점에 S_1 과 S_3 의 스너버 커패시터가 병렬로 연결된다는 것을 뜻하게 되고 이 경우 그림 4(c) N상태에서 S_1 과 S_3 의 스너버 커패시터에는 Pd-Nd간의 전압인 $2V_{C1}[V]$ 의 전압이 걸리게 되는 결과를 초래한다.

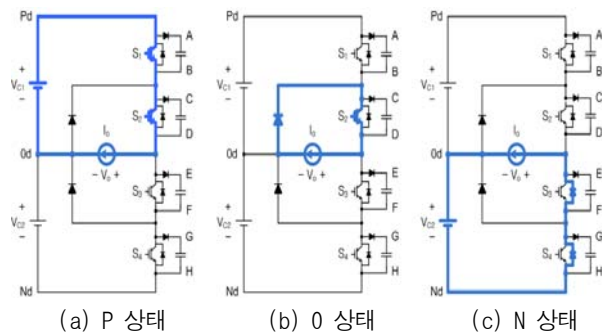


그림 4 스너버 커패시터와 다이오드가 연결된 회로
Fig. 4 Circuit diagram with snubber capacitor and diode

이렇게 되면 스위치에 $2V_{C1}$ 의 과전압이 인가될 뿐 아니라 스너버 커패시터 전압이 $2V_{C1}$ 에서 V_{C1} 으로 방전함에 따라 과다한 스너버 저항손실이 발생한다. 따라서 다이오드 클램프형 3-레벨 인버터는 스위칭 소자의 직렬 연결된 구조로 인하여 과전압 방지 스너버를 구성하기 힘든 문제점을 안고 있다.

3. 제안하는 스너버 회로의 동작 특성

3.1 제안하는 스너버 회로

2.2절에서 설명한 다이오드 클램프형 3-레벨 인버터에 과전압 방지 스너버를 적용할 경우 발생하는 문제점을 개선한 새로운 방식의 스너버를 제안하였다.

그림 5는 본 논문에서 제안하는 다이오드 클램프형 IGBT 3-레벨 인버터의 스너버 회로이다. 제안하는 스너버 회로에서는 S_2 와 S_3 의 턴 오프시 발생하는 과전압을 스너버 커패시터 C_S 가 흡수한 후 다이오드 D_S 에 의해 방전이 차단된다. 그리고 스위치 S_2 와 S_3 의 턴 온 시에 스너버 커패시터 C_S 에 저장된 에너지가 방전 되도록 하였다.

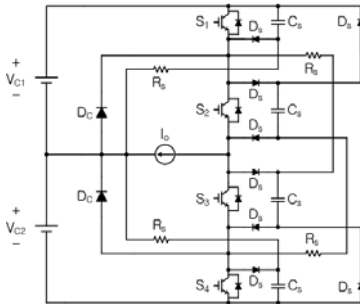


그림 5 제안하는 스너버 회로
Fig. 5 Proposed snubber circuit

3.2 제안하는 스너버 회로의 동작 설명

그림 6에 제안한 스너버 회로의 동작 특성을 모드별로 구별하여 표시하였다. 다이오드와 커패시터, 저항과 같이 스너버에 관련된 소자는 첨자 S를 붙여 표시하였다. 굵은 실선은 전류의 흐름을 나타내며 선로 인덕턴스 L_i 의 위치도 함께 표시하였다. 스위치 S_1 과 S_4 , S_2 와 S_3 은 스너버 동작 원리가 동일하기 때문에, 스위치 S_1 과 S_2 의 스너버 동작 특성을 설명하고, 이에 관계된 소자에만 첨자를 붙였다.

(a) 모드-1

모드-1에서 S_1 과 S_2 는 온이며 S_3 과 S_4 는 오프이다. 부하전류 I_0 는 굵은 실선을 실선호르며 인버터 출력과 S은 부하전[V]이며 P상태이다.

(b) 모드-2

모드-1에서 S_1 이 오프가 되고 S_3 이 온 되면 모드-2가 시작된다. L_{11} 에 저장된 에너지가 C_{S1} 에 저장되며 C_{S1} 의 전압을 상승시킨다. L_{11} 에 흐르는 전류가 영전류가 되면 모드-2가 종료된다.

(c) 모드-3

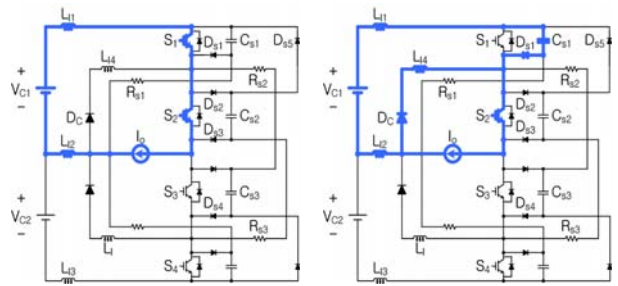
모드-3에서는 모드-2에서 상승한 C_{S1} 의 전압 $V_{C_{S1}}$ 이 V_{C1} 과 같아질 때 까지 R_{S1} 을 통하여 방전한다. 모드-3에서 S_1 의 스너버 동작이 종료된다.

(d) 모드-4

모드-3이 종료된 후 정상상태이다. 부하전류는 굵은 실선을 따라 클램핑 다이오드를 환류하며 흐른다. 인버터의 출력 전압은 0[V]이며 0상태이다.

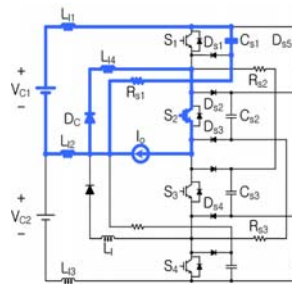
(e) 모드-5

이 모드에서는 S_2 가 오프 되고 S_4 가 온 된다. L_{14} 에 흐르는 부하전류 I_0 가 감소하면서 L_{14} 에 저장된 에너지는 C_{S2} 와 C_{S3} 을 충전시킨다. 대부분의 에너지는 C_{S2} 에 저장되며 C_{S2} 에 흐르는 전류가 영전류가 되면 모드-5가 종료된다. C_{S2} 의 상승한 전압은 스너버 다이오드 D_{S2} 와 D_{S3} 에 의해서 부동상태로 되며 S_2 에 걸리는 전압은 $V_{C_{S3}}$ 와 $V_{R_{S2}}$ 의 합이 된다.



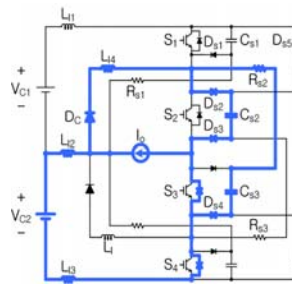
(a) 모드-1

(b) 모드-2



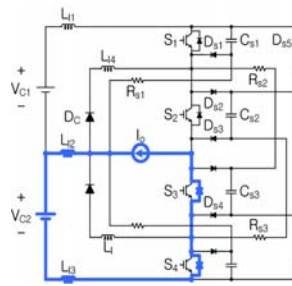
(c) 모드-3

(d) 모드-4



(e) 모드-5

(f) 모드-6



(g) 모드-7

(h) 모드-8

그림 6 제안한 스너버 회로의 동작 모드
Fig. 6 Operation mode of proposed snubber circuit

(f) 모드-6

모드-5가 종료된 후에도 스너버 저항 R_{S2} 에 의한 영향으로 C_{S3} 에 흐르는 전류가 존재하게 된다. 이 전류가 영전류가 되고 S_3 , S_4 를 통해 흐르는 전류가 I_0 가 되면 모드-6이 종료 된다. S_2 에 걸리는 전압은 V_{C1} 과 V_{C2} 의 합에서 V_{S1} 를 뺀 값이 된다.

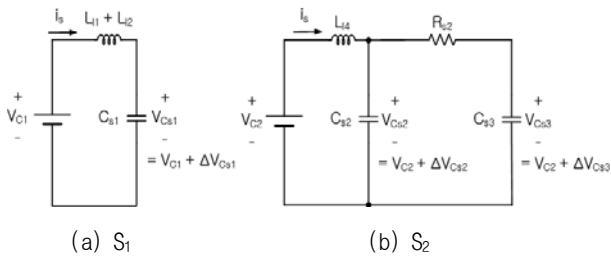


그림 7 S₁ 과 S₂의 스너버 동작 등가회로
Fig. 7 Equivalent circuit of snubber operation for S₁ and S₂

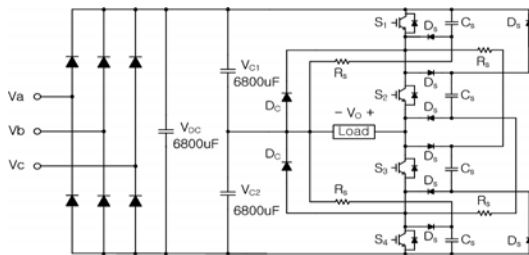


그림 8 실험 구성도
Fig. 8 System implementation for experiment

(g) 모드-7

S₃과 S₄는 온 상태이고 S₁과 S₂는 오프상태이다. 부하전류는 굵은 실선으로 흐르며 인버터의 출력 전압은 -V_{C2}[V]이고 N상태이다.

(h) 모드-8

S₄를 오프하고 S₂를 온하면 모드-8이 시작된다. 모드-8에서 C_{S2}에 저장된 에너지가 방전된다. 방전 경로는 그림의 굵은 실선과 같다. 모드-5에서 모드-8까지의 과정으로 S₂의 스너버 동작이 완료된다.

그림 7은 모드-1~8의 동작에 해당하는 등가회로를 나타낸 것이다. 그림 7(a)는 모드-1~3에 해당하며 7(b)는 모드-5~8에 해당한다.

4. 실험 결과

본 논문에서는 그림 8과 같은 3상 다이오드 정류기와 단상 하프브리지 3-레벨 IGBT 인버터 시스템을 구성하고, 스너버 회로가 없는 경우와 제안한 스너버 회로를 포함한 경우에 대하여 각 소자에 걸리는 전압 및 흐르는 전류를 측정하여 비교하였다.

4.1 실험 조건

그림 8의 시스템 파라미터는 표 2와 같으며 그림 8

표 2 시스템 파라미터
Table 2 System parameters

제어용 DSP	TI TMS320F2808
IGBT(S ₁ ~S ₄)	SEMIKRON SKM400 GB 124D
3상 정류기	SANREX DF40BA80
클램프 다이오드(D _C)	IXYS DSEI 2X61-12B
DC-Link 커패시터	6800 [uF]
스너버 다이오드(D _S)	FR 605
스너버 커패시터(C _S)	100 [nF]
스너버 저항(R _S)	20 [Ω]
부하(L)	17.5 [mH]
부하(R)	7 [Ω]

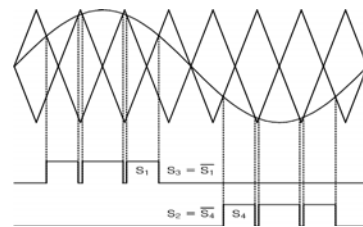


그림 9 스위칭 신호 발생
Fig. 9 Switching signal generation

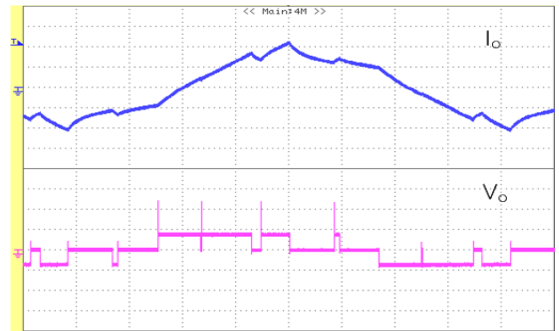
에서 V_{C1}과 V_{C2}는 각각 150[V]이고, IGBT S₁~S₄의 스위칭 주파수는 480[Hz]로 하였다. 스위칭 신호의 발생은 그림 9와 같은 SPWM방법을 사용하였다. 3-레벨 인버터를 구성하는 전력반도체 소자들의 스위칭시 발생하는 과전압 스트레스를 일정 레벨 이하로 제한하는 것이 주목적이기 때문에 피드백-루프 제어나 고조파 성분 제거를 위한 고주파 PWM은 사용하지 않았다.

4.2 실험 파형 비교

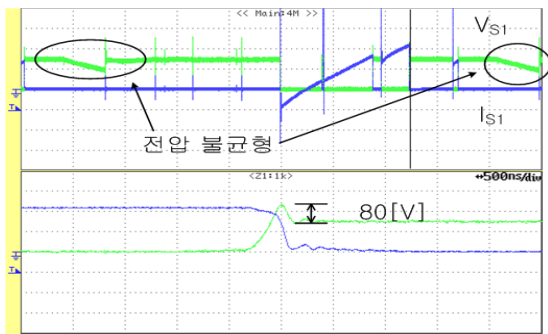
그림 10은 스너버 없는 인버터의 출력 파형이다. 그림 10에서 출력 파형의 전류와 전압의 스케일은 각 10[A/div.]과 100[V/div.]이며, 시간축의 스케일은 2[msec/div.]이다. 그림 10(b)와 그림 10(c)에서 윗부분 파형을 확대하여 나타낸 아래쪽 파형의 시간축 스케일은 500[nsec/div.]이다. 그림 10(b)와 그림 10(c)에 각 스위치가 오프 되어 있는 동안 스위치에 걸리는 전압과 스위치에 흐르는 전류의 파형을 나타내었다. 각 스위치의 턴 오프 시에 발생하는 과전압은 S₁에서 80[V], S₂에서 20[V]정도 발생하며, 또한 스위칭의 과도상태에서 스위칭 소자에 걸리는 전압을 균등하게 분배하지 못하는 것을 알 수 있다.



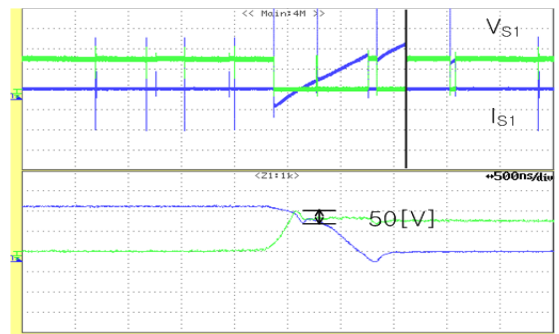
(a) 출력 전압과 부하 전류 파형



(a) 출력 전압과 부하 전류 파형



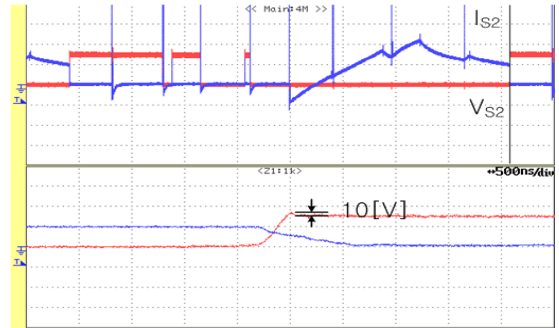
(b) S₁의 전압 및 전류 파형



(b) S₁의 전압 및 전류 파형



(c) S₂의 전압 및 전류파형



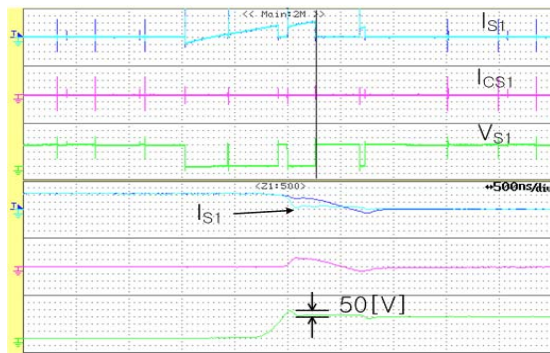
(c) S₂의 전압 및 전류파형

그림 10 스너버 없는 인버터의 출력 파형
Fig. 10 Inverter output waveform without snubber circuit

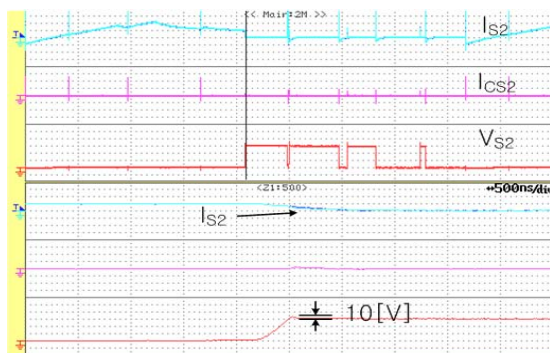
그림 11 스너버를 포함한 인버터의 출력 파형
Fig. 11 Inverter output waveform with proposed snubber circuit

그림 11은 제안한 스너버 회로를 추가한 인버터의 출력 파형이며 전류와 전압 스케일은 그림 10과 동일하다. 그림 11(b)과 그림 11(c)에서 스위치의 턴 오프 시 발생하는 과전압이 스너버가 없을 때 보다 S₁에서 30[V], S₂에서 10[V] 감소한 것을 알 수 있다. 특히 스위치의 오프 상태 시 걸리는 전압이 스위칭에 관계없이 일정하게 유지되고 있는 것을 알 수 있다.

그림 12에 스위치에 흐르는 실제 전류와 인가되는 전압파형 및 스너버 커패시터에 흐르는 전류 파형을 나타내었다. 스너버 회로를 연결하게 되면 스위치에 흐르는 전류값을 직접 측정할 수가 없기 때문에 스위치에 연결된 도선의 전류에서 스너버 커패시터로 흐르는 전류를 뺀 값이 스위치에 흐르는 전류라는 점을 이용하여 별도로 표시하였다.



(a) I_{S1} , I_{CS1} , V_{S1}



(b) I_{S2} , I_{CS2} , V_{S2}

그림 12 스위치 전압, 전류 및 스너버 커패시터 전류
Fig. 12 Voltage and current of switch, and snubber capacitor current

5. 결 론

본 논문에서는 다이오드 클램프형 3-레벨 IGBT 인버터에 적용 가능한 과전압 방지 스너버 회로를 제안하였다. 스탭-다운 DC-DC 컨버터에 적용한 과전압 방지 스너버 회로의 특성을 해석한 후 다이오드 클램프형 3-레벨 인버터에 적용 할 때의 문제점에 대하여 분석 하였고, 안쪽 스위칭 소자의 스너버 회로에 다이오드를 추가한 새로운 스너버 회로를 제안하였다. 제안한 스너버 회로는 바깥 스위칭 소자뿐만 아니라 안쪽 스위칭 소자에 발생하는 과전압 또한 효과적으로 경감시킨다. 특히 스위칭 소자의 직렬 연결된 구조로 인한 스너버 커패시터다이오드를 일정하게 유지 할 수 없는 문제를 개선하였는데, 이는 안쪽 스너버 회로에 스너버 다이오드를 추가하여 안쪽 스위칭 소자의 턴 오프 시 스너버 커패시터가 에너지를 흡수한 후 일정 전압을 유지하다가 해당 스위칭 소자의 턴 온 시에 만들어지는 경로를 이용하여 스너버 커패시터의 방전 경

로를 제공함으로써 과전압 방지 스너버와 동일한 동작을 하게 만든다.

다이오드 클램프형 3-레벨 IGBT 인버터를 제작하여 제안한 스너버가 있는 경우와 없는 경우의 스위칭 소자의 전압과 전류를 비교함으로써 제안한 방식의 효율성을 입증하였다. 제안한 스너버는 대용량 다이오드 클램프형 3-레벨 인버터에 적용 가능하며 특히 작은 선로 인덕턴스에서 큰 과전압을 발생 시킬 수 있는 대전류용의 인버터 시스템에서 스위칭 소자의 보호회로로 사용할 수 있다. 따라서 제안한 스너버 회로는 고압 대용량 다이오드 클램프형 3-레벨 인버터의 스위칭 소자 보호에 크게 기여할 것으로 기대된다.

본 연구는 지식경제부 대학전력연구센터 육성·지원사업(I-2007-0-261-001)에 의한 마이크로그리드연구센터 주관으로 수행된 과제임.

참 고 문 헌

- [1] A. Nabae, I. Takahashi, Akagi and Hirofumi, "A New Neutral-Point-Clamped PWM Inverter", *IEEE Trans. Ind. Applicat*, Vol 1A-17, pp. 518-523, 1981.
- [2] N.S. Choi, J.G. Cho and G.H. Cho, "A general circuit topology of multilevel inverter", *PESC '91 Record IEEE*, pp. 96-103, 1991.
- [3] T.A. Meynard and H. Foch, "Multi-level conversion: high voltage choppers and voltage-source inverters", *PESC '92 Record, 23rd Annual IEEE 29 June-3 July*, Vol. 1, pp. 397-403, 1992.
- [4] J.S. Lai and F.Z. Peng, "Multilevel converters - A new breed of power converters", *IEEE Trans. Ind. Applicat*, Vol. 32, pp. 509-517, 1996.
- [5] C. Dietrich, S. Gediga, M. Hiller, R. Sommer and H. Tischmacher, "A new 7.2kV medium voltage 3-Level-NPC inverter using 6.5kV-IGBTs", *PEA, 2007 European Conf*, pp. 1-9, 2007.
- [6] H. Miyazaki, H. Fukumoto, S. Sugiyama, M. Tachikawa and N. Azusawa, "Neutral-point-clamped inverter with parallel driving of IGBTs for industrial applications", *IEEE Trans. Ind*, Vol. 36, pp. 146-151, 2000.
- [7] Lan Zhiming, Li Chongjian, Zhu Chunyi and Wang Chengsheng, "Investigation on the 7.5MVA IGCT-based three-level NPC convertor", *IPEMC '09, IEEE 6th International*, pp. 1475-1478, 2009.

- [8] Tan Tian-yuan, Jiang ke, Jiang Qi-rong, Li Gang and Lai Yu-xiang, "An Improved McMurry Snubber for Three-level NPC IGBT Converter", *IPEC '07, 8th International Power Engineering Conference on 3-6 Dec 2007*, pp. 666-671, 2007.
- [9] S. Takizawa, S. Igarashi and K. Kuroki, "A New di/dt Control Gate Drive Circuit for IGBTs", *PESC Record, 29th Annual IEEE*, Vol. 2, pp. 1443-1449, 1998.
- [10] R. Sachdeva and E.P. Nowicki, "A novel gate driver circuit for snubberless, low-noise operation of high power IGBT", *IEEE CCECE 2002, Canadian Conf*, Vol. 1, pp. 212-217, 2002.
- [11] Jin-Hong Kim, Dong-Hyun Park, Jeong-Bin Kim and Bong-Hyun Kwon, "An Active Gate Drive Circuit for High Power Inverter", *ICPE '07*, pp. 127-131, 2007.
- [12] Mohan, Undeland, Robbins, "Power Electronics Media Enhanced Third Edition", *WILEY*, pp. 686-688, 2003.

저 자 소 개



정재현(鄭在憲)

1981년 10월 19일생. 2007년 부경대 공대 전기제어공학부 졸업. 2009년 부경대 대학원 전기공학과 졸업(석사). 2009년~현재 동 대학원 박사과정.



송웅협(宋雄俠)

1983년 6월 30일생. 2009년 부경대 공대 전기제어공학부 졸업. 2009년~현재 부경대 대학원 전기공학과 석사과정.



노의철(魯義哲)

1960년 8월 2일생. 1984년 서울대 공대 전기공학과 졸업. 1986년 한국과학기술원 전기 및 전자공학과 졸업(석사). 1991년 동 대학원 졸업(공학박). 1997년~1998년 미국 Univ. of Wisconsin-Madison 방문연구 교수. 2005년~2006년 미국 University of California-Irvine 방문 연구교수. 1995년~현재 부경대 전기제어공학부 교수. 당 학회 학술이사.



김인동(金仁東)

1960년 8월 27일생. 1984년 서울대 공대 전기공학과 졸업. 1987년 한국과학기술원 전기 및 전자공학과 졸업(석사). 1991년 동 대학원 졸업(공학박). 1991년~1996년 대우중공업 철도차량연구소 책임연구원. 1997년~1998년 미국 Univ. of Tennessee 방문연구교수. 2004년~2005년 미국 Virginia Tech 방문연구교수. 1996년~현재 부경대 공대 전기제어공학부 교수. 당 학회 기획이사.



김흥근(金興根)

1956년 4월 24일생. 1980년 서울대 전기공학과 졸업. 1982년 동 대학원 전기공학과 졸업(석사). 1988년 동 대학원 전기공학과 졸업(공학박). 1990년~1991년 미국 Univ. of Wisconsin-Madison 방문연구교수. 2006년~2007년 미국 Michigan State University 방문연구교수. 현재 경북대 전자전기공학부 교수. 당 학회 부회장.



전태원(全泰園)

1959년 1월 30일생. 1981년 부산대 전기공학과 졸업. 1983년 서울대 대학원 전기공학과 졸업(석사). 1987년 동 대학원 전기공학과 졸업(공학박). 1997년~1997년 Tennessee 대학 방문연구교수. 2005년~2006년 미국 Virginia Tech 방문연구교수. 현재 울산대 전기전자정보시스템공학부 교수. 당 학회 산학협동이사.



유동욱(兪東旭)

1959년 11월 3일 생. 1983년 성균관대 전기공학과 졸업. 1985년 연세대 대학원 전기공학과 졸업(석사). 1997년 성균관대 대학원 전기공학과 졸업(공학박). 2005년 Michigan State University 방문연구원. 현재 전기연구원 신재생에너지연구센터 책임연구원. 당 학회 학술이사.