130 nm CMOS 공정을 이용한 K-Band 주파수 분배기 설계

Design of K-Band Frequency Divider Using 130 nm CMOS Process

남상규 · 박득희* · 김성균 · 김병성

Sang-Kyu Nam · Deuk-Hee Park* · Seong-Kyun Kim · Byung-Sung Kim

요 약

본 논문에서는 K-Band에서 동작하는 1/2 주파수 분배기를 130 nm CMOS 공정을 이용하여 설계하고 제작한 결과를 보인다. 피드백 방식의 밀러 주파수 분배기는 20~25 GHz에서 동작하며 바이어스 전압 1.2 V에서 7.2 mW의 전력을 소모하고 코어 회로의 레이아웃 크기는 315×246 um^{2}이다. 밀러 주파수 분배기의 출력 신호를 2분주시키기 위한 CML(Current Mode Logic) 주파수 분배기는 8.5~13 GHz에서 동작하며 5.7 mW의 전력을 소모하고, 코어 회로의 레이아웃 크기는 91×98 um^{2}이다. 또한 두 주파수 분배기를 결합하여 20~25 GHz의 입력 신호가 4분주되어 출력됨을 확인하였다.

Abstract

In this paper, the design and implementation of K-Band frequency dividers using 130 nm CMOS process are presented. A Miller frequency divider is presented, which realizes a division range from 20 to 25 GHz with 7.2 mW power consumption from 1.2 V supply. The layout size of the core circuit is about 315×246 um^2. In addition, a CML frequency divider which divides the output signal of the Miller frequency divider is also presented, which realizes a division range from 8.5 to 13 GHz with 5.7 mW power consumption. The layout size of the CML core is about 91×98 um^2. Cascading the Miller and CML frequency dividers, we confirmed the divide-by-4 operation for the input signal from 20 to 25 GHz.

Key words : K-Band, CMOS, Regenerative Divider, Miller Frequency Divider, CML Frequency Divider

Ⅰ. 서 론

고속 통신 시스템에 사용하는 주파수 합성기는 주로 위상 고정 루프(Phased Locked Loop: PLL)를 사용하며, PLL은 높은 출력 주파수를 갖는 전압 조절 발진기와 주파수 분배기를 필요로 한다. 전압 조절 발진기의 출력 주파수는 공정, 바이어스 전압, 온도에 따라 변화하기 때문에 출력 주파수를 안정화시키기 위하여 주파수 분배기를 통하여 낮은 주파수로 떨어뜨리고 수정 발진기 같은 안정화된 기준 주파수와 비교하게 된다. PLL을 사용한 주파수 합성기에서 고주파 주파수 분배기의 성능이 전체 PLL의 성능에 큰 비중을 차지하고 있기 때문에 동작 주파수가 높으면서도 전력 소모가 적은 회로 설계에 대한 연구가 활발히 진행되고 있다[1]. 과거에는 mm파용 분배기를 설계하기 위해 SiGe 바이폴라 공정이나 Ⅲ-Ⅴ 공정을 이용하였지만, 최근 들어서는 CMOS 소자 기술의 발달에 의해 CMOS를 이용한 회로 설계가 활발히 진행되고 있다. 특히, 동작 주파수를 높이기 위해서 injection-locking 분배기, 밀러 주파수 분배기,

「이 연구는 지식경제부가 지원하는 국가연구개발사업인 "차세대성장동력기술개발사업"을 통해 수행되었습니다.」

「이 연구는 IDEC(IC Design Education Center)의 시뮬레이션 툴 지원을 통해 수행되었습니다.」

성균관대학교 정보통신공학부(School of Information and Communication Engineering, Sungkyunkwan University)

*삼성전기 중앙연구소 UM Solution Lab(R & D Center UM Solution Laboratory, Samsung Electro-Mechanics)

· 논 문 번 호 : 20090825-092

· 수정완료일자 : 2009년 10월 12일

CML(Current Mode Logic) 주파수 분배기가 주로 연구되고 있다[2]~[5]. 본 논문에서는 K-Band PLL의 초단 분배기로 밀러 주파수 분배기와 CML 주파수 분배기를 설계, 제작, 평가하였으며, 이를 이용하여 4분주 주파수 분배기를 제작한 결과를 제시한다.

Ⅱ. 본 론

2-1 밀러 주파수 분배기 설계

그림 1은 1939년 밀러(Miller)에 의해 제안된 주파수 분배기의 블록도를 나타내고 있다. 밀러 주파수 분배기는 하나의 주파수 혼합기와 대역 통과 필터로 구성되어진다. 주파수 혼합기는 입력 신호와 출력 신호를 혼합하고, 필터는 혼합기의 신호 중 원하지 않는 주파수 성분의 신호를 제거한다. 주파수 혼합기가 이상적이라고 한다면, 노드 X의 신호는 $f_0 - f_{out}$과 $f_0 + f_{out}$의 주파수 성분만 포함하게 된다. 필터에서 원하는 주파수 성분의 신호만 통과되어지고 주파수 분배 메카니즘은 아래와 같은 수식으로 표현되어진다.

$$f_0 - f_{out} = f_{out}, \quad f_{out} = \frac{f_0}{2} \tag{1}$$

식 (1)은 알맞은 위상과 이득 조건에서 $f_0/2$의 주파수 성분이 피드백 루프를 순환한다는 것을 나타내고 있다. 트랜지스터의 기생 커패시턴스가 대역 통과 필터에 합쳐지므로 이 구조는 고속 동작을 할 수 있으며, 고속 주파수 분배기 설계에 널리 이용되고 있다.

그림 2는 CMOS로 구현한 밀러 주파수 분배기의 회로도이다. 기본적인 double-balanced 주파수 혼합기 구조(Gilbert cell)에서 출력 신호를 트랜지스터 M_3~M_6 게이트에 연결하여 입력 신호(M_1, M_2)와 출력 신호가 혼합되도록 피드백 루프를 형성하였다. 또한, $f_0/2$의 신호가 통과할 수 있도록 인덕터와 트랜

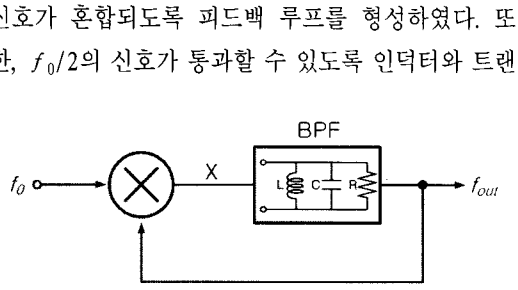


그림 1. 밀러 주파수 분배기의 블록도
Fig. 1. Block diagram of the Miller frequency divider.

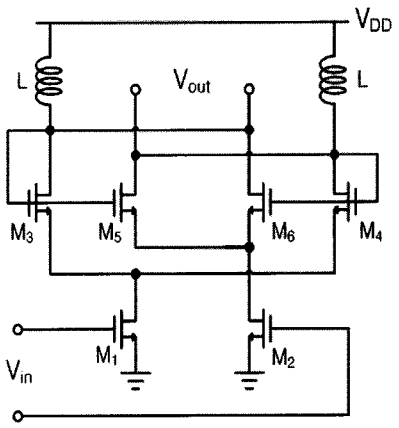


그림 2. 밀러 주파수 분배기의 회로도
Fig. 2. Schematic of the Miller frequency divider.

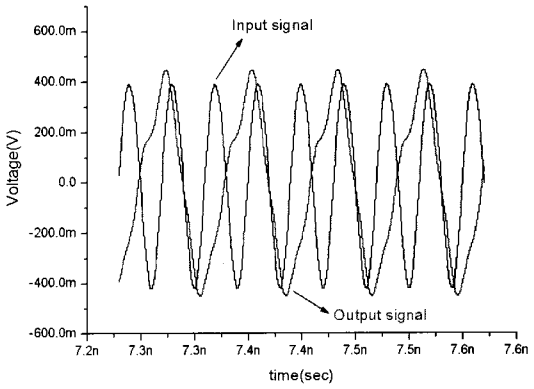


그림 3. 밀러 주파수 분배기의 시뮬레이션 결과(입력 신호는 25 GHz)
Fig. 3. Simulation results of the Miller frequency divider(25 GHz input signal).

지스터의 기생 캐패시턴스로 LC 탱크 회로를 구성하였다. 회로도에 나와 있는 2개의 인덕터는 레이아웃 크기를 고려하여 가운데 탭이 있는 하나의 인덕터로 시뮬레이션하여 설계하였으며, 트랜지스터 M_1과 M_2, M_3과 M_4, M_5와 M_6의 게이트 폭은 각각 32 um, 18 um, 60 um이다. 그림 3은 25 GHz의 입력 신호(진폭은 400 mV)를 인가하였을 때의 시뮬레이션 결과이며, 주파수가 2분주되는 것을 확인할 수 있다.

2-2 밀러 주파수 분배기 측정

그림 4는 동부 130 nm RF CMOS 공정을 이용하여 제작한 회로의 현미경 사진이다. 입력단은 SGS 패드를 사용하였으며, 출력단은 GSG 패드를 사용하

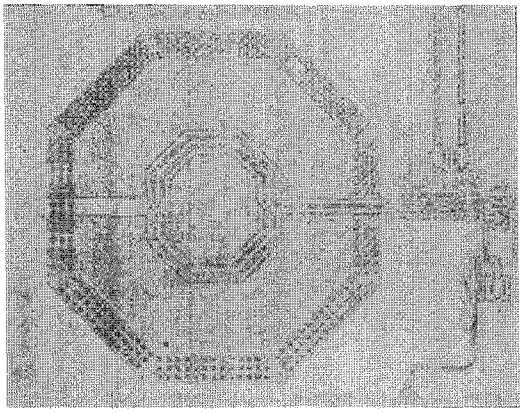


그림 4. 밀러 주파수 분배기의 칩 사진
Fig. 4. Chip micrograph of the Miller frequency divider.

였다. 밀러 주파수 분배기 코어 회로의 칩 사이즈는 315×246 um^{2}이고, VDD가 1.2 V일 때 전력 소모는 7.2 mW이다. 그림 5는 휴렛팩커드의 신호 발생기 8340B와 DC 전압공급기, 애질런트사의 스펙트럼 애널라이저 E4440A를 이용한 측정 셋업을 나타낸다. 신호 발생기와 주파수 분배기 사이에는 50 Ω 임피던스 정합 회로가 없기 때문에 임피던스 부정합이 발생한다. 시뮬레이션 결과 신호 발생기를 통하여 주파수 분배기 입력으로 전달되는 전력은 50 Ω 종단 상태와 비교하여 구동 전압이 5.5 dB 차이가 나는 것을 확인하였다. 이는 주파수 분배기 입력 임피던스가 높기 때문에 open 부하와 유사하여 입력단 전압이 입사 전압의 거의 두 배까지 올라가기 때문이다. 그림 6은 25 GHz의 입력 신호를 인가하였을 때 주파수가 2분주되어 출력된 결과이다. 밀러 주파수 분배기의 출력에 저항(5 kΩ)을 사용하여서 측정할 때 입력 임피던스가 50 Ω인 계측기의 로딩 효과를 받지 않도록 하였다. 따라서, 측정 결과는 100:1 전압 분배되어 40 dB 감소한다. 주파수 분배기 출력에 이상적 버퍼를 사용한다면 분배기의 출력은 약 −10 dBm이 될 것으로 판단된다. 또한, 측정 결과는 차동단의 한쪽 출력이므로 차동 출력은 전압 스윙이 2배 커져서 약 −4 dBm 정도 될 것으로 판단된다. 그림 7은 측정된 input sensitivity 그래프를 나타낸다. 일반적인 주파수 분배기의 결과처럼 "V" 곡선이며 23 GHz에서 가장 적은 입력 파워로 동작한다는 것을 확인하였다.

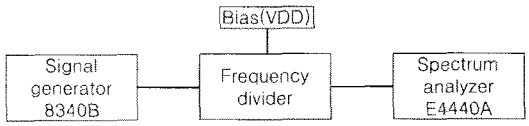


그림 5. 측정 셋업
Fig. 5. Measurement setup.

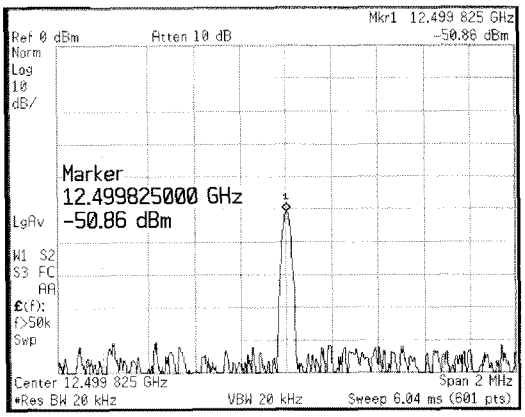


그림 6. 밀러 주파수 분배기의 25 GHz 입력 신호에 대한 출력 스펙트럼
Fig. 6. Output spectrum of the Miller frequency divider at 25 GHz input signal.

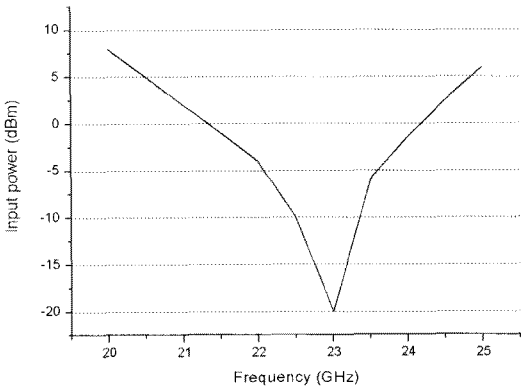


그림 7. 측정된 밀러 주파수 분배기의 input power sensitivity 그래프
Fig. 7. Measured input power sensitivity graph of the Miller frequency divider.

2-3 CML 주파수 분배기 설계

그림 8은 밀러 주파수 분배기 출력을 2분주시키기 위한 CML 주파수 분배기의 블록도를 나타내고 있다. 분배기는 반전된 슬래이브의 출력을 마스터의 입력에 연결시키는 고전적인 마스터-슬래이브 D-플

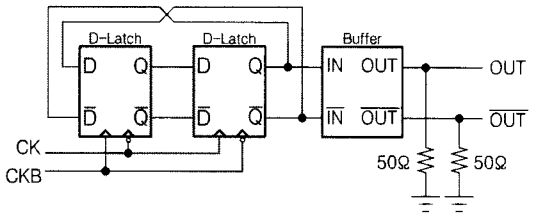


그림 8. CML 주파수 분배기의 블록도
Fig. 8. Block diagram of the CML frequency divider.

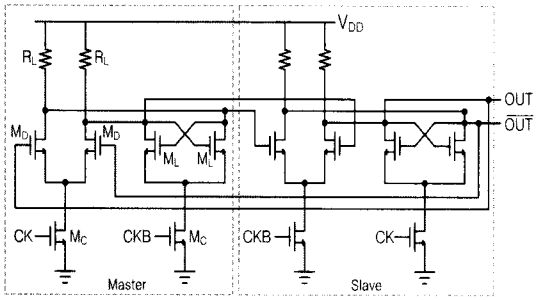


그림 9. CML 주파수 분배기의 회로도
Fig. 9. Schematic of the CML frequency divider.

립플롭의 구조로 구성되어 있다. 분배기의 차동 구조는 스위칭 잡음을 줄여주며 상당한 잡음 이득을 제공한다. 출력단은 밀러 분배기와 동일하게 저항을 이용한 전압 분배 회로를 사용하였다.

그림 9는 각각의 마스터-슬레이브 플립플롭을 CML로 표현한 회로도를 나타내고 있다. 각각의 마스터와 슬레이브는 드라이브 트랜지스터(M_D)와 래치 트랜지스터(M_L)로 구성되어 있다. 입력 신호는 CK와 CKB로 차동으로 들어오게 된다. CK가 high일 때는 드라이브 트랜지스터(Gm단)이 동작하게 되어, 저항값과 트랜지스터의 Gm에 의해 전체 이득이 정해지게 된다. 그 다음 CKB가 high일 때는 래치 트랜지스터가 동작하게 되어 드라이브 트랜지스터에서 나온 신호를 저장하게 된다. 이렇게 입력 신호의 한주기에 따라 한번은 출력 신호를 내보내고 한번은 신호를 저장하게 되어 입력이 두주기 동안 변할 때 출력이 한주기로 변하게 되어 주파수가 2분주 된다. CK와 CKB가 공통 모드로 그 값이 같고 입력 신호가 없으면 마스터와 슬레이브는 함께 동작하게 되고 신호는 두 래치를 통해 흐르게 되어 회로는 링 오실레이터처럼 동작하게 된다. 일반적으로, 높은 self-oscillation 주파수는 CML 주파수 분배기의 높은 동작 주파수를 결정하지만 이는 트랜지스터 사이즈에 의존하게 된다. 따라서 CML 주파수 분배기의 중요한 설계 이슈는 트랜지스터의 사이즈를 최적화하는 것과 레이아웃이다. 또한, 이는 회로의 동작 속도와 전력 소모를 결정하게 된다. 위와 같은 설계 사항을 고려한 시뮬레이션 결과, 드라이브와 래치 트랜지스터(M_D와 M_L)의 게이트 폭은 6 um이고, 전류원 트랜지스터(M_C)의 게이트 폭은 16 um이며, 로드 저항(R_L)은 390 Ω이다. 그림 10은 13 GHz의 입력 신호(진폭은 400 mV)가 인가되었을 때의 시뮬레이션 결과이며, 주파수가 2분주되는 것을 확인할 수 있다.

2-4 CML 주파수 분배기 측정

그림 11은 동부 130 nm RF CMOS 공정을 이용하여 제작한 회로의 현미경 사진이다. 입력단은 SGS 패드를 사용하였으며, 출력단은 GSG 패드를 사용하였다. 밀러 주파수 분배기 코어 회로의 칩 사이즈는 91×98 um^2이고, VDD가 1.2 V일 때 전력 소모는 5.7 mW이다. 그림 12는 출력 신호를 측정한 결과이며, 밀러 주파수 분배기와 마찬가지로 저항 버퍼를 통해 100:1 분배된 것을 고려하면, 이상적 버퍼를 사용할 경우 실제 코어의 차동 출력 전력은 −4 dBm 정도 될 것으로 판단된다. Input power sensitivity를 그림 13에 나타내었는데 일반적인 "V" 곡선이며, 11 GHz에서 가장 적은 입력 파워로 동작한다는 것을 확인하였다.

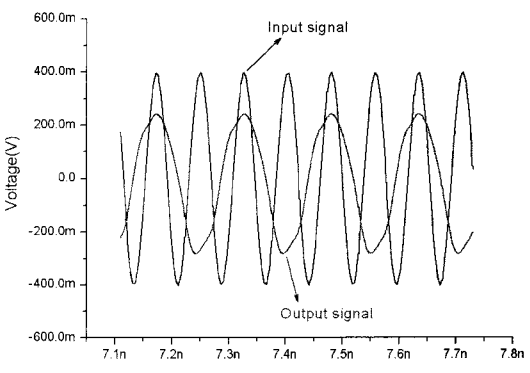


그림 10. CML 주파수 분배기의 시뮬레이션 결과 (입력 신호는 13 GHz)
Fig. 10. Simulation results of the CML frequency divider(13 GHz input signal).

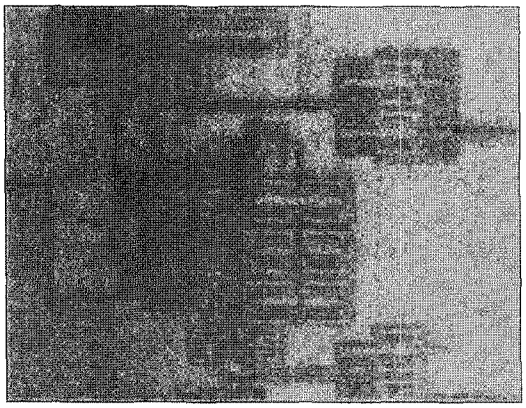


그림 11. CML 주파수 분배기의 칩 사진
Fig. 11. Chip micrograph of the CML frequency divider.

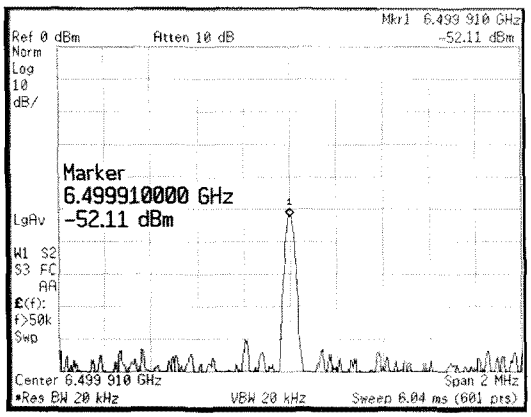


그림 12. CML 주파수 분배기의 13 GHz 입력 신호에 대한 출력 스펙트럼
Fig. 12. Output spectrum of the CML frequency divider at 13 GHz input signal.

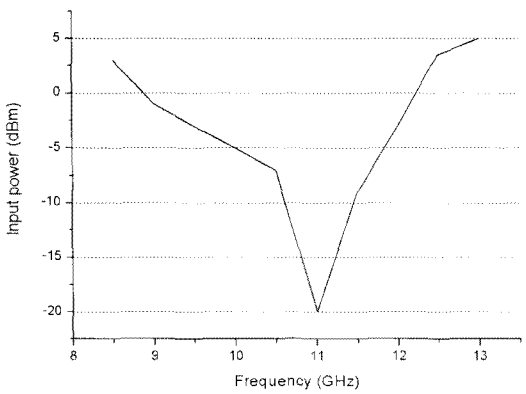


그림 13. 측정된 CML 주파수 분배기의 input power sensitivity 그래프
Fig. 13. Measured input power sensitivity graph of the CML frequency divider.

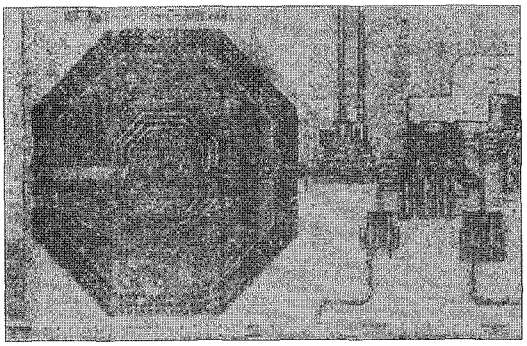


그림 14. 결합된 밀러와 CML 주파수 분배기의 칩 사진
Fig. 14. Chip micrograph of cascaded Miller and CML frequency divider.

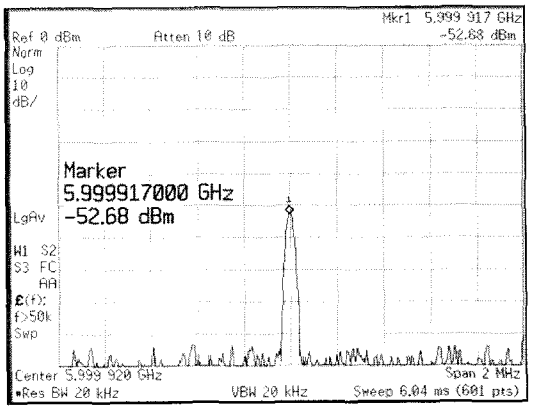


그림 15. 결합된 밀러와 CML 주파수 분배기의 24 GHz 입력 신호에 대한 출력 스펙트럼
Fig. 15. Output spectrum of cascaded Miller and CML frequency divider at 24 GHz input signal.

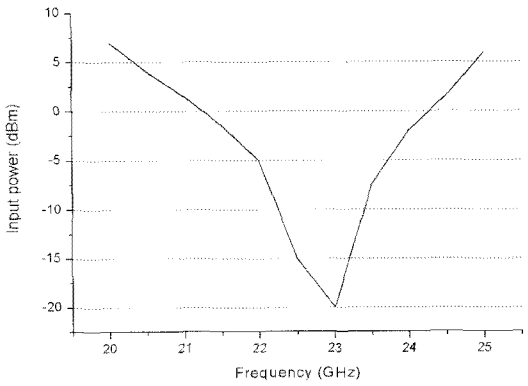


그림 16. 결합된 밀러 주파수 분배기와 CML 주파수 분배기의 input power sensitivity 그래프
Fig. 16. Input power sensitivity graph of cascaded Miller frequency divider and CML frequency divider.

2-5 결합된 밀러 주파수 분배기와 CML 주파수 분배기

그림 14는 앞서 설계한 밀러 주파수 분배기와 CML 주파수 분배기가 결합된 회로의 현미경 사진이다. 그림 15는 24 GHz의 신호를 인가하였을 때, 4분주된 결과를 나타낸 것이며, 이를 통해 밀러 분배기의 출력이 CML 분배기를 충분히 구동하고 있음을 확인할 수 있다. 그림 16에 측정된 input sensitivity 그래프를 나타내었고, 20~25 GHz에서 5 dBm 이하의 입력 파워로 동작하는 것을 확인할 수 있다.

Ⅲ. 결 론

본 논문에서는 130 nm RF CMOS 공정을 이용하여 밀러 주파수 분배기와 CML 주파수 분배기를 설계하고 제작하였다. 측정 결과 밀러 주파수 분배기는 20~25 GHz에서 동작하며 7.2 mW의 전력을 소모한다. 밀러 주파수 분배기의 출력 주파수를 2분주하기 위한 CML 주파수 분배기는 8.5~13 GHz에서 동작하며 5.7 mW의 전력을 소모한다. 또한 두 주파수 분배기를 결합하여 20~25 GHz의 입력 신호가 4분주됨을 확인하였다. 이를 통해, 개발된 주파수 분배기는 K-Band CMOS PLL의 초단 분배기로 사용가능할 것으로 판단된다.

참 고 문 헌

[1] J. Lee, B. Razavi, "A 40-GHz frequency divider in 0.18-um CMOS technology", *IEEE J. Solid-State Circuits*, vol. 39, no. 4, pp. 594-601, Apr. 2004.

[2] M. Wetzel, L. Shi et al., "A 26.5 GHz silicon MOSFET 2:1 dynamic frequency divider", *IEEE Microw. Guided Wave Lett.*, vol. 10, no. 10, pp. 421-423, Oct. 2000.

[3] C. Cao, K. O. Kenneth, "A power efficient 26-GHz 32:1 static frequency divider in 130-nm bulk CMOS", *IEEE Microw. Wireless Compon. Lett.*, vol. 15, no. 11, pp. 721-723, Nov. 2005.

[4] Y. Mo, E. Skafidas et al., "A 40 GHz power efficient static CML frequency divider in 0.13-um CMOS technology for high speed millimeter-wave wireless system", *ICCSC 2008*, pp. 812-815, May 2008.

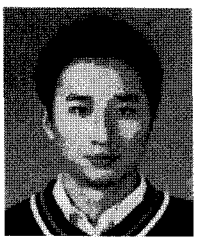
[5] J. -O. Plouchart, K. Kim et al., "A power_efficient 33 GHz 2:1 static frequency divider in 0.12-um SOI CMOS", *2003 IEEE RFIC Symposium*, pp. 329-332, Jun. 2003.

[6] R. L. Miller, "Fractional-frequency generators utilizing regenerative modulation", *Proc. Inst. Radio Eng.*, vol. 27, pp. 446-457, Jul. 1939.

[7] H. -D. Wohlmuth, D. Kehrer, "A high sensitivity static 2:1 frequency divider up to 19 GHz in 120 nm CMOS", *2002 IEEE RFIC Symposium*, pp. 231-234, Jun. 2002.

[8] B. Razavi, *RF Microelectronics*, Prentice-Hall, pp. 290-295, 1998.

남 상 규



2007년 2월: 강남대학교 전자공학과 (공학사)
2008년 3월~현재: 성균관대학교 정보통신공학부 석사과정
[주 관심분야] RF 집적회로 설계, 고속 소자 모델링

박 득 희

2000년 2월: 건국대학교 전자공학과 (공학사)
2009년 8월: 성균관대학교 이동통신공학과 (공학석사)
2000년 2월~현재: 삼성전기 중앙연구소 UM Solution Lab 연구원
[주 관심분야] 아날로그 집적회로 설계

김 성 균

2007년 2월: 성균관대학교 정보통신공학부 (공학사)
2009년 2월: 성균관대학교 정보통신공학부 (공학석사)
2009년 3월~현재: 성균관대학교 정보통신공학부 박사과정
[주 관심분야] RF 집적회로 설계, 고속 소자 모델링

김 병 성

1984년 2월: 서울대학교 전자공학과 (공학사)
1991년 2월: 서울대학교 전자공학과 (공학석사)
1997년 2월: 서울대학교 전자공학과 (공학박사)
1997년 3월~현재: 성균관대학교 정보통신공학부 교수
[주 관심분야] RF 집적회로 설계, 고속 소자 모델링