

# 광대역 위상 배열 안테나의 빔 편이(Beam-Squint) 현상 제거를 위한 4-Bit 시간 지연기 설계

## Design of 4-Bit TDL(True-Time Delay Line) for Elimination of Beam-Squint in Wide Band Phased-Array Antenna

김상근 · 정민길 · 김수범 · 나형기 · 김세영\* · 성진봉\* · 백승훈

Sang-Keun Kim · Min-Kil Chong · Su-Bum Kim · Hyung-Gi Na · Se-Young Kim\* ·  
Jin-Bong Sung\* · Seung-Hun Baik

### 요 약

본 논문에서는 전기적으로 크기가 큰 능동 위상 배열 안테나에서 발생하는 빔-편이(beam-squint) 현상을 해결할 수 있는 시간 지연기를 설계 및 제작하고, 측정 결과를 고찰한다. 시간 지연기는 4-bit 스위치로 제어되는 마이크로스트립 라인으로 설계되었으며, 시간 지연 구조의 손실을 보상해 주기 위해 송수신 경로에 MMIC 증폭기 모듈을 추가하였다. 시간 지연기의 측정을 통해 지연 상태별 이득 및 위상, P1dB, 수신 잡음 지수 등의 전기적 성능 규격을 만족함을 확인하였다. 또한, 제작된 시간 지연기의 성능 검증을 위해 측정 결과를 광대역 능동 위상 배열 안테나에 적용하여 빔 패턴 보정 효과를 확인하였다. X 밴드 대역에서 800 MHz 대역차를 갖는 675.8 mm 크기의 안테나에 대해 빔 편이 현상을 보정해 본 결과  $\pm 1^\circ$  이던 주파수에 따른 조향각 오차가  $\pm 0.1^\circ$  이내로 줄어드는 효과를 확인하였으며, 향후 광대역 능동 위상 배열 안테나 시스템에 적용 가능성을 확인하였다.

### Abstract

In this paper, we have designed TDL(True-time Delay Line) for eliminating beam-squint occurring in active phased array antenna with large electrical size operated in wide bandwidth, and have tested its electrical performance. The proposed TDL device is composed of 4-bit microstrip delay line structure and MMIC amplifier for compensation of the delay-line loss. The measured results of gain and phase versus delay state satisfy the electrical requirements, also P1dB output power and noise figure meet the requirement. To verify the performance of fabricated TDL, we have simulated the beam patterns of wide-band active phased array antenna using the measured results and have certified the beam pattern compensation performance. As a result of simulated beam pattern compensation with respect to the 675.8 mm size antenna which is operated in X-band, 800 MHz bandwidth, we have reduced the beam squint error of  $\pm 1^\circ$  with  $\pm 0.1^\circ$ . So this TDL module is able to be applied to active phase array antenna system.

Key words : True-Time Delay Line, Phased-Array Antenna, Beam-Squint

### I. 서 론

최근의 능동 위상 배열 안테나 기술은 높은 이득

을 얻기 위해 TR 모듈 수를 늘림에 따라 안테나의 크기가 커짐과 동시에, 신호 처리 효율을 높이기 위해 넓은 대역폭을 동시에 필요로 하고 있다. 하지만

「본 논문은 국방과학연구소 주관 사업의 일환으로 연구되었음.  
LIG 넥스원 초고주파연구센터(LIG NEX1 Microwave R&D Lab.)

\*국방과학연구소(Agency for Defense Development)

· 논문 번호 : 20090714-065

· 수정완료일자 : 2009년 10월 9일

크기가 큰 안테나를 사용하여 광대역에서 빔 조향을 하는 경우에 주파수에 따른 위상 지연값이 달라지게 되며, 이런 경우 빔 조향각이 주파수에 따라 틀어지게 되는 빔-편이(beam squint) 현상이 나타나게 된다<sup>[1]</sup>. 빔-편이 현상은 안테나 크기가 크고, 빔 조향각이 크며, 넓은 순시 대역폭을 사용할수록 크게 나타나며, 레이다 타겟의 식별 능력을 높이기 위해 광대역의 순시대역폭 신호를 사용하는 영상 레이다 시스템 등에서 매우 중요한 문제로 다루어지고 있다.

이러한 빔-편이 현상을 제거하기 위한 방법으로 시간 지연기(True-time Delay Line: TDL)를 사용하여 주파수에 따른 위상차를 시간 지연을 통해 보상해 주는 방법이 사용된다. 시간 지연기를 만드는 방법으로는 다음과 같은 것들이 있다. 첫째, 모듈의 크기가 작고 여러 주파수 대역에서 응용이 가능하다는 장점을 가지고 있는 광변환 방식이 있다<sup>[2],[3]</sup>. RF 신호를 광신호로 변환하여 시간 지연을 주고, 다시 RF 신호로 변환하여 안테나를 통해 방사하는 방식이다. 둘째, RF 전송선 상에 다른 매질의 MEMS(Micro-Electromechanical System) 스위치를 추가하여, RF 신호의 군속도를 제어하여 시간 지연을 주는 방식이 있다<sup>[4]</sup>. 이 방법은 손실이 작다는 장점을 가진다.

본 논문에서는 실제 광대역의 위상 배열 레이다를 구현하는데 사용이 용이한 마이크로스트립 라인과 스위치를 사용한 구조의 시간 지연기를 설계하고 제작 시험한다. 제안하는 시간 지연기는 신뢰성 높고, 다른 능동 RF 소자들과 연동성이 좋은 시간 지연 모듈을 제작하기 위해 마이크로스트립 타입을 선정하였고, 전송선과 스위치로 인한 손실을 보상해 주기 위해 송수신 경로상에 MMIC 증폭기를 장착하였다. 또한, 제작된 시간 지연기의 측정 데이터를 토대로 광대역에서의 빔 패턴 보정을 수행함으로써, 능동 위상 배열 안테나에 적용 가능성을 확인한다.

## II. 빔-편이(Beam-Squint) 현상

안테나 개구면이 일정 크기 이상을 가지는 대형 위상 배열 레이다의 경우, 광대역 순시 대역폭을 사용하여 빔 조향을 하게 되면 파장에 따라 위상 지연값이 달라지게 되므로, 주파수에 따라 빔 조향각이 틀어지는 현상이 나타난다. 이 현상을 빔-편이(beam-

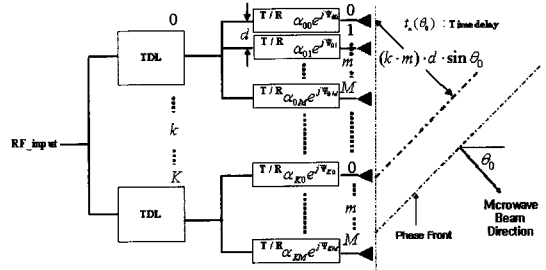


그림 1. 시간 지연기가 포함된 위상 배열 안테나 시스템 개념도

Fig. 1. Schematic of phased array antenna system with TDL.

squint) 현상이라 하며, 시간 지연기(TDL: True time Delay Line)를 사용하여 보정이 가능하다.

그림 1은 본 논문에서 제안하는 시간 지연기를 사용하여 빔 편이현상을 제거하는 위상 배열 안테나 시스템의 구성도이다. 개별 TR 모듈 각각을 선형적으로 완전히 보상하기는 힘들기 때문에,  $M$ 개 TR 모듈 단위로 묶어서 단계별로 보상해 주는 방식을 사용하였다.  $\theta_0$ 만큼 빔 조향을 했을 때, 안테나의 물리적 크기가 커짐에 따라 각 배열소자에서 복사면까지의 거리가 길어지고, 이 거리에 대해 운용 주파수에 따른 전파의 시간 지연 차이가 발생하게 되므로 빔 조향 각도에 조향 오차가 발생하게 된다. 주파수에 따른 빔 조향 편이 현상을 수식적으로 풀어보면 다음과 같다. 우선,  $(K+1)$ 개의 TDL을 사용하고,  $(M+1)$ 개 단위로 위상 변위 기능이 있는 TR 모듈을 사용하여 빔 조향을 할 경우, 각 위상값과 조향각에 대한 Far-field는 식 (1)과 같다. 여기서  $d$ 는 복사 소자 간격,  $\psi_{km}$ 은 각 복사 소자의 위상,  $\lambda$ 는 파장이고,  $k$ 와  $m$ 은 정수이다<sup>[1],[5]</sup>.

$$E(\theta, t) = \sum_{k=0}^K \sum_{m=0}^M a_{km} \exp(i\omega t) \cdot \exp\left\{i\left(\psi_{km} + (k \cdot m) \frac{2\pi d}{\lambda} \sin \theta\right)\right\} \quad (1)$$

위 식에서  $\theta_0$  방향으로 빔 조향을 하기 위해서는 식 (1)의  $\psi_{km}$ 은 다음 식 (2)일 조건이 필요하다.

$$\psi_{km} = -(km) \frac{2\pi}{\lambda} d \sin \theta_0 = -(km) \frac{\omega}{c} d \sin \theta_0 \quad (2)$$

식 (2)에서 조향각  $\theta_0$ 에 대한 위상 변화량을 계산하면 식 (3)과 같다.

$$\frac{\Delta \Psi_{km}}{\Delta \theta_0} = -(km) \frac{2\pi}{\lambda} d \cos \theta_0 \quad (3)$$

식 (2)에서 각속도  $\omega$  에 대한 위상 변화량을 계산하면 식 (4)와 같다.

$$\frac{\Delta \Psi_{km}}{\Delta \omega} = -\frac{km}{c} d \sin \theta_0 \quad (4)$$

식 (3)과 (4)에서 순시 대역폭에 대한 빔 조향각의 변화량을 수식으로 유도해 보면, 식 (5)의 결과를 얻는다. 이로부터 중심 주파수에 대한 대역폭의 변화량에 따라 빔 조향 각도가 변한다는 것을 알 수 있다.

$$\Delta \theta_0 = \tan \theta_0 (\Delta \omega / \omega) \quad (5)$$

또한, 그림 1의 빔 조향에 따른 위상차를 지연시간으로 변환해 보면 식 (6)과 같으며,  $\nu_m$ 을 delay line에서의 군속도로 정의하면,  $km$ 번째 모듈에 요구되어지는 시간 지연 선로의 길이를 식 (7)과 같이 유도할 수 있다.

$$t_{km}(\theta_0) = (km) \frac{d \sin \theta_0}{c} \quad (6)$$

$$L(\theta_0) = (km) \frac{d \sin \theta_0}{c} \nu_m \quad (7)$$

### III. 시간 지연기 설계

본 논문에서 제안하는 시간 지연기의 상세 설계 항목과 전기적 목표 규격은 표 1과 같다. 가변 지연선은  $1 \lambda, 2 \lambda, 4 \lambda, 8 \lambda$ 의 총 4비트로 제어되도록 설계되었으며, 시간 지연 라인과 RF 스위치로 인한 손실을 보상해 주기 위해 RF 구동 증폭기를 추가한 구조로 설계하였다. 표 1의 7번의 시간 지연선의 위상 오차는 운용 대역의 중심 주파수에서 시간 지연선을 거치지 않은 위상값 대비 각 시간 지연 상태의 위상값으로 정의하였다. 표 2에는 시간 지연기의 송수신 경로별로 상세 버짓 설계 결과를 나타내었다. 시간 지연선의 15개 상태에 따라서 삽입 손실의 차이가 발생하므로, 최대값과 최소값을 팔호로 구분하여 표기하였다. 송수신 이득과 수신 잡음 지수, 송신 P1dB 값이 모두 규격을 만족하는 것을 확인할 수 있다.

시간 지연기의 RF부에 대한 구성도는 그림 2와

표 1. 시간 지연기 전기적 성능 규격

Table 1. The specification of TDL.

항 목	목표 규격
1. 동작 주파수	Fc±400 MHz
2. 송수신 이득(0-state)	10 dB ±2 dB
3. 송신 P1dB 출력	>+23 dBm
4. 수신 잡음 지수	<12.5 dB
5. 스위칭 시간	<100 ns
6. 시간 지연 가변	4-bit 마이크로 스트립 선로
7. 시간 지연 상태별 위상 오차	±10°
8. 시간 지연 상태별 이득 오차	<4 dB(중심 주파수에서 $1 \lambda \sim 15 \lambda$ 간)

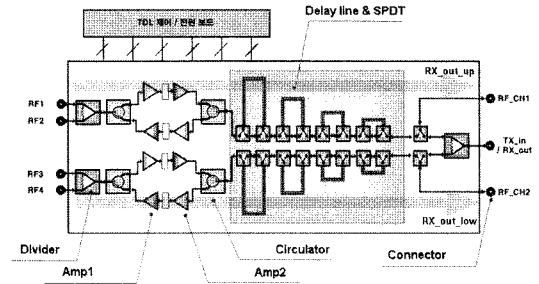


그림 2. 시간 지연기 RF부 구성도

Fig. 2. Block diagram of TDL RF section.

같다. 송신시 입력은 한 개의 포트이고, 출력은 RF1 ~ RF 4의 4포트로 분배되어 각 단위 안테나로 연결되는 구조이며, 하나의 시간 지연기로 두 가지 경로로 시간 지연차를 주는 것이 가능하다. 수신시에는 송신의 역방향 경로로 작동하며, 모노펄스 구현을 위해 RF\_CH1/ RF\_CH2 두 개의 수신 출력 포트를 추가하였다. 그리고 송수신 경로 분리를 위해 써큘레이터를 사용하였으며, 각 송수신 경로의 증폭단에 온도 보상을 위해 온도에 따른 감쇄 변화 기능이 있는 온도 보상 패드를 장착하였다. 4가지 시간 지연선에 대해 4-Bit 제어로 가변하기 위해 SPDT 스위치를 8개 사용하였다. RF 회로들은 바닥 면에 있는 전원/제어 보드에 의해 제어된다. 또한, 송수신시 10 dB 이득의 요구 규격을 맞추기 위해 표 2에서와 같이 12 dB와 25 dB의 이득을 갖는 두 개의 증폭기를 사용하였다.

그림 3은 설계된 각 지연 경로에 대한 가변 지연선의 레이아웃을 나타낸다. 가변 지연선은 10 mil 두

표 2. 시간 지연기의 채널당 버짓 설계  
Table 2. Power budget of TDL.

Component	수신 경로		송신 경로		
	Gain (dB)	NF (dB)	Component	Gain (dB)	Cumulative P1dB (dBm)
Input	0	0	Input	0	12.7
Connector	-0.5	0.5	Connector	-0.5	12.2
Divider	-3.5	3.5	Divider	-3.5	8.7
Circulator	-1.5	1.5	SPDT(x4)	-5.6	3.1
AMP1	12	4	Delay Line(All state)	-1(-3)	2.1
AMP2	25	5.6	SPDT(x4)	-5.6	-3.5
Thermal PAD	-3	3	Circulator	-1.5	-5
Circulator	-1.5	1.5	Thermal PAD	-3	-8
SPDT(x4)	-5.6	5.6	AMP2	25	17
Delay Line(All state)	-1(-3)	1(3)	AMP1	12	29
SPDT(x4)	-5.6	5.6	Circulator	-1.5	27.5
Divider	-3.5	3.5	Divider	-3.5	24
Connector	-0.5	0.5	Connector	-0.5	23.5
RX Total	10.8(8.8)	9.82(9.84)	TX Total	10.8(8.8)	23.5

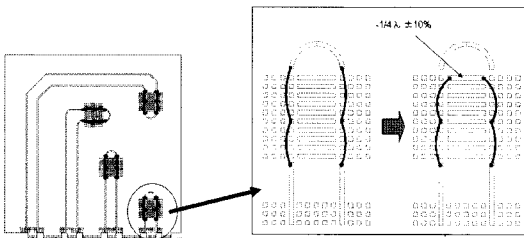
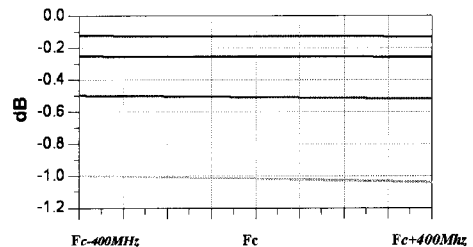
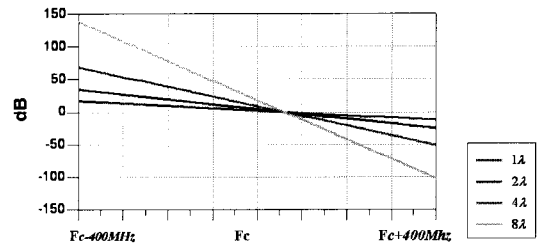


그림 3. 마이크로스트립 가변 지연 선로 설계 레이아웃  
Fig. 3. Layout of variable microstrip delay line.

계를 갖는 유전율 9.6의 Alumina 기판을 사용하여 설계하였으며, 운용 대역의 중심 주파수에 해당하는 전기적 길이를 기준으로  $1\lambda$ ,  $2\lambda$ ,  $4\lambda$ ,  $8\lambda$ 에 해당하는 RF 전송선을 설계하였다. 전송선의 길이는 식 (7)을 통해 마이크로스트립 기판의 유효 유전율( $\epsilon_e$ )과 중심 주파수( $f_c$ )를 통해 구할 수 있고, 상호간 간섭 현상에 대한 영향을 고려하기 위해 ADS의 Momentum 시뮬레이션을 통해 최적화를 수행하였다<sup>[6]</sup>. 최적화된 시뮬레이션 결과는 그림 4에 지연 상태에



(a) 시간 지연 선로 손실 시뮬레이션 결과  
(a) Simulation of TDL insertion loss



(b) 시간 지연 선로 위상 시뮬레이션 결과  
(b) Simulation of TDL phase

그림 4. 마이크로스트립 가변지연선 시뮬레이션 결과  
Fig. 4. Simulation of variable microstrip delay line.

따라 이득과 위상을 비교하여 나타내었다. 지연 길이가 길수록 이득이 감소하며, 주파수에 따른 위상 기울기가 커짐을 확인할 수 있다.

$$\lambda = \frac{c}{f_c \epsilon \epsilon_r} \quad (8)$$

또한, 가변 지연 상태간의 위상 오차를 최소화하기 위해 그림 3과 같은 전송선 주변으로 Island 패턴(와이어 본딩 튜닝을 위한 패드)을 형성하고, 와이어 본딩으로 길이를 조절하여 미세한 위상 튜닝이 가능하도록 설계하였다.

#### IV. 시간 지연기 제작 및 시험

##### 4-1 제작

제작된 시간 지연기는 그림 5에 나타내었다. 크게 전원 제어 모듈과 RF 모듈로 구분되고, RF부는 다시 구동 증폭기부와 마이크로스트립 가변 지연 선로부로 나뉜다. 각 MMIC 소자 및 RF 기판 소자들은 단위 블록 단위로 KOVAR 재질의 캐리어 위에 장착되고, 단품 성능 시험을 마친 후에 최종 하우징에 장착하였다. RF 모듈 아래쪽에 위치한 전원 제어부로부터 제어 신호와 전원을 공급받기 위해 수직으로 관통하는 형태의 커넥터를 사용하였으며, 와이어 본딩을 사용하여 연결하였다. 제어용 커넥터는 Micro-D type의 커넥터를 채용하였다.

##### 4-2 시험 결과

위와 같이 제작된 시간 지연기의 전기적 성능을 시험한 결과, 표 1에서 언급한 전기적 성능 요구 규격 이상의 결과를 얻을 수 있었다. 그림 6~7은 벡터

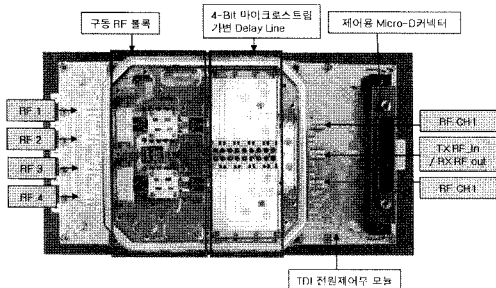
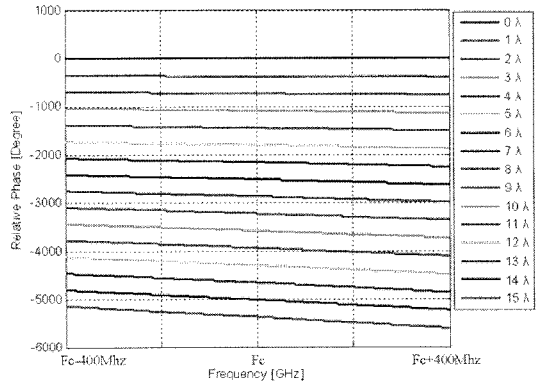
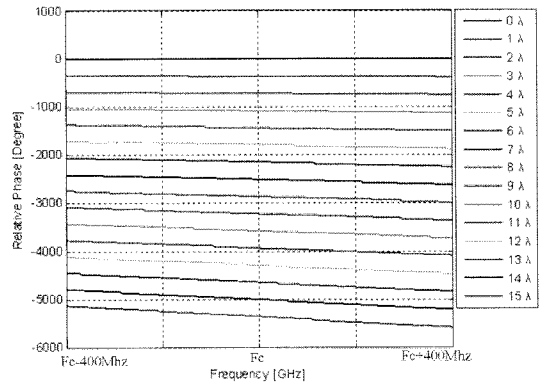


그림 5. 제작된 시간 지연기  
Fig. 5. Assembled true-time delay line.



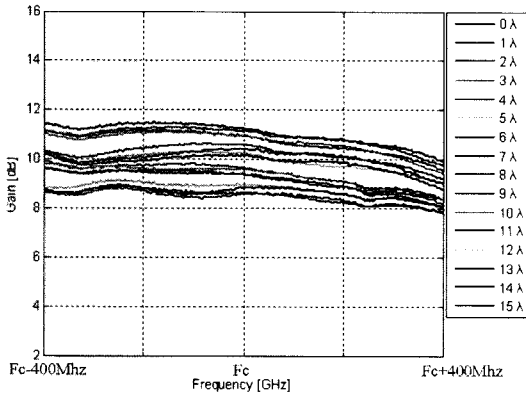
(a) 윗 경로  
(a) Upper path



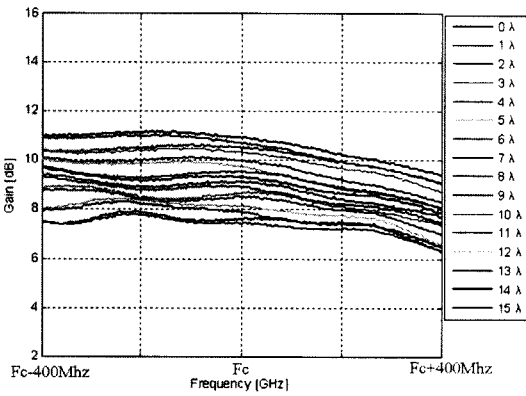
(b) 아랫 경로  
(b) Lower path

그림 6. 지연 상태별 상대 위상  
Fig. 6. Relative phase versus frequency.

회로망 분석기를 사용하여 CW 모드에서 위상과 이득을 측정하였으며, 송수신시 공통으로 공유하는 경로에 대한 측정 항목이므로, 수신 모드 측정 결과만 나타내었다. 그림 6는 총 16개 지연 상태에 따른 위상 결과를 0 lambda 상태의 위상값에 대한 상대값으로 도식하였고, 중심 주파수에서 1 lambda 당 360° 차이가 나게 되는데, 이때 오차가 ±7° 이내로 ±10°의 규격을 만족한다. 이때 그림 2에서 수신 경로 RF 1 입력에 대한 RX\_out 출력의 결과가 윗 경로, 수신 경로 RF 4 입력에 대한 RX\_out 출력의 결과가 아랫 경로이다. 그림 7은 16개 지연 상태에 따른 절대 이득값을 주파수에 대해 나타낸 결과로서 0 lambda state에서 9.7~11.8 dB로 10 dB±2 dB의 규격을 만족하며, 1 lambda ~15 lambda 간에 이득차 역시 2.2~3.8 dB로 4 dB 이하의 규격을 만족하였다.



(a) 윗 경로  
(a) Upper path



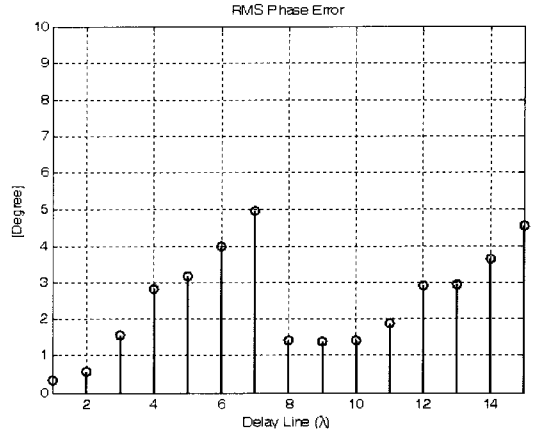
(b) 아랫 경로  
(b) Lower path

그림 7. 지연 상태별 이득  
Fig. 7. Gain versus frequency.

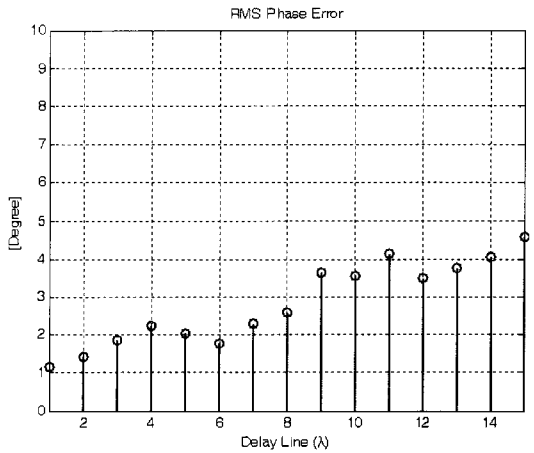
그림 8은 식 (8)로 계산된 1~15 λ간 이론적 위상 값에 대한 측정된 위상값의 RMS 오차로 비교 분석한 결과이다. 전체 주파수 대역에서의 오차 결과를 RMS 평균한 값이 5° 이내인 것을 확인할 수 있다. n λ의 지연 상태에서 주파수에 따른 이론적 위상값은 식 (8)과 같이 나타낼 수 있으며, 여기서 C<sub>e</sub>는 마이크로스트립 선로상의 전파속도이며, f<sub>c</sub>는 중심 주파수이다.

$$\Psi(n, f) = \frac{2n\pi c_e}{f_c} f \quad (9)$$

대부분의 위상 배열 레이다 시스템의 경우 펄스 모드로 동작하기 때문에, RF 모듈들의 펄스 모드 특성이 매우 중요하다. 그림 9에서는 펄스 폭이 56 us



(a) 윗 경로  
(a) Upper path



(b) 아랫 경로  
(b) Lower path

그림 8. 지연 상태별 위상 오차  
Fig. 8. Phase error.

이고, 듀티 사이클(duty cycle)이 18 %인 펄스 동작 환경에서 송신 P1dB 출력 결과를 나타내고 있다. P1dB 출력은 양쪽 경로 모두 규격인 23 dBm 이상인 23.5~24.1 dBm이고, 펄스 평탄도 역시 0.2 dB 이하로 훌륭한 펄스 동작 특성을 나타냄을 확인할 수 있다. 수신 잡음 지수의 측정 결과는 표 3에 나타내었고, 모든 주파수 범위에서 규격 12.5 dB 이하인 10.9~11.9 dB 결과로 측정되었다.

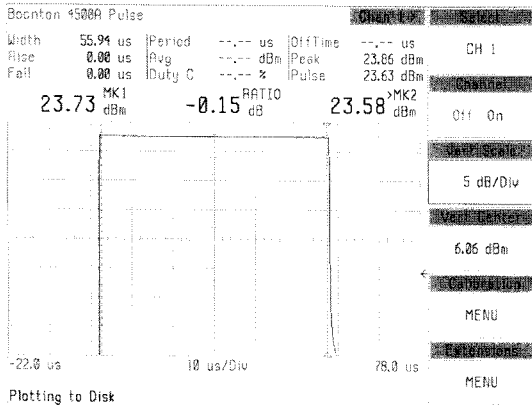
## V. 광대역 위상 배열 안테나의 패턴 보정

본 절에서는 위와 같이 제작된 시간 지연기 성능

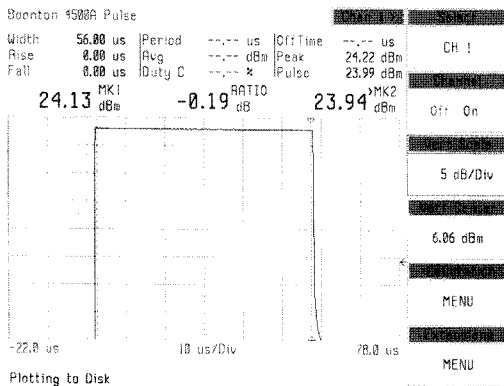
표 3. 수신 잡음 지수 측정 결과

Table 3. The result of noise figure for receive path.

동작 주파수	F1	Fc	F2	비고
잡음 지수(dB)	10.9	11.1	11.6	윗 경로
잡음 지수(dB)	11.0	11.2	11.9	아랫 경로



(a) 윗 경로  
(a) Upper path



(b) 아랫 경로  
(b) Lower path

그림 9. 송신 펄스 P1dB 출력 파워

Fig. 9. TX P1dB output power.

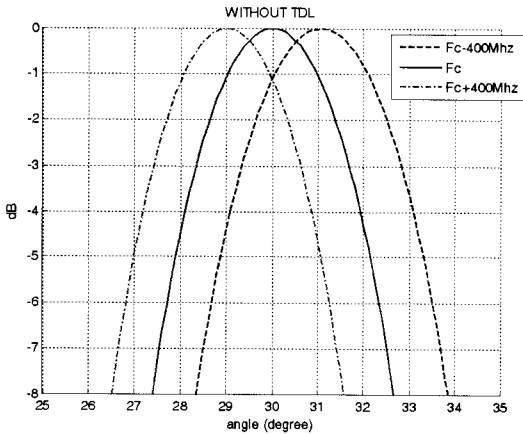
을 검증하기 위해 측정 결과를 이용해 빔 편이 현상을 개선한 시뮬레이션의 결과를 보이며, 시뮬레이션의 조건은 다음과 같다. 우선 위상과 이득 제어가 가능한 TR 모듈의 성능은 이상적이라고 가정한다. 위상과 이득은 각 6-bit로 제어되며, 단위는 5.625°, 0.5 dB 단위로 제어가 가능하다. 테일러 분포를 사용하여 TR 모듈의 이득 제어값을 선택하였고, 위상은 원하는 조향각에 따라 5.625° 단위로 선택되도록 하였

다. 빔 패턴은 각 복사 소자의 크기와 위상에 배열인자를 곱해서 구현하였다. 복사 소자의 간격은 21.8 mm이며, 총 32개를 배열하여 안테나의 전체 크기는 675.8 mm로 가정한다. 복사 소자는 8개 단위로 나뉘어서 그림 4와 같이 시간 지연기의 RF1~RF4 포트에 연결되며, 시간 지연 선로는 RF1/RF2와 RF3/RF4 두개의 경로로 구분되어 시간 지연의 보상이 가능하도록 설계되었다.

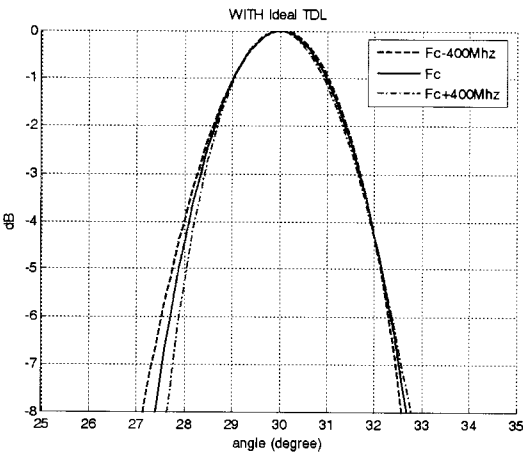
본 논문에서는 빔 조향각에 따라 요구되는 복사 소자간의 1 λ의 배수 이상으로 위상차가 생기는 부분에 시간 지연기로 인한 보상을 해주는 방법을 사용하였으며, 빔 조향각이 클수록 복사 소자간 위상차도 커지게 되므로 요구되는 시간 지연의 길이도 증가하게 된다. 또한, 전체 안테나의 크기가 클수록 조향각 오차가 크게 발생하고, 시간 지연기에 요구되는 지연 시간이 많이 요구된다. 본 논문에서 제안하는 15 λ 지연이 가능한 시간 지연기는 ±30°의 빔 커버리지를 갖는 안테나에 적용될 경우 약 2.7 m 크기까지 빔 보정이 가능할 것으로 예상된다.

그림 10, 11은 주파수 대역폭이 800 MHz이고, 빔 조향각을 +30°로 설정한 경우에 빔 패턴 시뮬레이션 결과를 보여준다. 그림 10(a)는 시간 지연기를 사용하지 않은 경우에 결과를 보여주며, 중심 주파수에서는 30°로 정확하게 빔 조향이 되지만, 보다 낮은 주파수인 Fc-400 MHz에서는 31.1°이고, 높은 주파수인 Fc+400 MHz에서는 29.1±1° 정도의 조향각 오차를 보이는 것을 알 수 있다. 그림 10(b)는 이러한 빔편이현상을 제거하기 위해 이론적인 시간 지연 효과를 주어 보정한 결과이다. 대역폭 내 3가지 주파수에 대해 ±0.1° 범위 안에서 빔 조향각이 일치하는 것을 확인할 수 있다.

그림 11은 제작된 시간 지연기의 측정 결과를 사용하여 빔 패턴 보정을 한 결과이다. 시간 지연기의 주파수에 대한 이득 및 위상 결과를 사용하여 빔 패턴 시뮬레이션을 하였고, 제작된 시간 지연기의 위상변위 특성이 그림 8에서 보인 바와 같이 5° 범위 이내로 좋기 때문에 제작된 빔 조향각 보정 결과도 ±0.1° 오차 범위 이내에서 좋게 나타나는 것을 확인할 수 있다. 이러한 결과를 토대로 본 논문에서 제작된 시간 지연기를 광대역 위상 배열 안테나 시스템에 적용할 경우 빔 편이 현상을 효과적으로 제거할



(a)



(b)

그림 10. (a) TDL을 사용하지 않은 경우의 빔 패턴 시뮬레이션 결과(30° 빔 조향), (b) 이론적인 TDL로 보정된 빔 패턴 시뮬레이션 결과(30° 빔 조향)

Fig. 10. (a) Simulated beam pattern without TDL(30° steering angle), (b) Simulated beam pattern with ideal TDL(30° steering angle).

수 있을 것으로 예상된다.

## VI. 결 론

본 논문에서는 광대역 위상 배열 안테나의 빔 조향시 발생하는 빔-편이 현상을 해결하기 위해 필요한 시간 지연기를 설계 및 제작하고, 실제 위상 배열 안테나 시스템에서의 적용 가능성을 검토하였다. 시간 지연기의 동작 상태별로 이득 및 위상 특성, 송신 시 1dB 출력 수신시 잡음 지수도 요구 규격 이상의

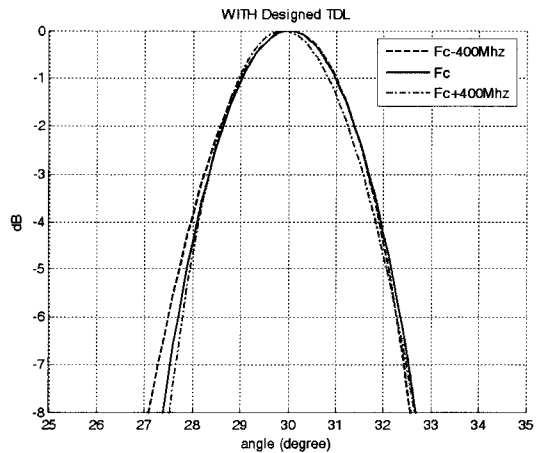


그림 11. 제작된 TDL의 측정 결과로 보정된 빔 패턴 시뮬레이션 결과(30° 빔 조향)

Fig. 11. Simulated beam pattern with designed TDL (30° steering angle).

성능을 만족하였다. 제작된 시간 지연기의 성능 검증을 위해 측정 데이터를 활용하여 800 MHz의 광대역 순시 대역폭을 가지는 675.8 mm의 큰 크기를 가지는 안테나를 가정하여 빔 패턴 보정 결과를 확인하였다. 그 결과 30° 빔 조향시에 발생하는  $\pm 1^\circ$  정도의 빔 조향각 오차를  $\pm 0.1^\circ$  내외로 줄일 수 있었으며, 측정 데이터를 이용하여 보정한 결과와 수학적으로 이상적인 시간 지연기를 가정하여 시뮬레이션한 결과에서도  $\pm 0.1^\circ$ 의 오차 범위 안에서 차이가 나는 것을 확인할 수 있었다. 따라서 향후 이러한 방법으로 시간 지연기를 제작하여 크기가 큰 광대역 위상 배열 안테나 시스템에 적용할 경우, 효과적으로 빔 편이 현상을 제거할 수 있을 것으로 기대된다.

## 참 고 문 헌

- [1] R. C. Hansen, *Phased Array Antennas*, Wiley, p. 16, 171, 1998.
- [2] Wille Ng, Andrew A. Walston, and Gregory L. Tangonan, "The first demonstration of optically steered microwave phased array antenna using true-time delay", *IEEE Journal of Lightwave Technology*, vol. 9, no. 9, Sep. 1991.
- [3] Brie Howley, Xiaolong Wang, Maggie Chen, and Ray T. Chen, "Reconfigurable delay time polymer



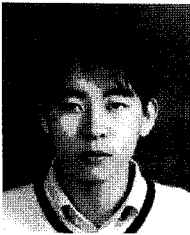
planar lightwave circuit for an X-band phased-array antenna demonstration", *IEEE Journal of Lightwave Technology*, vol. 25, no. 3, Mar. 2007.

- [4] D. Shiu, G. J. Foschini, M. J. Gans, and J. M. Kahn, "Distributed MEMS true-time delay phase shifter and wide band switches", *IEEE Trans. Microwave Theory and Techniques*, vol. 46, no. 11,

Nov. 1998.

- [5] Jihong Yan, Zishu He, and Chunlin Han, "Design and implementation of optical true time delay in optically controlled phased array antennas", *IEEE Radar, 2006. CIE '06. International Conference*.  
 [6] ADS(Advanced Design System) 2008.

### 김 상 근



시스템

2005년 2월: 홍익대학교 전자전기 공학부 (공학사)  
 2007년 2월: 홍익대학교 전자정보통신공학과 (공학석사)  
 2007년 2월~현재: LIG넥스원(주) 주임연구원  
 [주 관심분야] 초고주파 회로 및 시

### 김 수 범



1997년 8월: 포항공과대학교 전자전기공학과 (공학사)  
 2002년 8월: 포항공과대학교 전자전기공학과 (공학박사)  
 2002년 9월~2003년 2월: 포항공과대학교 전자컴퓨터공학부 박사후 연구원  
 2003년 8월~2005년 9월: 한국전자통신연구원 이동통신연구단 선임연구원  
 2005년 12월~현재: LIG넥스원(주) 연구개발본부 ISR 연구센터 책임연구원  
 [주 관심분야] 레이더/SAR 체계설계, 능동위상 배열 레이더 설계

### 정 민 길



시스템, 능동 위상 배열 레이더

1994년 2월: 경상대학교 전자공학과 (공학사)  
 1996년 2월: 경상대학교 전자공학과 (공학석사)  
 1996년 7월~현재: LIG넥스원(주) 책임연구원  
 [주 관심분야] 초고주파 회로 및 시

### 나 형 기



1991년 2월: 포항공과대학교 전자전기공학과 (공학사)  
 1993년 2월: 포항공과대학교 전자전기공학과 (공학석사)  
 1996년 2월: 포항공과대학교 전자전기공학과 (공학박사)  
 1996년 1월~현재: LIG넥스원(주) (LG정밀, LG이노텍, NEXIFuture), 선임연구원, 책임연구원, 수석연구원  
 [주 관심분야] 안테나 및 능동위상 배열 레이더

김 세 영



1991년 2월: 단국대학교 전자전기  
공학부 (공학사)  
1993년 2월: 단국대학교 전자전기  
공학과 (공학석사)  
1993년 3월~현재: 국방과학연구소  
선임연구원

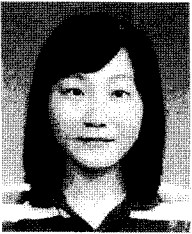
2006년 2월~현재: 한국과학기술원  
전기 및 전자공학과 박사과정  
[주 관심분야] 레이더 및 영상레이더 초고주파 시스템 등

백 승 훈



1985년 2월: 서강대학교 전자공학  
과 (공학사)  
1987년 2월: 서강대학교 전자공학  
과 (공학석사)  
1987년 2월~현재: LIG넥스원(주) 수  
석연구원 초고주파연구센터장  
[주 관심분야] 능동위상 배열 레이  
더

성 진 봉



1998년 2월: 충남대학교 전파공학  
과 (공학사)  
2000년 2월: 충남대학교 전파공학  
과 (공학석사)  
2001년~2007년: 한국전자통신연구  
원 연구원  
2007년 3월~현재: 국방과학연구소 선  
임연구원

[주 관심분야] 초고주파 회로 및 시스템