
3차원 포아송방정식을 이용한 FinFET의 문턱전압특성분석

정학기*

Analysis of Threshold Voltage Characteristics for FinFET Using Three Dimension Poisson's Equation

Hakkee Jung*

요 약

본 연구에서는 3차원 포아송방정식을 이용하여 FinFET의 문턱전압특성을 분석하였다. FinFET는 차세대 나노소자로서 단채널효과를 감소시킬 수 있다는 장점 때문에 많은 연구가 진행중에 있다. 이에 FinFET에서 단채널효과로서 잘 알려진 문턱전압이하 스윙 및 문턱전압 등을 3차원 포아송방정식의 분석학적 모델로 분석하고자 한다. 나노소자인 FinFET의 구조적 특성을 고찰하기 위하여 채널의 두께, 길이, 폭 등의 크기요소에 따라 분석하였다. 본 논문에서 사용한 분석학적 3차원 포아송방정식의 포텐셜모델 및 전송모델은 여러 논문에서 3차원 수치해석학적 값과 비교하여 그 타당성이 입증되었으므로 이 모델을 이용하여 FinFET의 문턱전압특성 및 문턱전압이하 특성을 분석하였다.

ABSTRACT

In this paper, the threshold voltage characteristics have been analyzed using three dimensional Poisson's equation for FinFET. The FinFET is extensively being studied since it can reduce the short channel effects as the nano device. We have presented the short channel effects such as subthreshold swing and threshold voltage for FinFET, using the analytical three dimensional Poisson's equation. We have analyzed for channel length, thickness and width to consider the structural characteristics for FinFET. Using this model, the subthreshold swing and threshold voltage have been analyzed for FinFET since the potential and transport model of this analytical three dimensional Poisson's equation is verified as comparing with those of the numerical three dimensional Poisson's equation.

키워드

FinFET, 3D 포아송 방정식, 포텐셜분포, MOSFET, SCE, 문턱전압

Key word

Dynamic Heuristic, Pruning Search Space, A* Algorithm, Abstract Graph

I. 서 론

CMOSFET의 크기감소에 대한 연구는 향후 5년 이내에 20nm이하 소자의 제작을 가능하게하고 있다.[1] 이에 따라 최근 고집적 고성능 메모리칩에 사용할 수 있는 FET의 개발에 관심이 집중되고 있다. 기존의 MOSFET는 크기가 20nm이하까지 감소하면 단채널 효과에 의하여 문턱전압의 변화, 차단전류의 증가로 인한 문턱전압이하 전류특성의 저하, 드레인전압유기장벽감소 등 여러 가지 효과 때문에 집적회로에서의 사용이 제한되고 있다. 이와같은 문제를 해결하기 위하여 개발되고 있는 것이 초박막 SOI 및 FinFET소자이다. 특히 FinFET는 게이트를 상하 및 측면에 제작할 수 있어 게이트에 의한 전하제어 능력이 기존의 MOSFET보다 급격히 증가하며 초박막형태로 제작할 수 있어 단채널효과를 감소시킬 수 있다는 장점 때문에 많은 과학자에 의하여 연구되고 있다.[2-5] 그동안 2차원적 해석을 이용하여 FinFET 및 SOI소자에 대한 전송특성을 해석하였으나 소자를 20nm이하로 제작하면 양자역학적 효과까지 소자해석에 포함하여야 하며 반드시 3차원적 해석이 필수적인 실정이다.[6] 3차원적 포텐셜분포에 대한 해석학적 모델은 기존의 논문[3]에서 제시한 바와같이 수치해석학적 모델과 잘 일치하는 것을 알 수 있었다. 이러한 포텐셜 모델은 FinFET 소자의 채널내 캐리어의 전송특성을 분석하는데 사용될 수 있으며 특히 단채널효과를 분석하는데 매우 효과적이라고 판단된다. 문턱전압에 대한 정의는 여러 가지가 있지만 본 연구에서는 ISE-TCAD에서 정의된 바와같이 전류가 $10^{-6}A$ 일때 상단게이트전압을 문턱전압으로 정의하였다.

본 논문에서는 3차원 포아송방정식의 해석학적 모델을 이용하여 FinFET의 문턱전압과 문턱전압이하특성 등 전송특성을 관찰하고 FinFET 제작시 상하 및 측면 게이트 하단의 산화막두께에 따른 문턱전압의 변화를 채널폭의 변화에 따라 고찰하고자 한다. 채널의 길이가 짧아지면서 채널폭에 대한 해석을 더 이상 무시할 수 없게 되므로 FinFET의 채널폭에 대한 문턱전압 변화를 고찰할 것이다.

2장에서는 3차원 포아송방정식의 해석학적 모델에 대하여 설명할 것이며 3장에서는 이 모델을 이용하여 계산한 문턱전압 및 문턱전압이하 스윙에 대하여 설명할 것이다. 특히 채널폭의 변화에 대한 문턱전압의 변화에 중점을 두어 고찰할 것이다. 마지막으로 4장에서 결론을 맺고자 한다.

II. 이론적 배경

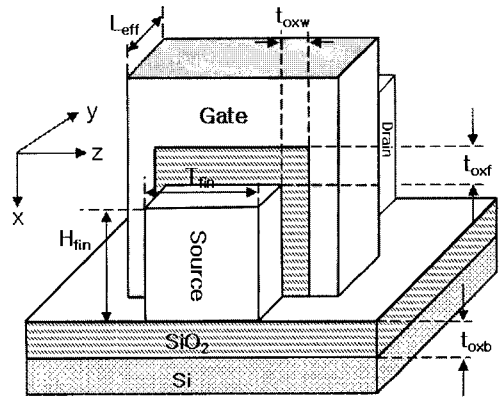


그림 1. FinFET의 개략도
Fig. 1 Schematic view of FinFET

그림 1은 이 논문에서 사용한 FinFET의 개략도이다. 이 구조의 x,y,z방향에 대한 포텐셜분포를 구하기 위하여 포아송방정식을 이용하였다.

$$\nabla^2 \psi = qN_A / \epsilon_{Si} \quad (1)$$

여기서 N_A 는 채널내 도핑농도이다. 이 식에 대한 분석학적 모델은 이미 발표한 논문의 식을 참조하였다[3]. 기존의 모델은 채널길이방향의 해석만을 위한 1차원적 포텐셜분포 ψ_{1D} , 채널의 길이와 두께변화에 대한 2차원적 해석의 해 ψ_{2D} 그리고 채널의 폭방향 해석까지 포함한 3차원적 해 ψ_{3D} 로 구성되어 있다.

$$\begin{aligned} \psi_{1D} &= \psi_{sb} + E_{sb}(H_{fin} - x) + \frac{q}{2\epsilon_{Si}} N_A (H_{fin} - x)^2 \\ \psi_{2D} &= \sum_{r=1}^{10} [V_r \sinh(\gamma_r y) + V_r \sinh(\gamma_r (L_{eff} - y))] \\ &\quad \times [\sin(\gamma_r x) + \frac{\epsilon_{Si}}{\epsilon_{ox}} t_{oxf} \gamma_r \cos(\gamma_r x)] / \sinh(\gamma_r L_{eff}) \quad (2) \\ \psi_{3D} &= \sum_{s=1}^1 \sum_{r=1}^{10} P_{sr} [\sinh\{\chi_{sr}(T_{fin} - z)\} + \sinh(\chi_{sr} z), x) \\ &\quad \times \frac{\sin(\alpha_s (y - L_{eff}))}{\cos(\alpha_s L_{eff})} [\sin(\beta_s x) + \frac{\epsilon_{Si}}{\epsilon_{ox}} t_{oxf} \beta_s \cos(\beta_s x)] \end{aligned}$$

즉, ψ_{1D} , ψ_{2D} , ψ_{3D} 의 값을 더하여 총 포텐셜을 구하였으며 이 모델에 대하여 기존의 논문에서 검증하였다[3]. 위의 포텐셜분포를 이용하여 채널깊이방향의 포텐셜중 최소값을 기준으로 상단의 전류를 상단전류 I_{fd} , 하단전류를 I_{bd} 라하면 총 전류 I_{ds} 는 I_{fd} 와 I_{bd} 의 합으로 구할 수 있다. 즉,

$$I_{ds} = I_{fd}(0 < x < x_{min}) + I_{bd}(x_{min} < x < H_{fin}) \quad (3)$$

이다.

식 (2)와 (3)을 이용하여 문턱전압이하 전류 즉 차단전류를 구하였다. 문턱전압은 ISE-TCAD에서 정의한 $10^{-6}A$ 일때 상단게이트전압을 문턱전압으로 정의하였다. 또한 문턱전압이하 스윙(Subthreshold swing; SS)은 문턱전압이하에서 차단전류가 10배증가할 때 상단 게이트전압의 변화로 정의한다. 식 (2)에서 알 수 있듯이 상단 게이트산화막의 두께 t_{oxf} 는 쉽게 그 사용도를 알 수 있다. 하단 게이트산화막의 두께 t_{oxb} 와 측면 게이트산화막의 두께 t_{oxw} 는 각각 γ_r 과 P_{sr} 을 구할 때 삽입된다.[6]

III. 문턱전압 결과 및 고찰

그림 2에 FinFET의 상단게이트산화막 두께 및 채널폭의 변화에 따른 문턱전압이하 전류특성을 도시하였다. 상단게이트산화막의 두께가 클수록 문턱전압이하 전류가 작아지고 전송특성의 기울기가 증가하므로 문턱전압이하 스윙이 작아지는 것을 알 수 있다. 그러므로 상단게이트산화막의 두께는 단채널효과를 감소시키기

위하여 보다 작은 값을 사용해야만 한다. 또한 채널폭이 증가하면 SS가 증가하며 게이트산화막 두께에 따른 증가율도 매우 크다는 것을 알 수 있다.

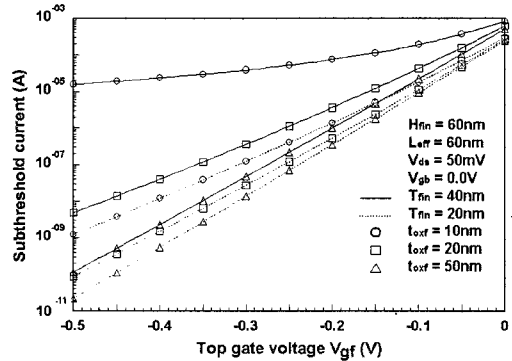


그림 2. 채널폭 및 상단게이트산화막두께에 따른 문턱전압이하 전류의 변화

Fig. 2 Subthreshold current according to channel width and front gate oxide thickness

즉, 채널폭이 20nm일때는 상단게이트산화막두께에 따른 SS의 변화가 거의 관찰되지 않았으나 채널폭이 40nm일때는 상단게이트산화막의 두께 감소에 따라 SS가 급격히 증가하는 것을 알 수 있다.

그림 3에 채널폭 및 산화막 두께에 따른 문턱전압이하 스윙 및 문턱전압의 변화를 도시하였다. 전술한 바와 같이 게이트산화막의 두께가 감소할수록 SS는 매우 증가하는 것을 알 수 있다. 또한 채널폭이 감소할수록 SS가 감소하므로 채널폭과 게이트산화막 두께간에 최적의 값을 사용하여야만 할 것이다.

문턱전압의 경우 게이트산화막의 두께가 감소할수록 문턱전압의 절대값이 단채널효과에 의하여 크게 증가하는 것을 알 수 있다. 또한 채널폭은 짧게 제작하여야만 게이트산화막 두께가 작아질때 문턱전압의 절대값을 작게 유지할 수 있다는 것을 알 수 있다.

상단산화막 두께에 따른 변화뿐만 아니라 하단산화막 두께에 따른 문턱전압의 변화를 관찰하기 위하여 하단산화막의 두께를 변화시키면서 문턱전압을 계산하였다. 그림 4에 결과값을 도시하였다. 이때 상단게이트산화막의 두께는 100nm, 측면산화막의 두께는 1.5nm로 고정하였으며 100nm에서 1000nm까지 변화시키면서 계산하였다. 계산결과 하단산화막두께가 감소할수록

문턱전압의 절대값이 증가함을 알 수 있었다. 또한 채널 폭에 따른 변화율이 하단 게이트산화막 두께가 감소할 때 더욱 크다는 것을 알 수 있었다.

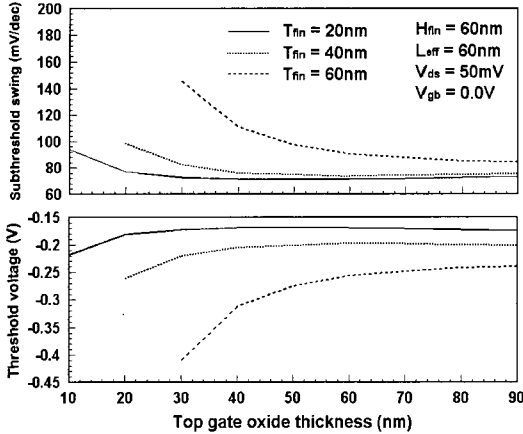


그림 3. 채널폭 및 산화막 두께에 따른 문턱전압이하 스윙 및 문턱전압의 변화

Fig. 3 The variations of subthreshold current and threshold voltage according to the change of channel width and front gate oxide thickness

또한 채널폭이 증가할수록 그림 3에서도 알 수 있듯이 문턱전압의 절대값이 증가함을 알 수 있었다. 그림 3에서 관찰한 바와같이 상단 게이트산화막 두께에 따른 문턱전압의 변화율과 비교하면 그림 4의 하단 게이트산화막 두께에 따른 문턱전압의 변화 역시 매우 급격하다는 것을 알 수 있다. 특히 하단 게이트산화막의 두께가 감소하면 감소할수록 채널폭에 따른 문턱전압의 변화가 더욱 심해지는 것을 알 수 있었으며 500nm 이상에서는 거의 변화가 없었다. 즉, 하단 게이트산화막의 두께가 100nm 일때 문턱전압의 절대값이 채널폭의 증가에 따라 급격히 증가하나 산화막 두께가 1000nm 정도까지 증가 하였을 때는 채널폭의 증가에 따라 거의 문턱전압값이 일정함을 알 수 있었다.

FinFET의 경우 채널을 상하 그리고 측면 산화막으로 둘러싸여져 있는 구조이므로 문턱전압값은 이와같이 산화막의 두께에 따라 커다란 영향을 미치는 것을 알 수 있었다. 이와같은 현상을 더욱 심도있게 관찰하기 위하여 그림 5에 채널폭 및 측면 산화막 두께에 따른 문턱전압의 변화를 도시하였다.

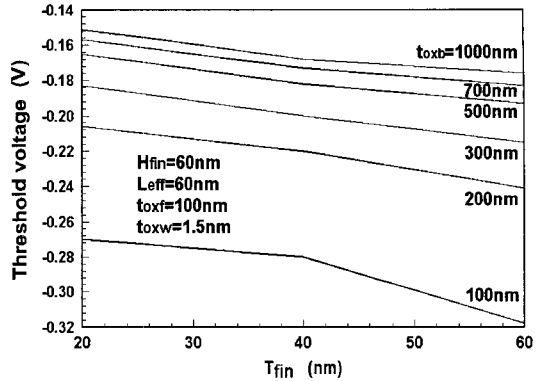


그림 4. 채널폭 및 하단산화막 두께에 따른 문턱전압의 변화

Fig. 4 The variations of threshold voltage according to the change of channel width and back gate oxide thickness

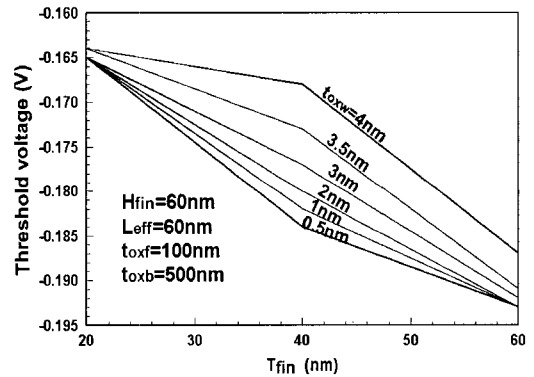


그림 5. 채널폭 및 측면산화막 두께에 따른 문턱전압의 변화

Fig. 5 The variations of threshold voltage according to the change of channel width and side gate oxide thickness

이때 상단 게이트산화막의 두께는 100nm, 하단산화막의 두께는 500nm로 고정하였으며 0.5nm에서 4nm까지 변화시키면서 계산하였다. 측면산화막 두께가 감소할수록 문턱전압의 절대값은 증가함을 알 수 있었으며 채널폭이 증가할수록 그림 3과 4에서 알 수 있듯이 문턱전압의 절대값은 증가하였다. 또한 채널폭의 변화에 대한 문턱전압의 변화율은 측면 산화막의 두께에 따라 그리 큰 차이를 보이지 않았다. 측면 산화막 두께가 감소할수록 문턱전압의 절대값 증가율이 감소하는 것을 관찰

할 수 있다. 그래프를 관찰하면 알 수 있듯이 채널폭이 20nm 정도로 매우 작을 때는 문턱전압이 측면 산화막 두께에 거의 영향을 받지 않는다는 것을 알 수 있었다. 그림 3, 4, 5를 비교해 보면 문턱전압에 가장 큰 영향을 미치는 게이트산화막은 역시 상단 게이트산화막인 것으로 나타났다.

IV. 결론

이 논문에서는 3차원포아송방정식의 분석학적 모델을 이용하여 FinFET의 문턱전압 및 문턱전압이하 스윙 등 단채널 효과를 관찰하였다. 이를 위하여 이미 기존의 논문에서 검증된 분석학적 포아송방정식이 사용되었으며 채널폭 및 상단게이트 산화막두께의 변화에 따라 문턱전압 및 문턱전압이하 스윙을 구하였다. 이때 게이트 전압은 상단게이트에 인가한 전압이다. 상단게이트 산화막의 두께는 단채널효과를 감소시키기 위하여 보다 작은 값을 사용해야만 하며 또한 채널폭이 증가하면 SS가 증가하며 게이트산화막 두께에 따른 증가율도 매우 크다는 것을 알 수 있었다. 문턱전압의 절대값을 작게 유지하기 위하여 채널폭은 작게 유지하여야만 한다는 것을 알 수 있었다.

하단 산화막두께에 따른 문턱전압의 변화를 관찰하기 위하여 하단 산화막의 두께를 변화시키면서 문턱전압을 계산한 결과, 하단 산화막두께가 감소할수록 문턱전압의 절대값이 증가함을 알 수 있었다. 또한 측면 산화막 두께가 감소할수록 문턱전압의 절대값은 증가함을 알 수 있었으며 채널폭이 증가할수록 문턱전압의 절대값이 증가함을 알 수 있었다. 이와같은 결과는 FinFET를 이용한 집적회로 설계에 이용될 수 있을 것이라 사료된다.

참고문헌

- [1] ITRS 2007 ; <http://public.itrs.net/>
 [2] L.Ge and J.G.Fossum, "Analytical Modeling of Quantization and Volume Inversion in Thin Si-Film DG MOSFETs", IEEE Trans. Electron Devices, vol. 40, No. 12, p.2326, 1993.

- [3] D.S.Havaladar, G.Katti, N.DasGupta and A.DasGupta, "Subthreshold Current Model of FinFETs Based on Analytical Solution of 3-D Poisson's Equation," IEEE Trans. Electron Devices, vol. 53, no.4, 2006.
 [4] J.P.Colinge, "Multiple-gate SOI MOSFETs," Solid State Electron., vol. 48, no. 6, pp.897-905,2004.
 [5] J.G.Fossum, M.M.Chowdhury, V.P. Trivedi ,T.J.King, Y.K.Choi, J.An and B.Yu, "Physical insights on design and modeling of nanoscale FinFETs," in IEDM Tech. Dig.,pp.679-682, 2003.
 [6] G.Katti, N.DasGupta and A.DasGupta, "Threshold Voltage Model for Mesa-Isolated Small Geometry Fully Depleted SOI MOSFETs Based on Analytical Solution of 3-D Poisson's Equation," IEEE Trans. Electron Devices, vol. 51, no.7, 2004.

저자소개



정 학 기 (Hak Kee Jung)

1983.3 아주대학교 전자공학과
B.S.

1985.3 연세대학교 전자공학과
M.S.

1990.8 연세대학교 전자공학과 Ph.D

1995.8 일본 오사카대학 교환교수

2005.8 호주 그리피스대학 교환교수

1990.3-현재 군산대학교 전자정보공학부 교수

2009.1-현재 한국해양정보통신학회 상임이사

※관심분야: 반도체소자 시뮬레이션, 몬테칼로 시뮬레이션, 회로 및 시스템 해석 등