

◆ 특집 ◆ 3D TSV 패키징 기술

TSV 형성을 위한 DRIE 기술

DRIE Technology for TSV Fabrication

백규하^{1,✉}, 김동표¹, 박건식¹, 강진영¹, 이기준², 도이미¹
Kyu-Ha Baek^{1,✉}, Dong-Pyo Kim¹, Kun-Sik Park¹, Jin-Young Kang¹, Kijun Lee² and Lee-Mee Do¹

¹ 한국전자통신연구원 RFID/USN 연구부 (Department of RFID/USN, ETRI)

² 충남대학교 전자공학과 (Department of Electronics Engineering, CNU)

✉ Corresponding author: khbaek@etri.re.kr, Tel: 042-820-5342

Key Words: Deep RIE (심도 반응성 이온 식각), Through Silicon Via (관통형 실리콘 비아), Bosch Process (보쉬공정), Cryogenic Process (극저온 공정)

1. 서론

현재까지 반도체 소자 분야에서는 무어의 법칙에 따라서 소자의 동작 속도 향상, 크기의 집적화 및 저 소비전력화를 위하여 트랜치 커패시터, 게이트 구조의 변경, 고유전율 게이트 박막, 저유전율 ILD (Inter Layer Dielectric), 다층의 금속 배선 등 웨이퍼 평면 내에서 많은 소자를 집적화하기 위한 다양한 연구와 개발을 진행하여 왔다.¹⁻³ 그러나 이와 같은 방법들을 이용하여 웨이퍼 평면에서 고집적화를 달성하는 것은 물리적 한계에 도달하게 되었으므로 다수의 다이를 수직으로 적층하는 3 차원 패키지 기술이 새롭게 제안되었다 3 차원 패키지 기술을 적용하면, 수직으로 다이를 적층하기 때문에 소자의 면적을 줄일 수 있고, 센서와 로직과 같은 이종의 다이를 적층함으로써 다기능화가 가능하고, 소자 또는 다이 사이의 전기적 연결을 위한 금속 배선의 길이를 줄임으로써 신호 지연시간을 줄일 수 있는 장점을 가지고 있다.⁴⁻⁸

3 차원으로 IC 를 패키징하는 기술은 와이어 본딩과 적층된 다이의 구성 요소들을 관통형 실리콘 비아(TSV: Through Silicon Via)를 이용하여 수직으로 전기적 연결시키는 두 가지 기술이 가장 일반적이다. 와이어 본딩 기술이 먼저 3 차원 패키징에 적

용 되었으나, 다이의 주변으로만 연결이 가능하고, 웨이퍼에 적층 가능한 다이 수에 제한이 있으므로 비용이 증가하는 단점을 가지고 있다. Fig. 1 은 와이어 본딩과 TSV 의 특성을 비교하여 설명하고 있다.⁹ Fig. 1 에 설명된 바와 같이 소자를 최단거리로 연결할 수 있으며, 적층가능한 다이 수에 대한 제한이 거의 없으므로 TSV 를 이용한 3 차원 패키징 기술은 보다 작은 소형의 소자의 개발에 적합하다. 또한 신호 지연을 감소시켜 소자의 동작 속도를 빠르게 하고, 다양한 종류의 센서와 로직 소자들을 조합할 수 있으므로 다양한 기능을 가진 고속 다기능 소자의 제작이 가능하다 (Fig. 2).

TSV 를 이용한 3 차원 패키지 기술은 플래시 메모리, DRAM(Dynamic Random Access Memory),

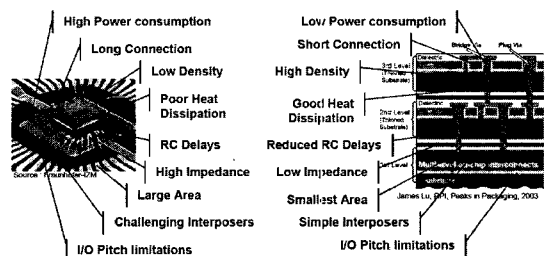


Fig. 1 Comparison of TSV against wire bonding⁵

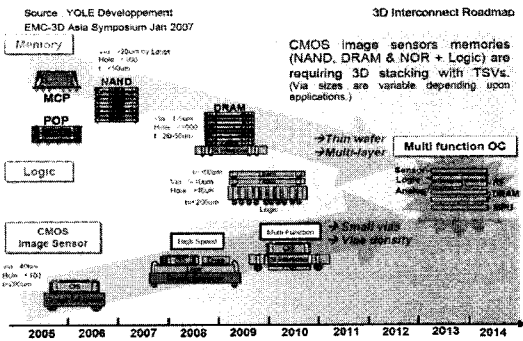


Fig. 2 Roadmap of 3-D interconnect [Yole Development]

SRAM(Static Random Access Memory) 등과 같은 메모리 분야, MEMS(Mechanical Electrical Micro System) 소자분야, 이미지센서, DSP(Digital signal process)와 FPGA(Field-Programmable Gate Array) 같은 마이크로 프로세서와 무선 LAN(Local Area Network)용 증폭기와 같은 무선회로를 탑재한 SiP 모듈 등 다양한 분야에서 적용하고자 한다.¹⁰⁻¹⁴ 또한 자동차, 바이오, 통신 등 분야에서 와이어 본딩 접속이나 플립칩 실장을 이용한 전기적 접속이 불안한 단점을 자지고 있으므로, 높은 신뢰성을 확보하기 위하여 TSV 기술 기반 3 차원화 패키징에 관한 연구를 수행하고 있다.¹⁵

이와 같이 다양한 응용에 이용하고자 하는 TSV 전극을 형성하는 공정 기술에는 비아 구조를 만들기 위한 사진식각 공정, 절연층, Barrier 와 Seed Cu 층을 형성하는 증착 공정, Cu 등 메탈을 채우는 공정, CMP 공정, 웨이퍼 박막화 공정, Bump 형성 공정 및 웨이퍼 정렬과 접합 공정 기술이 요구된다. 이들 공정 중에서 DRIE 를 이용한 식각 공정은 TSV 를 제작하는 공정 비용에서 8%이하이나, TSV 의 측면의 모양과 기울기는 후 공정에 상당한 영향을 미치며, 후 공정을 제한하는 요인이 되므로 이에 대한 이해가 필요하다.

본 논문에서는 DRIE 공정의 특성을 이해를 돕기 위하여 Garrou¹⁶ 등과 Jansen¹⁷ 등이 발표한 문헌에 보고된 TSV 비아 형성에 필요한 빠른 식각 속도와 수직 방향 식각 특성을 가지는 DRIE 식각 공정 원리, DRIE 장치, DRIE 공정 변수가 식각 특성에 미치는 영향과 공정 중 발생하는 문제점을 해결하는 방법에 대하여 요약하여 설명한다. 그리고 TSV 구조 제작을 위한 Si DRIE 식각 실험 결과와 TSV 절연을 위한 O₃-TEOS 절연층 증착 실험 결과에 대하여 보고하고자 한다.

2. DRIE 를 이용한 TSV 형성 방법

Si 웨이퍼 기판 위에 TSV 를 제작하는 방법에는 크게 습식 식각, 건식 식각과 레이저 드릴 방법이 있다. 10,000#/mm² 의 높은 배선 밀도와 30~100 μm의 깊은 식각 깊이와 고종횡비 구조를 가지는 관통형 전극을 Si 웨이퍼를 뚫고서 제작하기 위하여서는 2~20 μm/min 이상의 식각 속도, 결정성에 무관한 비등방성 식각, SiO₂:Si 에 대한 120~200:1 의 높은 식각 선택비, 수직의 기울기와 TSV 하단부와 측면이 평탄하고, 매끄러운 식각 프로파일 등의 식각 특성이 필요하다. 일반적으로 플라즈마를 이용한 건식 식각 공정이 많이 이용되고 있다. 수직 방향으로 Si 을 깊게 식각하기 위하여 고밀도 플라즈마 식각 장치를 이용하여 Si 식각과 식각 방지층에 의한 측면 보호 과정을 반복적으로 수행하는 Bosch 공정과 -100℃ 이하의 극저온에서 Si 식각과 측면 보호를 위한 식각 방지층 형성이 동시에 진행되는 Cryogenic 공정이 일반적으로 사용되고 있다.^{16,17}

2.1 Bosch 공정

Fig. 3 은 Bosch 공정에서의 식각 과정을 설명하고 있다. Bosch 공정은 Si 식각과 식각방지층 형성을 반복하여 수행되며, 빠른 식각 속도와 수직 방향으로 수백 μm 까지 식각이 가능하다.¹⁶⁻²⁰

1) Si 식각: SF₆ 또는 SF₆/O₂ 플라즈마를 이용하여 휘발성인 SF₄ 식각 부산물을 형성하여 Si 을 식각한다.

2) 식각 방지층 형성: C₄F₈ 플라즈마를 형성하여 식각된 표면에 폴리머층을 형성한다.

3) 폴리머 및 Si 식각: 다시 SF₆ 또는 SF₆/O₂ 플라즈마를 이용하여 Si 과 폴리머를 식각하게 된다. Fig. 3 에 나타난 것과 같이 이온이 TSV 의 하부의 폴리머를 제거하게 되고, Si 식각이 진행된다. 그러나 측면의 폴리머는 이온에 노출되지 않게 되므로 수평 방향으로의 식각은 적게 된다.

위 사이클이 반복 진행 됨에 따라서 식각 깊이는 증가하게 되면, 즉 종횡비가 증가하게 되면 Via 하단부에 도달하는 이온의 에너지가 저감하여 식각 속도 감소하는 RIE 지연이 발생하게 되는 문제점과 F 에 의한 등방성 식각 특성 때문에 식각 프로파일 측면에 Scallop 이 형성되는 문제점이 있다. 이 Scallop 은 Cu 전해 도금을 위한 Cu seed 층 연속적으로 형성되는 것을 방해하거나 소자가 제작된 후

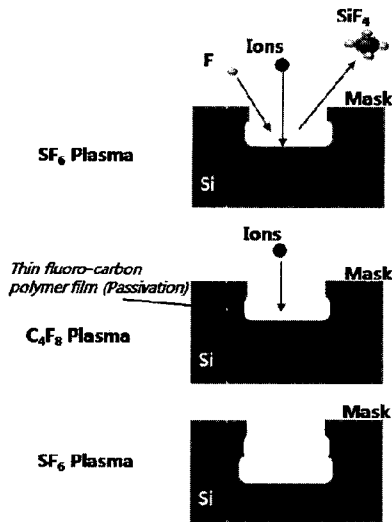


Fig. 3 Bosch process

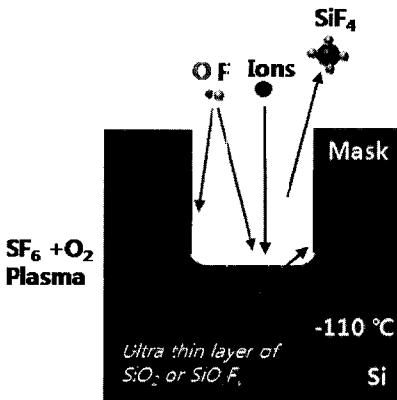


Fig. 4 Cryogenic process

누설전류가 흐르게 되므로 소자의 성능을 저하하는 주요한 원인이 된다.

2.2 Cryogenic 공정

Bosch 공정에서 발생하는 Scallop 문제를 해결하기 위하여 기존의 CMOS 공정에서 적용되는 식각 과정 중에 식각 방지층을 형성하는 O₂ 또는 CHF₃+C₄F₈ 가스를 SF₆ 가스와 같이 공급하고, 기판의 온도를 -100℃ 이하로 낮추는 Cryogenic 공정 제안되었다(Fig. 4). 이 공정을 이용하면 연속적으로 Si 이 식각이 됨으로써 Scallop 이 없는 식각 프로파일을 얻을 수 있다. 그러나 빠른 식각 속도를 얻기 위하여 높은 밀도의 F 라디칼이 필요하다. 그러나 높은 F 라디칼의 밀도가 높다는 것은 상대적으로 CF_x 라디칼의 밀도가 낮다는 것을 의미하

므로 우수한 식각 방지층의 형성이 어렵게 된다. 웨이퍼의 온도가 낮으면 우수한 식각 방지층의 형성이 가능하므로, 극저온의 낮은 온도에서 식각 방지층을 형성하기 위하여 액체 질소 냉각장치가 추가적으로 필요하다. 이 공정이 일반적으로 이용하는데 저해되는 중요한 이유는 웨이퍼 기판의 온도가 5℃ 이상 변하게 되면 플라즈마 밀도가 크게 변하게 되어 식각 공정의 제어가 어렵다는 것이다.^{16,17,21-23}

3. DRIE 식각 장치 및 특성 분석

기존의 RIE 시스템은 Si 식각 속도가 낮은 단점을 가지고 있다. 이를 개선하기 위하여 라디칼을 밀도를 높이면, 즉 공정 압력을 증가시키면, 플라즈마 내에서 많은 충돌이 발생하게 되어, 이온들이 웨이퍼 표면방향으로 수직으로 입사하기 어렵게 되어 비등방성 식각 특성이 저하된다. 이온의 에너지를 증가 시키면, 즉 Self bias 전압을 증가시키면, 라디칼이 증가와 높은 에너지 이온들로 인하여 마스크에 대한 식각 선택비가 감소하게 된다. 그러므로 수십~수백 μm깊이의 Si TSV 를 형성하기 위하여 빠른 식각 속도와 수직 방향의 식각 특성을 만족시킬 수 있는 새로운 시스템이 요구된다. 이러한 요구는 높은 라디칼 밀도와 이온 에너지를 가지는 플라즈마 원, 독립적인 라디칼 밀도와 이온에너지의 제어, 적절한 식각 방지층을 형성하는 공정과 고밀도 플라즈마를 생성하는 시스템을 이용함으로써 가능하게 되었다.^{16,17}

Fig. 5 는 DRIE 시스템의 개략도 그림이다. 현재 상용화된 DRIE 시스템은 두 개의 전력원을 가지고 있는 것이 특징이다. 하나는 ICP(Inductively coupled Plasma) 원이라고 불리며, 세라믹 돔 측벽 또는 상부에 위치한 안테나에 연결되어 반응로 내의 기체에 RF 전력을 공급하여 높은 이온 밀도와 라디칼 밀도를 가지는 플라즈마를 발생하는 역할을 한다. 또 다른 전력원은 CCP(Coactively coupled plasma)라고 일컬어지며, 기판에 연결되어 Self bias 를 형성하여 플라즈마 글로우 영역에 존재하는 이온을 기판으로 향하게 하고, 이온을 가속시켜 높은 에너지를 갖도록 하는 역할을 한다. 또한 적절한 식각 방지층은 웨이퍼 표면 온도가 낮은 경우에 잘 생성되므로 웨이퍼 후면을 He 으로 냉각하는 장치가 있고, 극저온 공정인 Cryogenic 공정에서는 액체질소를 이용하여 냉각하는 장치가 기판

홀더에 설치되어 있다. 터보 펌프와 드라이 펌프가 조합하여 고진공을 유지하며, 1,000 l/s 의 펌핑 속도를 가지는 터보펌프를 사용하는 경우 기체가 잔류할 수 있는 평균 시간은 약 0.2 초이다. 바라트론 커패시턴스 압력계를 이용하여 압력을 측정하고, Throttle 밸브의 위치를 조절하여 공정 압력을 제어한다. 그리고 SF₆ 와 C₄F₈ 공급의 빠른 절환을 위하여 빠른 응답속도를 가지는 MFC(Mass Flow Controller)가 장착되어 있다.¹⁶⁻²³

4. DRIE 공정 변수가 식각 공정에 미치는 영향

DRIE 를 이용한 식각 메커니즘은 이온 Flux/라디칼 Flux 비에 의존하며, 이온의 Flux 가 증가하면 식각 속도가 증가하는 이온 에너지 제한 방식과 라디칼 Flux 에 비례하여 식각 속도가 증가하는 라디칼 제한 방식으로 분류된다. 고종횡비를 가지는 DRIE 에서는 식각 깊이가 증가함에 따라서 즉 종횡비가 증가함에 따라서 이온 Flux 와 라디칼 Flux 는 측벽과의 충돌에 의하여 감소하게 된다. 이 두 Flux 의 감소는 식각 속도에 간접적으로 영향을 미치게 된다. 그 이유는 이온은 측벽에 평행하게 움직이고, 반대로 라디칼 이동은 등방성 성질을 가지고 있기 때문이다.¹⁶

그러므로 이들 변수들의 변화가 식각 특성에 미치는 영향에 대하여 이해가 DRIE 를 이용하여 TSV 를 제작하는 데 필요하다.^{16,17}

4.1 이온의 방향 분포

고종횡비를 가지는 TSV 에서는 이온의 입사 각도에 따라서 TSV 의 하단부의 모양이 변하게 된다. 그리고 이온 방향의 변화는 종횡비가 큰 경우가 작은 경우보다 적다. 그 이유는 종횡비가 적을 경우 측벽에 축적된 전자가 상호 이온에 작용하여 상쇄 됨으로써 하단부에 수직으로 입사되나, 종횡기 작은 경우(즉, 폭이 깊이 보다 큰) 측벽에 축적된 전하에 의하여 측벽 방향으로 휘게 된다. 그러므로 TSV 의 기술기가 Negative 기술기를 가지게 된다.¹⁶

4.2 RF 전력에 의한 영향

RF 전력은 플라즈마 생성 밀도와 밀접한 관련이 있다. 높은 RF 전력이 인가되면, 전자들이 높은 에너지를 얻게 되어 라디칼과 이온의 밀도가 증가하게 된다. 그러므로 DRIE 에서는 F 라디칼의 증

가에 의하여 식각 속도가 증가하나, 마스크 물질에 대한 식각 속도 또한 증가하여 식각 선택비는 감소하게 된다.¹⁶

4.3 공정 압력에 의한 영향

플라즈마 내에서 공정 압력의 변화는 식각 가스가 반응로에 잔류하는 시간, 식각 반응종들의 밀도와 입자들의 평균자유행정 거리에 큰 영향을 미친다. 압력이 낮으면 기체가 반응로에 잔류하는 시간이 짧고, 식각 반응종들의 밀도가 낮아짐으로써 입자들의 자유 행정 거리가 증가하게 된다. 그러므로 낮은 공정 압력은 수직인 식각 형상을 얻는데 유리하나, 식각 종의 밀도가 낮아지므로 F 라디칼의 밀도에 의존하는 DRIE 의 속도가 감소하게 된다.¹⁶

4.4 기판온도에 의한 영향

DRIE 에서 기판의 온도는 식각 보호층의 형성과 밀접한 관계가 있다. 특히 Cryogenic 공정에서는 식각과 보호층 증착이 동시에 진행되므로, Fig. 4 에 설명된 바와 같이 기판의 온도를 -110℃로 낮추어 우수한 보호막을 형성하여, 수직에 가까운 식각 프로파일을 얻을 수 있다.¹⁶

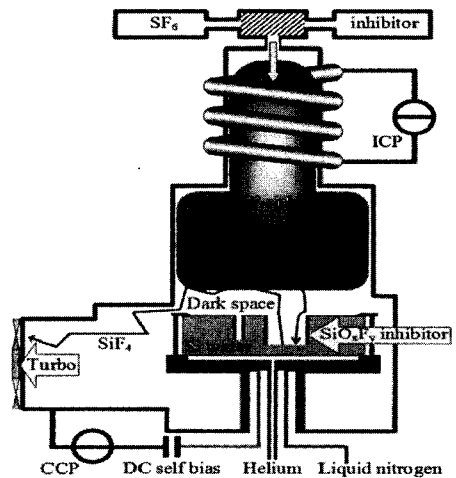


Fig. 5 Schematic diagram of DRIE system [Alcatel]¹⁶

5. DRIE 식각 기술 문제점 해결 방법

Si 박막을 식각하여 Via 를 형성하는 방법은 CMOS 제조공정에서 많이 이용하고 있으며, 이 공정에서는 빠른 식각 속도가 요구되지 않고 있다.

그러나 TSV 를 형성하기 위하여 수백 μm 의 Si 웨이퍼를 식각하기 위하여 빠른 식각속도와 비등방성 식각 특성이 필요하다. 앞에 소개된 DRIE 를 이용하여 Si 웨이퍼를 식각하는 동안 발생한 문제들 중 LTO 마스크 아래에 Undercut 의 원인과 제거 방법, 식각과 증착이 반복되는 동안 TSV 내부의 표면이 울퉁불퉁하여 지는 Scallop 원인과 제거 방법, 마지막으로 금속 채움을 용이하기 위한 TSV의 기울기를 제어하는 방법에 대하여 살펴보고자 한다.

5.1 Undercut 제어 방법

Fig. 6 은 DRIE 를 이용하여 식각하는 과정에서 마스크 아래로 식각이 진행되어 Undercut 이 발생한 SEM 이미지이다. 개선된 DRIE 식각 장치들은 20ms 이하의 동작 시간을 가지는 진보된 밸브들, 빠른 응답을 가지는 MFC 와 내부에 퍼지 가스 분사구를 가지고 있다. Mukherjee²⁴ 등은 좀더 효율적인 챔버의 설계 및 분리된 플라즈마 원의 조합에 의한 추가 장치는 빠른 Ramping 과 스위칭이 가능하게 되어, 초기 Undercut 이 0.3 에서 0.1 μm 로 감소한 것과 Scallop 이 0.2 μm 에서 40 nm로 감소되는 것을 보고하였다(Fig. 7).^{16,24}

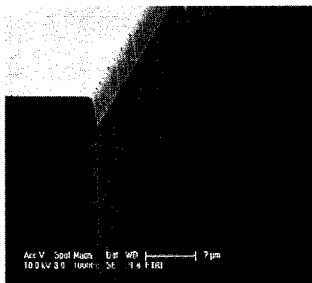


Fig. 6 Undercut under LTO mask after etching in SF₆/O₂ and C₄F₈ plasmas

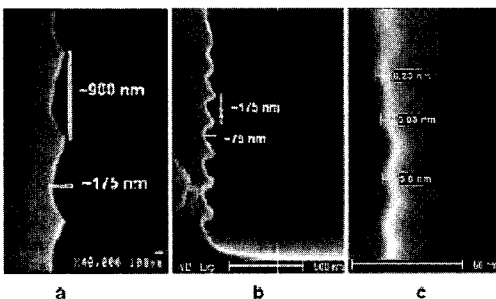


Fig. 7 Scallop reduction²⁴

5.2 Scallop 제어 방법

TSV 측벽의 거칠기는 주로 식각과 보호층 증착이 반복되는 과정에 의하여 스칼롭과 Mouse bites 현상에 기인하고 있다. 이를 제거 하기 위하여 습식 식각과 건식 식각이 고안되었다.^{16,24,25}

5.2.1 습식 식각에 의한 평탄화

Via 측벽의 거칠기는 수 μm 이하이고, 이것은 습식 식각에 의하여서 쉽게 제거될 수 있다. HF, HNO₃ 와 초산 혼합물을 이용하였고, 이 혼합물은 비등방성 식각 특성을 가지고 있다. Si 식각에서 13 $\mu\text{m}/\text{min}$ 의 높은 식각 속도를 얻었으나, SiO₂, Al 과 PR 에 대한 선택비가 낮기 때문에 잘 제어된 3D Integration 에서는 적합하지 않다. HF, HNO₃ 와 H₂O 혼합물을 사용하여 다결정질 Si 을 식각 한 경우, 0.35 $\mu\text{m}/\text{min}$ 의 적당한 식각 속도와 SiO₂ 에 대하여 높은 SiO₂ 식각 선택비를 얻었으나, 상온에서의 식각 선택비는 모든 조건에서 동일하였다. 마지막의 습식 평탄화는 뜨거운 KOH 용액이다. 이 용액은 SiO₂ 에 대한 높은 식각 선택비를 가지는 비등방성 식각 용액으로 알려져 있다.^{16,24}

5.2.2 건식 식각에 의한 평탄화

SF₆ 플라즈마를 이용한 건식 표면 평탄화가 보고되었다. 저온에서 SF₆를 10 분간 낮은 전력과 측벽의 거칠기가 향상된 사진이 Fig. 7 에 나타내고 있다. 이 경우 평탄화는 바로 Vi etching 이 끝난 후에 동일한 건식식각장치를 이용하여 수행하였다.^{16,24}

5.3 TSV 의 기울기 제어 방법

초기에는 3 차원 패키지를 포함한 다양한 응용을 위하여 완전히 수직인 TSV 를 제작하고자 하였으나, 최근에는 비아가 경사진 기울기를 가질 때, 쉽게 금속을 채울수 있다는 것이 보고되면서 비아 측벽의 기울기를 제어하기 위하여 다양한 연구가 진행 되었다.

5.3.1 Bosch process 개선

Ayon²⁶ 등과 Yeom²⁷ 등은 Bosch 공정에서 기울어진 비아를 얻기 위하여 수직인 비아를 형성하는 방법으로부터 측벽 보호층 형성 시간을 증가시키고, 반대로 식각 시간을 감소시킴으로써 기울어진 모양을 얻을 수 있었다(Fig. 8). 식각 시간을 급격하게 줄임으로써 비아 내부의 수평적 식각 시간이

줄어들게 때문이다. 또 다른 방법은 등방성 식각 공정을 추가하는 것이다. 기울기는 이 3 차 단계의 사이클 시간에 의하여 제어되고, 이 시간은 공정이 진행 됨에 따라서 감소하게 되며, 기울기 θ 는 60~85° 범위에 있다. 식각 속도는 일반적인 Bosch 공정과 비슷하고, 이 추가적인 식각 공정은 Scallop 도 평탄화시킬 수 있다.^{16,28}

5.3.2 연속 공정

연속 공정은 보쉬 공정이 개발되기 전에 초기의 RIE 공정에서 사용되던 방법으로, CMOS 배선 연결 공정에서 주로 보호층 형성 가스와 식각 가스를 반응로에 동시에 공급하고, 이들 가스들의 경쟁에 의하여 기울어진 비아를 얻을 수 있다. 식각은 여전히 SF₆ 또는 CHF₃ 등 F 계 가스가 이용되고 있으며, 보호층 형성 가스는 CF 를 포함하는 가스 또는 O₂ 가스가 이용되고 있다. TSV 의 기울기 조절을 위한 방법은 다양한 방법으로 진행되어 왔다.^{16,26-29}

1) Carbon 포함하는 가스를 이용한 제어

Tezcan²⁵ 등은 연속적인 식각 공정에서 C₄F₈ 가스가 증가하여, 부분적 식각 보호층의 두께가 증가하여 측벽의 기울기가 감소하였고, 또한, 압력과 기파에 인가되는 전력이 비아의 전체 모양을 제어할 수 있는 주요 제어 변수라고 보고하였다.^{16,25}

2) O₂ 를 포함하는 가스를 이용한 제어

Figueroa²² 등은 전체 가스 유량에서 O₂ 유량을 변화시켜 Si 비아 측벽 표면부분에 SiO_xF_y 보호막을 형성하게 된다. 이것에 의하여 식각 속도가 조절되고, 측벽의 기울기가 조절된다. 압력 또한 식각과 증착의 균형을 조절하는 데 관련된 변수이나, 식각 특성은 매우 장비에 의존하는 특성을 가지고 있다. 선택비와 식각 속도 모두 O₂ 플라즈마 농도에 따라서 급격하게 변한다.^{16,22}

3) 온도를 이용한 기울기 제어

일반적으로 온도는 보호층 형성을 위한 중요한 변수이다. 사실 연속적인 RIE 식각 모드에서 SiO_xF_y 의 증착과 식각은 동역학적으로 제한을 받는다. 0°C 이하의 저온은 고온 공정보다 우수한 보호층의 증착이 가능하다. 최근 극저온 DRIE 는 -120~20°C 의 광범위한 온도 범위에서 식각 공정의 가능하고, 기관의 온도에 따라서 보호층 형성 공정의 향상 또는 저감이 가능하다. De Bore²⁹ 등은 에 의하면 모든 변수들이 고정되어 있다면, 발표된 비아의 형상에서 온도가 낮을수록 적은 양의 O₂ 가 필요하

다. 극저온 DRIE 공정 레시피에 따라서 다양한 모양의 비아 또는 트렌치를 만들 수 있다고 보고하였다.^{16,29}

6. DRIE 식각 실험 결과

TSV 형성을 위하여서 (100) Si 위에 LTO 박막을 2 μm 형성하였다. Litho 공정을 이용하여 1 μm, 2 μm, 5 μm와 10 μm 의 선폭의 라인패턴과 10 μm 한변의 길이와 직경을 가지는 사각패턴과 원형패턴을 형성하였다. 먼저 LTO 층을 식각 하여 마스크를 형성한 후, SF₆/O₂ 플라즈마를 이용하여 Si 식각 공정과 C₄F₈ 을 이용하여 식각 방지층 형성 공정을 반복하여 90 분 동안 식각되었다. 식각과 식각 방지층 형성 공정의 1 사이클 동안 SF₆/O₂ 플라즈마를 이용하여 6.5 초 동안 Si 을 식각하였고, 식각 방지층 형성을 위하여 C₄F₈ 플라즈마에 5.5 초 동안 식각된 표면이 노출되었다. TSV 제작 후 측벽에 존재하는 폴리머는 O₂ 플라즈마를 이용하여 제거하였다. 그리고 TSV 의 절연을 위하여 O₃-TEOS 가 SACVD 법을 이용하여 1,700Å 가 증착되었다.

Fig. 9 는 Si 을 DRIE 를 이용하여 식각 한 후 10 μm 의 라인 패턴과 비아홀 패턴의 SEM Image 를 나타내고 있다. 그림 9 의 (a)의 10 μm 라인 패턴에서 거의 수직에 가까운 기울기를 가지는 식각 프로파일을 얻었다. 이때의 식각 깊이는 82 μm 이었고, 하단부가 약간 둥근 모양을 가지는 것이 관찰되었다. 그리고 LTO 박막의 아래에 Undercut 이 발생되었으며, 측벽에는 Scallop 이 관찰되었다. 라인패턴의 선폭이 1 μm에서 10 μm로 증가할수록 식각 속도가 증가하였다. 최대의 식각 속도는 10 μm라인 선폭에서 1.37 μm/min 이었다. 식각 속도의 차이는 마이크로 로딩 효과와 이온의 에너지 감소에 의한 것으로 사료된다. 그림 9 의 (b)에는 10 μm의 비아홀 패턴에서 역시 수직에 가까운 기울기를 가지는 식각 프로파일을 얻었으며, 이때의 식각 깊이가 71 μm이였으며, 비아홀 하단부 모서리가 약간 둥근 모양을 가지고 있는 것이 관찰되었다. 라인 패턴의 식각 속도가 비아홀의 식각 속도보다 빨랐으며, 이는 라인패턴의 면적이 비아홀의 면적보다 넓기 때문에 비아홀보다 충분한 라디칼의 공급이 가능하였고, 이온의 에너지 감소가 적은 원인에 의하여 식각 속도가 증가한 것으로 사료된다.¹⁷

Fig. 10 은 SACVD 를 이용하여 O₃-TEOS 박막을 증착한 SEM 사진을 나타내고 있다. Fig. 9 에서

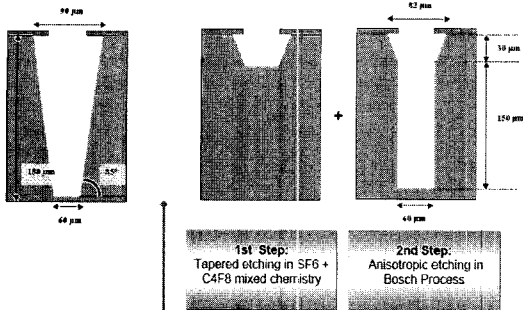


Fig. 8 TSV slop control method¹⁷

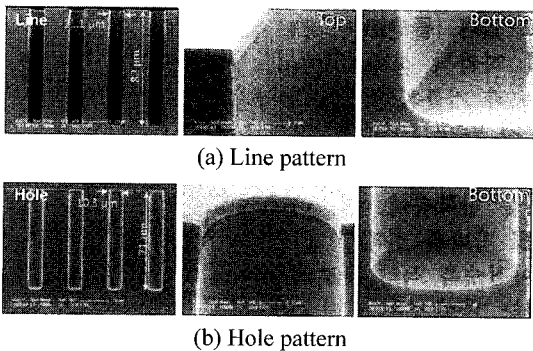


Fig. 9 SEM images of the etched Si profiles for 10 μm line patterns and 10 μm hole patterns

TSV 의 입구에 Undercut 이 발생하여, O₃-TEOS 박막이 균일하게 형성되지 않을 것으로 생각되었으나, SEM 이미지에서 나타난 바와 같이 비아홀의 상단부, 중간부 그리고 하단부 모두에서 거의 비슷한 두께의 O₃ TEOS 층이 형성된 것이 관찰되었다. SACVD O₃-TEOS 를 이용하여 우수한 Step coverage 를 가지는 절연층을 성공적으로 형성할 수 있었다.



Fig. 10 Insulator layer deposition using SACVD

7. 결론

본 논문을 통하여 수백 μm 의 깊이로 TSV 를 Si 에 가공하기 위하여 빠른 식각 속도와 비등방성 식각 특성을 가진 시스템이 요구 되고 있다. 현재 TSV 의 가공에는 고밀도 플라즈마의 형성과 기관

으로 향하는 이온의 에너지를 독립적으로 제어 할 수 있으며, 측벽 방향으로의 식각을 방지하기 위한 보호층 형성을 하는 DRIE 공정이 많이 이용되고 있다. 빠른 식각 속도를 얻기 위하여 주로 SF₆ 또는 SF₆/O₂ 가스가 Si 을 식각을 위하여 사용되었고, C₄F₈ 가스가 보호층 형성을 위하여 이용하는 Bosch 공정과 액체 냉각 질소로 Si 웨이퍼를 냉각하여 SF₆ 와 O₂ 또는 CHF₃ 를 이용한 장단점을 살펴본 결과, 온도에 대한 식각 방지층의 의존성과 웨이퍼 기관의 결정성의 방향에 따라 식각 특성이 변하는 이유 때문에 Bosch 공정이 일반적으로 이용되고 있다. 플라즈마 식각 변수를 적절하게 조절함에 따라서 식각 공정 후 발생하는 Undercut, Scallop 과 기울기를 제어할 수 있었다. 최근 금속 채움에서 약간 기울어진 식각 프로파일을 가진 경우 채움이 용이하였다. 그리고 SF₆/O₂ 와 C₄F₈ 플라즈마를 반복하여 이용하고, LTO 마스크를 이용하여 Si 박막을 식각한 실험에서 비아의 패턴 폭이 작아질수록 식각 속도와 식각 깊이가 감소하였다. 이는 마이크로 로딩 효과와 Knudsen 확산에 의하여 중형비가 증가하는 경우 식각 가스가 TSV 의 최 하단부까지 전달되지 않고, 또한 이온이 측벽과의 정전기력 반응에 의하여 에너지를 잃기 때문으로 사료된다. TSV 비아 측벽에 약간의 Scallop 이 형성 되었으나 거의 수직에 가까운 TSV 를 성공적으로 형성하였고, 그 다음 SACVD O₃-TEOS 공정을 이용하여 Step coverage 가 우수한 절연층을 형성할 수 있었다. 적절한 식각속도 제어와 보호층 형성에 의하여 수직의 식각 형상을 가지는 TSV 비아를 형성할 수 있는 공정을 개발하였다.

후 기

본 연구는 지식경제부, 산업기술연구회의 협동 연구사업 일환인 “차세대 반도체 MCP 핵심기술 개발 사업”의 지원에 의한 것입니다.

참고문헌

1. Kittla, J. A., Opsomera, K., Popovicia, M., Menoua, N., Kaczera, B., Wanga, X. P., Adelmanna, C., Pawlaka, M. A., Tomidaa, K., Rothschilda, A., Govoreanua, B., Degraevaa, R., Schaeckersa, M., Zahida, M., Delabiea, A., Meersschauta, J., Polspoela, W., Climaa, S., Pourtoisa, G., Knaepenb, W.,

- Detavernierb, C., Afanas'evc, V. V., Blombergd, T., Pierreux, D., Swertse, J., Fischere, P., Maese, J. W., Mangerf, D., Vandervorst, W., Conarda, T., Franqueta, A., Faviaa, P., Bendera, H., Brijsa, B., Van Elshochta, S., Jurczaka, M., Van Houdta, J. and Woutersa, D. J., "High-k Dielectrics for Future Generation Memory Devices," *Microelectronic Engineering*, Vol. 86, No. 7-9, pp. 1789-1795, 2009.
2. Wu, Y., Chang, C., Wang, C., Kao, C., Kuo, C. and Ku, A., "Impact of Preanneal Process on Threshold Voltage of MOS Transistors for Trench DRAM," *Microelectronic Engineering*, Vol. 86, No. 1, pp. 33-36, 2009.
 3. Kim, H., Lee, H. and Maeng, W., "Applications of Atomic Layer Deposition to Nanofabrication and Emerging Nano Devices," *Thin Solid Films*, Vol. 517, No. 8, pp. 2563-2580, 2009.
 4. Samber, M., Grunsven, E., Kums, G., Lugt, A. and Vries, H., "Recent Technology and Material Developments in 3D Packaging and Assembly," *Materials Research Society Symposia Proceedings*, Vol. 1112, pp. 189-200, 2009.
 5. EMC3D, http://www.emc3d.org/documents/library/marketAnalysis_3D/Pan%20Pac%203-D%20Technology%20review%20part%20II%20v2.pdf
 6. Charbonnier, J., Henry, D., Jacquet, F., Aventurier, B., Brunet-Manquat, C., Enyedi, G., Bouzaida, N., Lapras, V. and Sillon, N., "Wafer Level Packaging Technology Development for CMOS Image Sensors using Through Silicon Vias," *Proceeding of Electronics System Integration Technology Conference*, pp. 141-148, 2008.
 7. Henry, D., Jacquet, F., Neyret, M., Baillin, X., Enot, T., Lapras, V., Brunet-Manquat, C., Charbonnier, J., Aventurier, B. and Sillon, N., "Through Silicon Vias Technology for CMOS Image Sensors Packaging," *Proceeding of Electronic Components and Technology Conference*, pp. 556-562, 2008.
 8. Ranganathan, N., Ebin, L., Linn, L., Vincent, L., Navas, O., Kripesh, V. and Balasubramanian, N., "Integration of High Aspect Ratio Tapered Silicon Via for Through-Silicon Interconnection," *Proceeding of Electronic Components and Technology Conference*, pp. 859-865, 2008.
 9. <http://www.emc3d.org/documents/library/technical/No%201-Semitoool-Paul.pdf>
 10. Bonkohara, M., Motoyoshi, M., Kamibayashi, K. and Koyanagi, M., "Current and Future Three-Dimensional LSI Integration Technology by "Chip on Chip," "Chip on Wafer," and "Wafer on Wafer"," *Materials Research Society Symposia Proceedings*, Vol. 970, pp. 35-48, 2007.
 11. Li, F., Nicopoulos, C., Richardson, T. and Xie, Y., "Design and Management of 3D Chip Multiprocessors Using Network-in-memory," *ACM SIGARCH Computer Architecture News*, Vol. 34, No. 2, pp. 130-141, 2006.
 12. Emma, P. and Kursun, E., "Is 3D Chip Technology the Next Growth Engine for Performance Improvement?," *IBM Journal of Research and Development*, Vol. 52, No. 6, pp. 541-552, 2008.
 13. Tezzaron Semiconductors, http://www.tezzaron.com/memory/Overview_3D_DRAM.htm
 14. Motoyoshi, M., Nakamura, H., Bonkohara, M. and Koyanagi, M., "Current and Future 3D-LSI Technology for the Image Sensor Devices," *Materials Research Society Symposia Proceedings*, Vol. 1112, pp. 25-32, 2009.
 15. KOSEN, http://www.kosen21.org/nwebzine/webzine_view.jsp?webzine_seq=39&board_seq=348&data_seq=721, 3-Dimensional Microsystem Packaging.
 16. Garrou, P., Bower, C. and Ramm, P., "Handbook of 3D Integration Technology and Applications of 3D Integrated Circuits," Wiley-VCH, pp. 47-91, 2008.
 17. Jansen, H., de Boer, M., Unnikrishnan, S., Louwerse, M. and Elwenspoek, M., "Black Silicon Method X: a Review on High Speed and Selective Plasma Etching of Silicon with Profile Control: an In-depth Comparison between Bosch and Cryostat DRIE Processes as a Roadmap to Next Generation Equipment," *Journal of Micromechanics and Microengineering*, Vol. 19, No. 3, Paper No. 033001, 2009.
 18. Puech, M., Thevenoud, J., Gruffat, J., Launay, N., Arnal, N. and Godinat, P., "Fabrication of 3D Packaging TSV using DRIE," *Symp. on Design, Test, Integration and Packaging of MEMS/MOEMS*, pp. 109-114, 2008.
 19. Shinde, S., Bauer, S., Massad, J. and Hetherington, D., "Front End of Line Through Silicon Via (TSV)

- Integration,” *Mater. Res. Soc. Symp. Proc.*, Vol. 1112, pp. 151-158, 2009.
20. Chekurov, N., Koskenvuori, M., Airaksinen, V.-M. and Tittonen, I., “Atomic Layer Deposition Enhanced Rapid Dry Fabrication of Micromechanical Devices with Cryogenic Deep Reactive Ion Etching,” *J. Micromech. Microeng.*, Vol. 17, No. 8, pp. 1731-1736, 2007.
21. Figueroa, R., Spiesshoefer, S., Burkett, S. and Schaper, L., “Control of Sidewall Slope in Silicon Vias Using SF_6/O_2 Plasma Etching in a Conventional Reactive Ion Etching Tool,” *J. Vac. Sci. Technol. B*, Vol. 23, No. 5, pp. 2226-2231, 2005.
22. Li, R., Lamy, Y., Besling, W., Roozeboom, F. and Sarro, P., “Continuous Deep Reactive Ion Etching of Tapered Via Holes for Three-dimensional Integration,” *J. Micromech. Microeng.*, Vol. 18, No. 12, Paper No. 125023, 2008.
23. Mukherjee, P., Kang, M., Zurbuchen, T., Gu, L. and Herrero, F., “Fabrication of High Aspect Ratio Si Nano Gratings with Smooth Sidewalls for a Deep UV-Blocking Particle Filter,” *J. Vac. Sci. Technol. B*, Vol. 25, No. 6, pp. 2645-2648, 2007.
24. Tezcan, D., Munck, K., De Pham, N., Luhn, O., Aarts, A., De Moor, P., Baert, K. and Van Hoof, C., “Development of Vertical and Tapered Via Etch for 3D through Wafer Interconnect Technology,” *Proceeding of Electronics Packaging Technology Conference*, pp. 22-28, 2006.
25. Ayon, A., Bayt, R. and Breuer, K., “Deep Reactive Ion Etching: a Promising Technology for Micro- and Nanosatellites,” *Smart Mater. Struct.*, Vol. 10, No. 6, pp. 1135-1144, 2001.
26. Yeom, J., Wu, Y. and Shannon, M., “Critical Aspect Ratio Dependence in Deep Reactive Ion Etching of Silicon,” *IEEE International Conference on Transducers Solid-State Sensors, Actuators and Microsystems*, Vol. 2, pp. 1631-1634, 2003.
27. Roxhed, N., Griss, P. and Stemme, G., “A Method for Tapered Deep Reactive Ion Etching Using A modified Bosch Process,” *Journal of Micromechanics and Microengineering*, Vol. 17, No. 5, pp. 1087-1092, 2007.
28. De Bore, M., Gardeniers, J., Jansen, J., Smulders, E., Gilde, M., Roelofs, G., Sasserath, J. and Elwenspoek, M., “Guidelines for Etching Silicon MEMS Structures Using Fluorine High-Density Plasmas at Cryogenic Temperatures,” *Journal of Microelectromechanical Systems*, Vol. 11, No. 4, pp. 385-401, 2002.