

◆ 특집 ◆ 3D TSV 패키징 기술

수치해석을 이용한 TSV의 열 기계응력 연구

Numerical Study of Thermo-mechanical Stress on TSV

최진영¹, 송차규¹, 이행수², 좌성훈^{1,✉}
Jin Young Choi¹, Cha Gyu Song¹, Haeng Soo Lee² and Sung Hoon Choa^{1,✉}

¹ 서울산업대학교 (Department of Nano IT, Seoul National Univ. of Technology)
² 울산과학기술대학 디지털기계학부 (Department of Digital Mechanics, Ulsan College)
✉ Corresponding author: shchoa@snut.ac.kr, Tel: 02-970-6593

Key Words: Multi Chip Package (멀티칩패키지), Through Silicon Via (관통 실리콘 비아), Thermo-mechanical Stress (열기계응력), Reliability (신뢰성)

1. 서론

최근 전자제품의 소형화로 반도체 소자 패키징 기술의 경향은 경박단소, 다기능 고집적, 저렴한 비용, 효과적인 열 방출 및 높은 전기적 특성 그리고 고 신뢰성을 모두 만족시키기 위해 발전되고 있다. 특히 기존의 와이어 본딩 형태가 아닌 TSV(through silicon via)를 이용하여 칩들을 수직으로 적층하는 3D integration 기술이 최근 큰 관심을 얻고 있다.¹

TSV(through silicon via)를 이용한 MCP(multi chip package) 기술은 여러 개의 기판 혹은 다른 종류의 칩들이 적층(stack) 형태로 패키징되는 기술이다. MCP 기술은 칩을 Z 축 방향으로 적층하여 접합 면적을 최소화하는 이른바 3-D 패키징 기술(3-D packaging technology)의 하나이다. 즉, 하나의 독립적인 기능을 수행하는 장치를 시스템이라고 하는데, 이렇게 하나의 시스템이 완성되기 위해서는 보드(board) 위에 메인 칩을 비롯한 다양한 역할의 칩이 각기 실장되고, 다시 여러 수동소자들이 실장되어야 가능하다. 3 차원으로 칩을 적층함으로써 로직(logic), 메모리(memory), 기타 디바이스(device) 등 시스템을 구성하는 다양한 기능이 하나의 패키지에 통합된다. 현재까지는 수 개의 칩이 각기 보

드 위에 패키징되어 왔으므로 보드 위에 패키지가 차지하는 면적이 상당히 클 수밖에 없었다. 하지만 칩 위에 칩을 접합하고, 그 위에 또 다른 칩을 접합하여 패키징하게 되는 3-D 패키징을 이용하면 한 개의 칩을 실장할 면적에 수개의 칩을 실장하게 되므로 그만큼 접합 면적에서의 이점이 생긴다.

3D integration 은 다양한 재료로 이루어진 복잡한 구조로 되어있다. 또한 배선(interconnect)의 수가 증가하고 칩의 크기가 작아짐에 따라서 열 응력 및 기계적 피로 파괴 등이 발생할 가능성이 많다. 특히 배선 간의 전기적 손실을 최소화하기 위한 재료로써 구리(Cu)를 사용할 경우에 발생할 수 있는 신뢰성 문제를 간과할 수 없다. 구리는 실리콘 기판에 비하여 6~7 배의 높은 열팽창계수(coefficient of temperature expansion, CTE) 값을 갖는다. 따라서 TSV 공정 중에 발생하는 열 응력은 소자의 신뢰성에 큰 영향을 미친다. 또한 비아 홀(via hole)의 직경이 작아짐에 따라 TSV 에 발생하는 응력 집중을 무시할 수 없다. 이는 향후 낙하 충격 신뢰성 및 열 충격 신뢰성에 큰 영향을 미칠 수 있다.

실리콘 다이, 구리 비아 및 주변 물질들과의 열팽창계수의 mismatch 로 인하여 발생한 열 응력은 소자의 성능을 저해할 수 있다. 100MPa 의 응력

의 증가는 MOSFET 소자에서 약 7%의 carrier mobility 를 감소시킨다고 보고되고 있다.² 또한 열 응력은 실리콘 기판의 크랙을 발생시켜, 궁극적으로는 소자의 파괴를 초래한다. 이러한 신뢰성 문제를 해결하기 위하여 다양한 방법 및 연구들이 시도되고 있다. 특히, 유한요소해석(Finite Element Method, FEM)을 이용하여 공정 중에 발생할 수 있는 응력에 대한 연구가 진행되었으며,³ 다양한 비아 형상에 따른 응력의 크기를 비교함으로써 비아의 응력을 최적화하려는 노력이 있었다.

Zhang 등⁴ 은 구리 TSV 내에서 발생된 응력은 항복 응력(yield strength) 값보다 클 수 있음을 보였다. 또한 Kuan 등⁵ 은 구리 비아 부의 응력과 크랙(crack)을 발생시킬 수 있는 응력강도(stress intensity) 값을 계산하여 구리 비아의 배치를 최적화하고자 하였다. Hsieh⁶ 는 4 층으로 적층된 패키지에서 유한 요소 해석을 통하여 열팽창 계수 mismatch 로 인한 열 응력은 TSV 와 실리콘 기판(silicon substrate) 사이에서 발생함을 보고하였으며, 언더필(underfill) 물질이 구리 비아 및 실리콘 다이(silicon die)에 미치는 영향을 민감도 해석을 통하여 고찰하였다. Selvanayagam 등⁷ 은 비선형 응력/변형률(nonlinear stress/strain)에 대한 해석을 통하여 구리 비아, SiO₂ 및 실리콘의 열팽창계수 mismatch 로 인한 파괴 가능성을 제시하였다. Ramm 등⁸ 은 비아 재질로서 W-plug 를 사용한 경우와 구리를 사용한 경우에 대해서 응력해석을 수행하였다. 최근에는 패키지의 열 응력에 영향을 미치는 각 인자들, 즉 비아 크기, 피치 간격, 실리콘 기판의 두께, 언더필의 종류 등에 대한 최적화를 시도하기 위하여 다구치(Taguchi) 방법 등의 실험계획법을 이용한 최적화 방법이 연구되고 있다.⁹

TSV 를 이용한 3D integration 패키지 기술은 최근에 연구되고 있는 분야로서 사용 가능한 실험 데이터 및 신뢰성 결과가 부족한 실정이다. TSV 를 이용한 MCP 기술의 경우 기술의 종류가 매우 다양하고, 응용 제품에 대한 종류도 매우 많기 때문에 연구의 방향이 매우 제한적인 경향이 있다. 따라서 TSV 적용 기술의 파괴 메커니즘(failure mechanism) 및 모드 등도 잘 알려져 있지 않다. 패키지를 설계하고 제작 위해서는 패키지에서 발생하는 신뢰성 문제를 예측하고 패키지의 수명을 예측할 수 있는 신뢰성 설계 해석이 필수적이다.

본 논문에서는 TSV 기술을 이용한 MCP 패키징에 대하여 비아의 크기, 비아 간의 피치, 실리콘

기판의 두께, 언더필의 재질 등 MCP 패키징에 영향을 줄 수 있는 다양한 인자들에 대한 영향을 포괄적으로 분석함으로써 향후 TSV 기술을 이용한 MCP 패키지 개발의 방향을 제시하고자 하였다.

2. 해석 모델 및 조건

2.1 유한 요소 해석 모델

본 연구를 위하여 제안된 TSV 를 이용한 MCP 패키지의 개략도는 Fig. 1(a)와 같다. 폭이 30mm×30mm, 두께가 0.6mm 인 실리콘 기판 위에 얇게 thinning 된 8 층의 실리콘 다이가 구리 TSV 로 배선되어 각각 쌓여있다. 실리콘 다이의 크기는 13.5mm×13.5mm 이며, 두께는 50μm 이다. Fig. 1(b) 를 보면 TSV 는 실리콘 다이 위에 구리 패드(Cu pad), 솔더(solder), 그리고 구리 패드 순으로 연결된 구조 위에 구리로 채워진 비아로 이루어져 있다. 비아는 각 다이의 가장자리를 따라 배치되어 있고 실리콘 다이 사이에는 전기적 손실을 방지하기 위한 절연막인 언더필 재료가 채워져 있다. 솔더의 재질은 Sn96.5-Ag3.5 솔더가 사용되었으며, 언더필은 BCB(Benzocyclobutene) 재료를 사용하였다.

비아 홀의 크기와 비아 간의 피치 등 설계 변수들의 변화에 대한 응력의 분포를 파악하기 위해 3D 유한요소해석(finite element method, FEM)을 수행하였다. 응력 집중은 구조의 파괴를 초래하므로 여기에서는 구리의 항복 응력 이상의 응력이 작용하는지 확인하기 위하여 유한요소해석을 수행하였

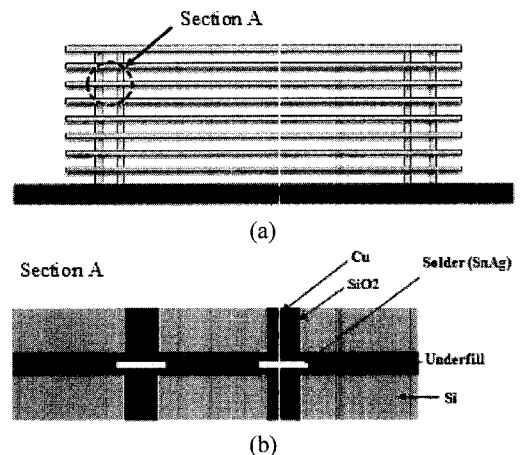


Fig. 1 (a) Schematic drawing of MCP packaging using Cu TSV interconnection (b) Detailed drawing of TSV interconnection area (Section A in Fig. 1(a))

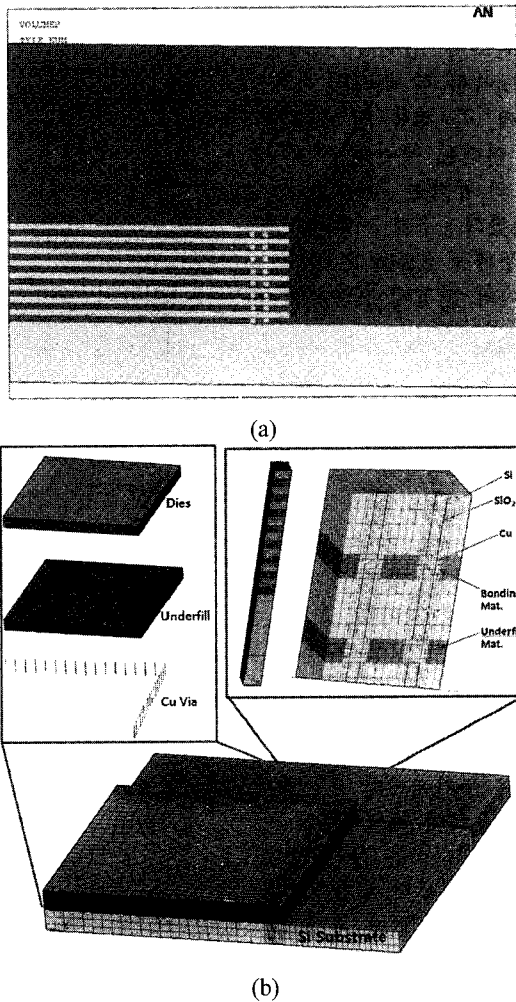


Fig. 2 (a) 3D finite element model of MCP packaging (b) Local model of TSV including 2 TSV holes and zoom-in A area

다. 상용 해석 프로그램인 ANSYS 를 이용하여 Fig. 2(a)와 같이 8 층의 실리콘 칩을 가진 3 차원 TSV 모델을 구성하였다. 본 연구에서는 전체 모델 중 단위 비아 주위의 응력 분포를 살펴보기 위하여 Fig. 2(b)와 같이 두 개의 비아를 포함하는 3 층의 국부 모델만을 사용한다. 이는 8 층으로 이루어진 전체 모델에 대한 해석 결과가 3 층의 결과와 크게 다르지 않았기 때문에 해석 시간을 줄이기 위하여 국부 모델을 사용하였다. 이 국부 모델에서는 비아의 직경을 5 μ m, 10 μ m, 20 μ m 으로 변화시키고 동시에 피치 또한 25 μ m, 50 μ m, 75 μ m, 100 μ m 로 변화시키며 각각의 응력 분포를 보았다. 또한 다

양한 언더필 재료에 대한 영향 및 실리콘 다이 두께의 변화가 응력에 미치는 영향도 고찰하였다. Fig. 1(b)에서 각 실리콘 칩의 두께는 50 μ m, 언더필의 두께, 즉 적층 된 실리콘 다이 사이의 간격은 20 μ m, 언더필 부분의 구리패드의 두께, 솔더와 구리패드의 두께는 각각 8 μ m, 4 μ m, 8 μ m 로 일정하게 유지시켰다. 구리 비아의 절연 막으로 쓰인 SiO₂ 층의 두께는 0.5 μ m 로 이는 매우 얇은 관계로 구리 비아의 반경에 포함하여 일정하게 적용하였다.

2.2 유한 요소 해석 조건

각 부분의 요소(element)로는 8 절점 사면체 요소를 선택하였으며, 해석 결과의 정확도를 높이기 위하여 TSV 와 솔더 부분은 더 조밀하게 메쉬를 이루었다.⁹ Fig. 3 은 비아 직경이 10 μ m, 피치가 50 μ m 일 때의 메쉬 크기를 변화시키며 같은 조건에서의 응력 차이를 본 것이다. 각각의 총 메쉬 개수를 조정하여 총 요소의 수를 4300, 6300, 11800, 15300, 17700, 22200 개로 변화시켰을 때의 결과 값은 최적 값과 0.57%의 차이를 보여 매우 근소한 차이를 보임을 알 수 있으며, 따라서 본 논문에서는 수렴 구간에서의 요소의 개수인 15300 개의 요소를 사용하여 해석하였다.

실리콘 다이는 두께 방향으로 4 개의 요소, 언더필 부분은 두께 방향으로 5 개의 요소가 배치되도록 하여 유한요소의 세장비가 너무 커지는 것을 방지하였다. 구리는 소성을 고려하기 위해 kinematic hardening model 로 표현되는 소성 재료로서 모델링

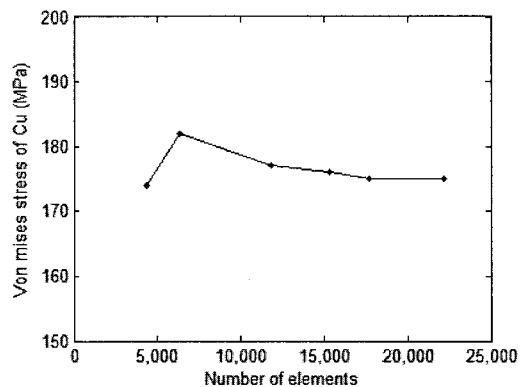


Fig. 3 Variation of computed stress value depending on the number of mesh in case of 10 μ m via diameter and 50 μ m pitch

하였으며, 나머지 모든 물질은 탄성 범위에 있는 물성치가 적용되었다. 각각의 물성치는 Table 1 에서 나타나는 것과 같다. 이 물성치는 여러 논문에서 제시된 대표 값을 선택하였다.^{6,9-11}

Table 1 Material properties used in numerical study

Parts	Material	E (GPa)	ν (Poisson's ratio)	CTE (ppm/°C)
Via	Cu	120	0.34	17
Chip	Si	130	0.28	2.8
Dielectric	SiO ₂	70	0.16	0.6
substrate	Si	130	0.28	2.8
Underfill	BCB	2.9	0.34	52
Solder	Sn96.5-Ag3.5	52.7	0.4	21.85

* Yield strength of copper: 172.3MPa

* Tangent modulus of copper: 517.1MPa

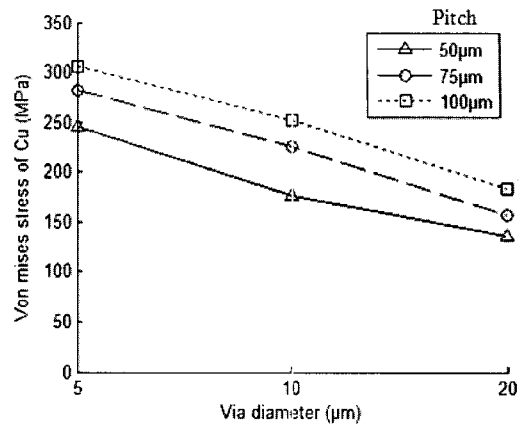
변위 경계조건으로서 실리콘 기판 밑면에서의 두께 방향 변위를 구속시키고 하중조건으로서 온도를 초기온도 125°C에서 -40°C로 감소시킨다. 초기 온도인 125°C에서의 응력을 0(free-stress)이라 하였다. 이는 고온에서의 모든 공정이 끝난 후의 실온으로 돌아왔을 때의 온도변화를 고려한 것이다.

3. 해석 결과 및 고찰

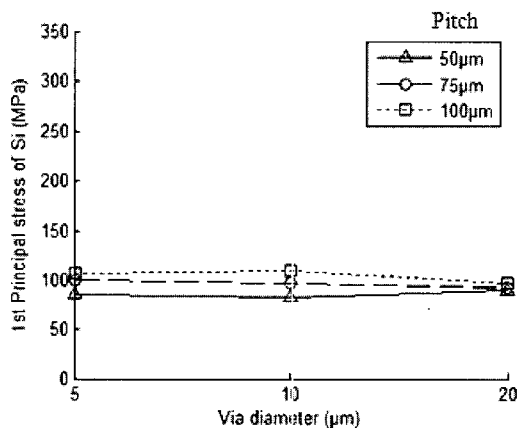
3.1 비아 크기와 피치에 의한 영향

Fig. 4 는 비아 크기에 따른 피치 별 구리 비아 내부의 최대 von Mises 응력과 실리콘 다이의 최대 주응력(principal stress)을 나타낸다. Fig. 4(a)에서 보면 비아의 크기가 증가할수록 구리 비아 내부의 응력은 감소하게 된다. 이것은 비아의 크기가 커짐에 따라 비아가 전체 패키지에서 차지하는 면적이 커지게 되므로 단위 면적 당 구리 비아가 받는 응력은 감소하게 되기 때문이다. 반면, Fig. 4(b)에서와 같이 실리콘 다이에서의 주응력은 큰 차이를 나타내지 않으며, 비아의 직경이 20 μ m 으로 커지게 됨에 따라 실리콘 다이의 응력은 비아의 크기에 영향을 많이 받지 않고 있음을 알 수 있다.

Fig. 5 는 피치, 즉 비아 간의 간격에 따른 응력의 변화를 나타낸다. Fig. 5(a)에 나타난 바와 같이 비아 사이의 피치가 증가할수록 구리 비아 내의



(a)



(b)

Fig. 4 (a) Computed von Mises stress in Cu via with different via sizes and pitch sizes (b) Computed principal stress in silicon die with different via diameters and pitch sizes

응력 또한 증가함을 알 수 있다. 이것은 동일한 비아 크기에서 피치가 커짐에 따라 전체 패키지 내에서의 비아의 개수가 적어지게 되고, 결과적으로 단위 면적당 구리 비아에 작용하는 응력이 커지기 때문이라고 판단된다. 실리콘 다이에서 받게 되는 주응력은 Fig. 5(b)에서와 같이 피치가 증가함에 따라 비아의 직경이 5 μ m 일 때와 10 μ m 일 때에는 미세하게 증가하지만, 비아의 직경이 20 μ m 으로 증가하게 되면 피치의 영향을 거의 받지 않음을 알 수 있다. 이는 피치가 증가함에 따라 비아 사이의 실리콘의 면적과 언더필의 면적이 증가하며 전체 패키지의 영향을 더 받게 되기 때문으로 볼 수 있다.

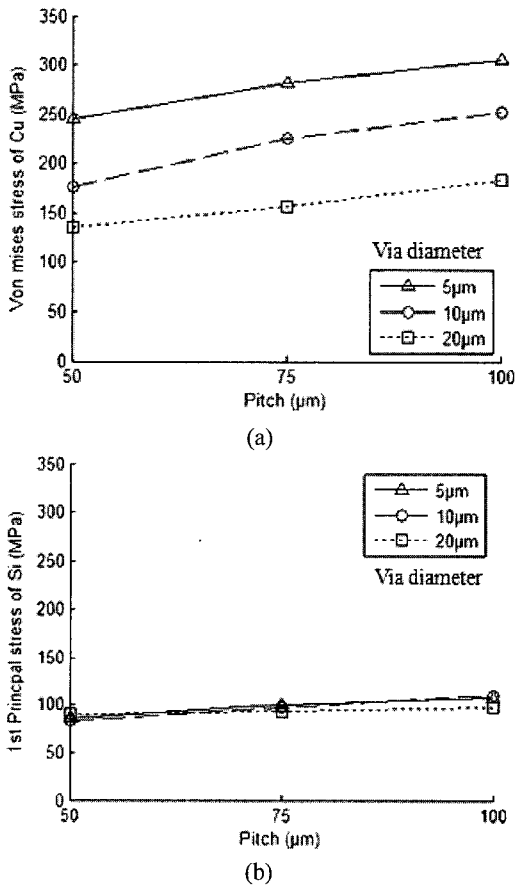


Fig. 5 (a) Computed von Mises stress in Cu via with different pitch sizes (b) Computed principal stress in silicon die with different pitch sizes

Fig. 6(a)는 비아의 직경이 10μm, 피치가 50μm 일 때, 구리 비아를 중심으로 하는 전체 패키지 단면의 von Mises 응력 분포를 보여준다. 응력은 A 지점에서 최대가 됨을 알 수 있다. A 지점은 구리 패드, 언더필, 실리콘이 모두 맞닿는 계면이다. 따라서 이러한 계면 부분에서 응력이 집중될 가능성이 크다. 반면, Fig. 6(b)에서 나타난 것과 같이 비아의 직경이 20μm, 피치가 50μm 인 경우에는 가장 밑의 B 지점에서 응력이 최대가 됨을 알 수 있고, B 지점은 실리콘 기판과 구리패드의 계면을 가리킨다. 이는 비아의 크기가 커짐에 따라 구리패드와 솔더가 함께 커지면서 상대적으로 언더필이나 실리콘에 대한 영향을 덜 받게 됨에 따라 실리콘 기판과의 계면에서 응력 집중이 발생하는 것으로 보인다. 피치가 작아졌을 때, 즉 비아와 비아 사이의 간격이 25μm 로 매우 작아졌을 때에는 비아의

응력이 다른 비아에 영향을 미쳐 비아 내부의 응력 및 주변 실리콘 다이의 응력이 증가됨을 알 수 있었다. 결론적으로 비아가 5μm, 10μm, 20μm 로 변하고, 피치가 50μm, 75μm, 100μm 의 범위에서는 비아의 크기가 커짐에 따라, 피치가 작아짐에 따라 구리 비아 내부의 응력은 감소하게 된다.

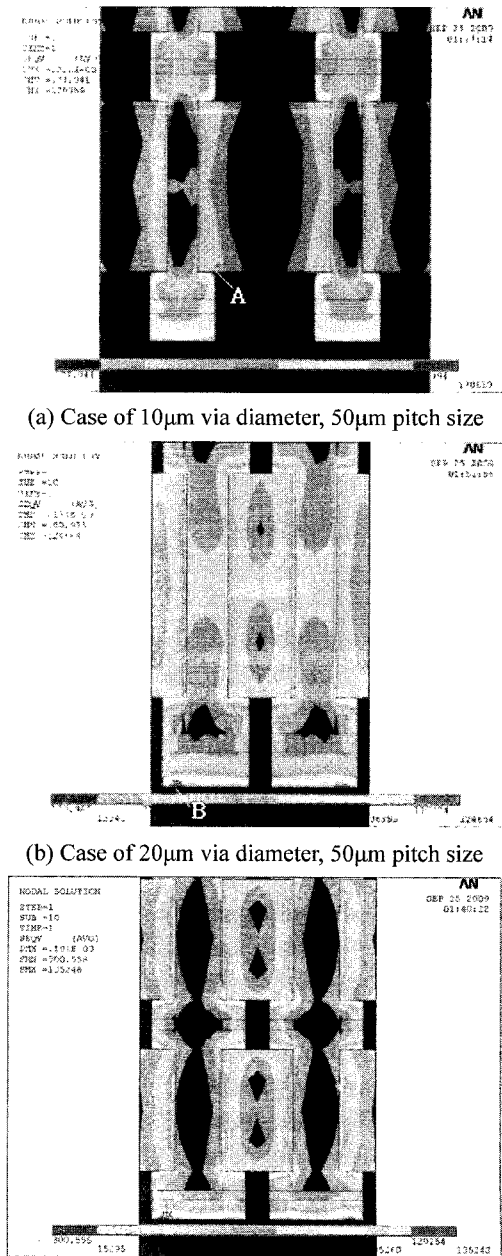
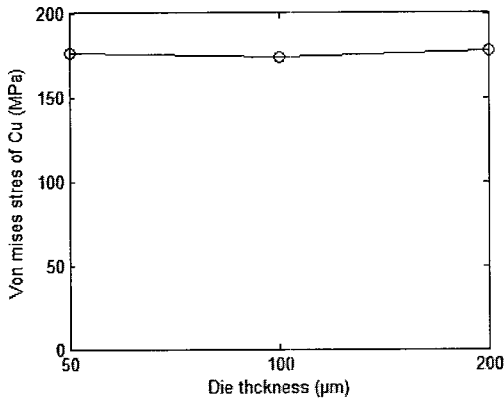


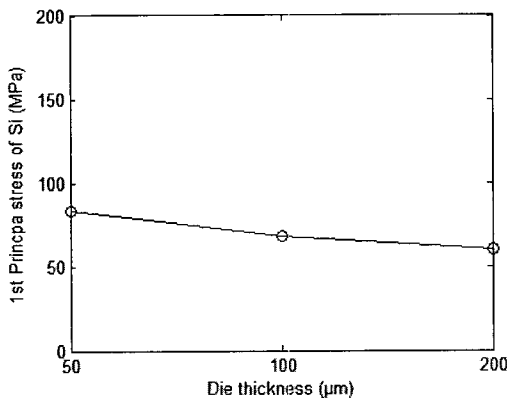
Fig. 6 Computed von Mises stress distribution

3.2 실리콘 다이의 두께에 의한 영향

실리콘 다이의 두께에 따른 응력 해석은 비아 직경이 10 μ m, 피치가 50 μ m 인 모델을 기준으로 하여 실리콘 다이의 두께를 각각 50 μ m, 100 μ m, 200 μ m 으로 변화시켰다. 다이의 두께를 변화시켰을 때, Fig. 7(a)와 같이 구리 비아에서의 응력 변화는 큰 차이를 보이지 않는다. 그러나 Fig. 7(b)에서 나타내는 것과 같이 실리콘 다이의 주응력에서는 실리콘 다이의 두께가 두꺼워질수록 응력이 감소하는 것을 볼 수 있다. 이것은 전체 패키지에서 실리콘 다이가 차지하는 비율이 커짐에 따라 응력이 감소하는 것이다.



(a) von Mises stress in Cu via



(b) principal stress in silicon die

Fig. 7 Computed stress with different silicon die thicknesses on 10 μ m via diameter and 50 μ m pitch size

3.3 언더필 종류에 따른 영향

언더필 재료는 실리콘 다이 사이의 완충 역할을 해준다. 그러나 언더필 재료의 강성이 너무 높

거나, 주변 재료와의 열팽창 계수의 차이가 과도할 경우 주변 재질, 특히 솔더의 변형 및 응력을 증가시키는 결과를 초래할 수 있다. 따라서 본 논문에서는 기존 논문들에서 제안되었던 여러 언더필 재료를 사용하였을 경우에 응력의 변화를 살펴 보았다. Fig. 8 은 언더필의 종류에 따른 응력 차이를 보여준다. ABF(Ajinomoto built-up film),¹⁰ Underfill,⁶ Epoxy,¹¹ BCB(Benzocyclobutene),¹² NUF(No Flow Underfill)¹³ 의 총 다섯 가지의 언더필 재료에 따라 해석하였고, 각각의 물성치는 Table 2 에 나타난 것과 같다. ABF 를 사용하였을 경우 구리 비아 내에서의 von Mises 응력이 최대가 되고, 그 다음으로는 BCB 를 사용하였을 때가 컸다. NUF 를 사용하였을 경우가 구리 비아에서 발생하는 응력이 제일 낮았다. 물성 데이터를 보면 ABF 의 열팽창 계수가 제일 크고, 그 다음으로 BCB 가 크다. 탄성계수가 제일 큰 Epoxy 의 경우, 응력은 그리 크지 않다. 따라서 언더필의 경우 열팽창계수가 구리 비아의 응력에 가장 큰 영향을 미친다고 사료된다.

Table 2 Material properties for different underfill materials

	E (GPa)	v (Poisson's ratio)	CTE (ppm/ $^{\circ}$ C)
ABF	3.5	0.27	60
Underfill	3	0.33	30
Epoxy	6.1	0.35	33
BCB	2.9	0.34	52
NUF	5.291	0.35	37.15

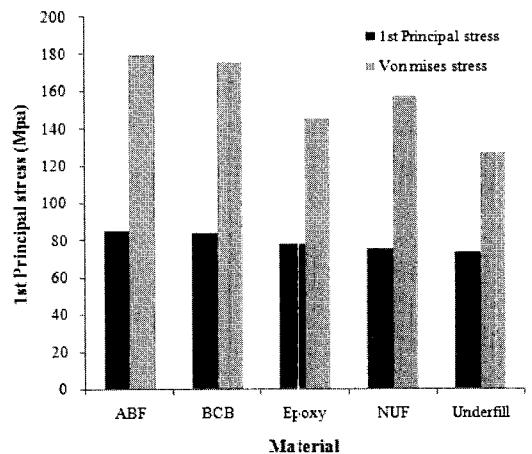


Fig. 8 Computed stress for different underfill materials

4. 실험계획법

실험계획법(Design Of Experiments, DOE)은 제품의 특성에 영향을 미치는 여러 가지 인자를 선정하고 이들의 관계를 알아보기 위한 실험을 실시하여 제품의 최적 제조 조건을 경제적으로 찾아내는 기법이다. 실험계획법의 주요 목적은 어떤 요인이 반응에 유의한 영향을 주고 있는가를 파악하고 그 영향이 양적으로 어느 정도 큰가를 알아내고 유의한 영향을 미치는 원인들이 어떠한 조건을 가질 때 가장 바람직한 반응을 얻을 수 있는가를 알아내기 위해서 사용된다.¹⁴

본 논문의 해석 결과와 같이 TSV interconnection의 응력 및 파괴에 영향을 줄 수 있는 설계 파라미터로서 비아 크기, 피치, 언더필 재질, 다이의 두께 등이 있다. 이들에 대한 영향을 3 장에서 살펴본 각 파라미터들의 영향을 바탕으로 비아 홀 주위의 응력 분포에 영향이 비교적 큰 인자를 정의하고, 응력의 최소화를 위한 이 인자들의 최적 조합을 구하기 위하여 실험계획법의 많은 방법들 중 다구치(Taguchi) 법을 사용하였다.

본 연구의 해석 결과를 보면 응력에 영향을 많이 미치는 인자로는 비아 홀의 크기와 비아 홀의 간격, 언더필 재료가 있다. 특히 언더필 재질의 경우 탄성계수와 열팽창계수의 영향을 별도로 보기 위하여 탄성계수와 열팽창 계수를 각기 별도의 인자로 선택하였다. 따라서 비아 홀의 크기, 비아 홀의 간격, 언더필의 탄성계수, 그리고 언더필의 열팽창계수로서 총 4 개의 인자를 정의하였고 각각의 인자는 3 개의 수준을 가지는 것으로 하였다. 실리콘 다이의 두께의 경우, 두께의 변화가 응력에 주는 영향이 그다지 크지 않기 때문에 인자에서는 제외시켰다. Table 3 은 그 인자들과 각각의 수준을 보여주며, Table 4 는 다구치 법에 의한 L9 matrix 의 orthogonal array 를 나타낸다. 실험의 목표 특성치는 구리 비아 및 실리콘 다이의 응력이 최소로 되는 조건으로 하였으며 따라서 망소 특성치

Table 4 Taguchi L9 orthogonal array

Run	A	B	C	D	SN Ratio
1	1	1	1	1	-42.8603
2	1	2	2	2	-46.8089
3	1	3	3	3	-51.7990
4	2	1	2	3	-46.6891
5	2	2	3	1	-41.7272
6	2	3	1	2	-45.5292
7	3	1	3	2	-42.5421
8	3	2	1	3	-43.8066
9	3	3	2	1	-42.4115

(smaller the better)를 적용하여 신호 대 잡음 비를 정의하였다.

SN 비의 분포는 Fig. 9(a)에서 확인할 수 있고, 각 인자에 따른 결과값은 Fig. 9(b)를 통해 볼 수 있다. 또한 Table 5 의 rank 에서 언더필의 열팽창계

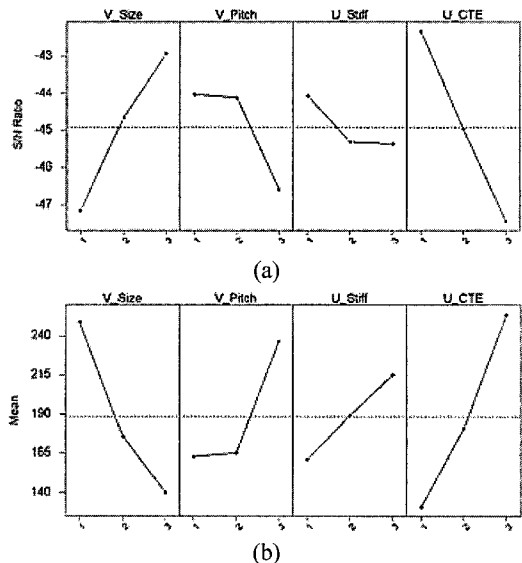


Fig. 9 Main effects plot for (a) S/N ratio (b) Mean

Table 3 Factors and levels for simulation

Factors	Level			Unit
	1	2	3	
A Via size	5	10	20	μm
B Via pitch	50	75	100	μm
C Underfill stiffness	2	4	6	GPa
D Underfill CTE	20	40	60	ppm/°C

Table 5 SN ratio and influential factors

Level	V_Size	V_Pitch	U_Stiff	U_CTE
1	-47.156	-44.031	-44.065	-42.333
2	-44.649	-44.114	-45.303	-44.960
3	-42.920	-46.580	-45.356	-47.432
Delta	4.236	2.549	1.291	5.099
Rank	2	3	4	1

수가 가장 큰 영향을 미치고, 그 다음으로 비아 크기가 영향을 미쳤다. 언더필의 탄성계수가 응력의 영향이 가장 적은 것으로 확인할 수 있다.

응력이 최소가 되는 최적조합은 SN 비가 최소가 되는 조합으로서 Table 6 과 같으며, Fig. 10 에서 전체적인 von Mises 응력 분포를 확인할 수 있다. 이 조합으로 해석을 수행한 결과, 응력 값은 구리 비아의 von Mises 응력은 135MPa 가 되며 실리콘 다이의 주응력은 85MPa 가 된다. 이는 비아의 크기가 클수록, 피치가 작을수록, 언더필의 탄성계수와 열팽창계수가 작을수록 최소의 응력을 나타내는 것으로 나타났다. 이러한 이유는 비아의 크기가 커질수록 단위 면적 당 구리 비아가 받는 응력이 적어지고, 피치가 작을수록 비아 사이의 실리콘의 면적이 감소하여 비아가 전체 패키지의 영향을 덜 받음을 알 수 있다. 한편 최적조합으로 해석된 응력 값(135MPa)은 구리 및 실리콘 재료의 항복응력에 비하여 작은 값임으로, 본 연구에서 제안된 TSV 를 이용한 MCP 패키지의 신뢰성을 어느 정도 확인할 수 있었다.

Table 6 Optimal combination of Taguchi method

Optimal Combination				
	V_Size	V_Pitch	U_Stiff	U_CTE
Level	3	1	1	1
Value	20μm	50μm	2GPa	20ppm/°C

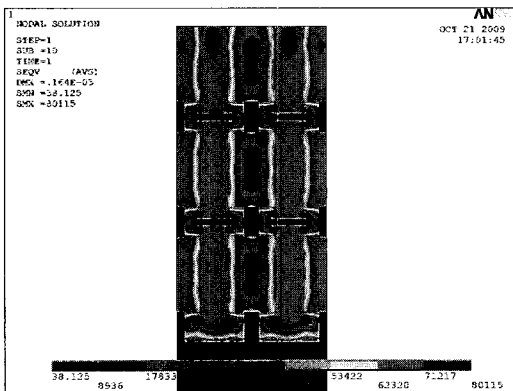


Fig. 10 von Mises stress of optimal combination

5. 결론

본 논문에서는 TSV 를 이용한 MCP 패키지 개발 시 발생할 수 있는 열 기계적 신뢰성 문제를

예측하기 위하여 수치해석을 통하여 TSV 의 응력을 해석하였다. 응력이 최대가 되는 부분은 구리 비아, 구리 패드 및 SiO₂ 박막 등의 계면에 집중됨을 알 수 있었다. 구리 비아의 크기가 감소함에 따라 구리 비아에 작용하는 von Mises 응력은 증가한다. 또한 피치가 증가함에 따라서 비아에 작용하는 응력은 증가한다. 실리콘 다이의 두께를 변화시켰을 때, 비아에서의 응력 변화는 큰 차이를 보이지 않는다. 그러나 실리콘 다이의 주응력은 실리콘 다이의 두께가 두꺼워질수록 응력이 감소하는 것을 볼 수 있다. 언더필의 종류에 따라서 비아 및 실리콘 다이의 응력이 변함을 알 수 있었다. ABF 를 사용하였을 경우 비아의 응력이 최대가 되고, NUF 를 사용하였을 경우가 응력이 제일 낮다. 패키지의 응력에 가장 큰 영향을 주는 인자를 찾기 위하여 Taguchi 방법을 이용하여 해석을 수행한 결과, 응력에 영향을 크게 주는 인자는 언더필의 열팽창계수, 비아 크기, 피치, 그리고 언더필의 탄성계수의 순이었다. Taguchi 방법으로 찾아낸 최적조합으로 해석을 수행한 결과 본 연구에서 제안된 TSV 를 이용한 MCP 패키지의 신뢰성을 어느 정도 확인할 수 있었다.

후 기

본 연구는 지식경제부, 산업기술연구회의 협동 연구사업 일환인 “차세대 반도체 MCP 핵심기술 개발 사업”의 지원에 의한 것입니다.

참고문헌

1. Knickerbocker, J. U., Andry, P. S., Dang, B., Horton, R. R., Patel, C. S., Polastre, R. J., Sakuma, K., Sprogis, E. S., Tsang, C. K., Webb, B. C. and Wright, S. L., “3D Silicon Integration,” 58th Electronic Components and Technology Conference, pp. 538-543, 2008.
2. Thompson, S. E., Sun, G., Choi, Y. S. and Nishida, T., “Uniaxial-Process-Induced Strained-Si: Extending the CMOS Roadmap,” IEEE Trans. Electron Devices, Vol. 53, No. 5, pp. 1010-1020, 2006.
3. Wunderle, B., Mrossko, R., Wittler, O., Kaulfersch, E., Ramm, P., Michel, B. and Reichl, H., “Thermo-Mechanical Reliability of 3D-Integrated Microstructures in Stacked Silicon,” Mater. Res. Soc.

- Symp. Proc., Vol. 970, 2007.
4. Zhang, J., Bloomfield, M. O., Lu, J.-Q., Gutmann, R. J. and Cale, T. S., "Modeling Thermal Stresses in 3-D IC Interwafer Interconnects," IEEE Trans. on Semiconductor Manufacturing, Vol. 19, No. 4, pp. 437-448, 2006.
 5. Lu, K., Zhang, Z., Ryu, S., Huang I. R. and Ho, P. S., "Thermo-Mechanical Reliability of 3-D ICs containing Through Silicon Vias," Electronic Components and Technology Conference, pp. 630-634, 2009.
 6. Hsieh, M. C. and Yu, C. K., "Thermo-mechanical Simulations For 4-Layer Stacked IC Packages," International Conference on Thermal, Mechanical and Multi-Physics Simulation and Experiments in Microelectronics and Micro-Systems, 2008.
 7. Selvanayagam, C. S., Lau, J. H., Zhang, X., Seah, S. K. W., Vaidyanathan, K. and Chai, T. C., "Nonlinear Thermal Stress/Strain Analyses of Copper Filled TSV(Through Silicon Via) and their Flip-Chip Microbumps," Electronic Components and Technology Conference, pp. 1073-1081, 2008.
 8. Ramm, P., Wolf, M. J., Klumpp, A., Wieland, R., Wunderle, B., Michel, B. and Reichl, H., "Through Silicon Via Technology-Processes and Reliability for Wafer-Level 3D System Integration," Electronic Components and Technology Conference, pp. 841-846, 2008.
 9. Kitada, H., Maeda, N., Fujimoto, K., Suzuki, K., Kawai, A., Arai, K. and Suzuki, T., "Stress Sensitivity Analysis on TSV Structure of Wafer-on-a-Wafer(WOW) by Finite Element Method(FEM)," IEEE Interconnect Technology Conference, pp. 107-109, 2009.
 10. Hsieh, M. C., Yu, C. K. and Lee, W., "Effects of Geometry and Material Properties for Stacked IC Package with Spacer Structure," 10th International Conference on Thermal, Mechanical and Multi-Physics simulation and Experiments in Microelectronics and Microsystems, 2009.
 11. Karmarkar, A. P., "Performance and Reliability Analysis of 3D-Integration Structures Employing Through Silicon Via (TSV)," International Reliability Physics Symposium, pp. 682-687, 2009.
 12. Khan, N., "Development of 3D Silicon Module with TSV for System in Packaging," Electronic Components and Technology Conference, pp. 550-555, 2008.
 13. Agarwal, R., Zhang, W., Limaye, P. and Ruythooren, W., "High Density Cu-Sn TLP Bonding for 3D integration," Electronic Components and Technology Conference, pp. 345-349, 2009.
 14. Kim, E. S., Lee, J. M. and Kim. B. M., "Selection of the Optimum Seaming Condition for Spin Drum Using Statistical Method," Journal of the Korean Society for Precision Engineering, Vol. 25, No. 1, pp. 99-107, 2008.