

◆ 특집 ◆ 3D TSV 패키징 기술

TSV 충전 및 3D 패키징 솔더 범핑 기술

Technologies of TSV Filling and Solder Bumping for 3D Packaging

유세훈^{1,✉}, 고영기¹, 신의선¹, 이창우¹
Sehoon Yoo^{1,✉}, Young-Ki Ko¹, Yue-Seon Shin¹ and Chang-Woo Lee¹

1 한국생산기술연구원 마이크로조이닝센터 (Micro-Joining Center, KITECH)
✉ Corresponding author: yoos@kitech.re.kr, Tel: 032-850-0268

Key Words: Through Silicon Via (관통실리콘비아), Via Filling (비아충진), 3D Package (3 차원 패키지), Solder Bonding (솔더본딩)

1. 서론

최근 전자제품의 고기능, 소형화 추세로 인해, 고집적, 고밀도화가 요구되고 있으며, 이에 대한 전자패키지 관련 기술도 매우 급격하게 발전하고 있다. 특히 “무어를 뛰어넘는” 3D 적층 패키징 기술은 고집적, 고속 신호전달을 효과적으로 구현할 수 있는 기술이며, 메모리, 비메모리, 센서, 수동소자들을 한 모듈에 융합할 수 있는 기술이다. 3차원 패키지는 와이어 본딩이나 플립칩을 이용한 기존의 방법에서 TSV(Through Silicon Via)를 이용한 적층 기술이 점점 주목받고 있는데, TSV는 기존의 와이어본딩 방식에 비해 높은 집적도와 짧은 통전 거리에 의한 대역폭, RF, 전력 소모 성능 향상 등의 전기적 특성 향상의 장점을 갖기 때문이다.^{1,2}

TSV 공정은 비아(via) 형성, 비아위에 절연층 및 확산방지층 형성, 비아충진(via filling), 칩접합(bonding)으로 나눌 수 있다. TSV의 각 세부공정들은 기존의 반도체공정에서 보편화된 기술을 사용하고 있지만, TSV는 기존 반도체공정과는 달리 높은 종횡비를 갖고 있으므로 많은 기술적인 어려움이 있다. 특히 TSV 충전은 전기도금 방식으로 Cu를 충전하는 기술이 많이 이용되고 있으나 TSV 직경이 극미세화 되고 종횡비가 증가함에 따라 기공이 없고 충전시간이 짧은 기술의 개발이 요구되고 있다.

TSV 공정의 또 다른 핵심공정인 범프형성과 본딩기술은 전기적 저항을 낮추면서 고 신뢰성을 지닐 수 있는 재료와 본딩공정조건을 제어하는 공정 기술이 주로 보고되고 있다. Cu-Cu 직접본딩법과 Cu-솔더-Cu 본딩(Eutectic 본딩)이 대표적인 3D 패키징용 본딩기술이다. Cu-Cu 직접본딩은 전기저항이 낮고, 일렉트로마이그레이션 저항성이 높은 방식이나, 높은 접합온도를 사용해야 한다는 단점이 있고, Cu-솔더-Cu 본딩은 낮은 접합온도 및 생산성의 장점이 있는 반면, 금속산화합물의 형성으로 인한 신뢰성 문제가 단점이다.

본 논문에서는 TSV 단위 공정 중 TSV 충전과 미세범프 접합에 대한 기술적 진보를 분석하고, 솔더를 이용한 TSV 충전기술 및 Cu-솔더-Cu 본딩에 대한 최근 연구를 소개할 것이다.

2. TSV 충전기술

TSV 충진을 위한 소재는 낮은 응력, 좋은 전기전도도, 그리고 좋은 열신뢰성을 가져야 한다. 비아 충진을 위한 소재는 Cu, W, Poly-Si, 솔더, 도전성 폴리머 등이 사용되고 있으며, 각 소재에 따라서 충전기술도 전해도금, CVD, 폴리머충진, 솔더충진법등으로 나뉘게 된다.

2.1 전해도금법을 이용한 Cu 충전법

전해도금법을 이용한 Cu 의 증착은 반도체 공정에서 이미 보편화된 기술이지만, 높은 종횡비 (>10)를 갖으며, void 가 없는 비아를 충전하는데는 아직도 많은 어려움이 있다. 특히, 전해도금법은 Cu seed layer 의 증착이 필수적인데, 종횡비가 높은 TSV 의 경우에는 균일한 seed layer 의 증착이 어려워 균일한 도금층을 얻기가 어렵다. 왜냐하면, seed layer 의 두께가 불균일하면 비아 입구의 저항값은 비아 바닥의 저항값보다 크게 되며, 도금층의 성장이 불균일해지기 때문이다. 또한, 비아 직경이 작고 종횡비가 높은 TSV 에서는 비아안에서 도금액의 순환이 어려우므로, 이온밀도의 차이가 생기고 따라서 도금층이 불균일하게 형성된다. 이러한 불균일한 도금은 비아 내의 결함을 일으키는 원인이 된다.

비아 위아래의 이온밀도차이를 줄이기 위해 도금액의 젖음성을 향상시켜 도금액의 순환을 효과적으로 실시하게 하는 방법도 고안되었다.³ 이 방법은 비아벽과 비아바닥을 H₂O₂, NH₄OH 및 DI water 용액으로 SiO₂ 와 Si₃N₄ 절연막의 전처리를 실시하여 Cu 도금용액의 젖음성을 향상시키는 것이다. 이러한 전처리 용액은 절연막위의 유기오염 물질을 제거하고, 표면을 활성화시켜, 좋은 젖음특성을 갖게 하고, 비아 충전 특성을 향상시켰는데, 종횡비 20, 직경 12μm 의 비아가 전해도금으로 충전되었다.

펄스-역펄스 전착법 및 첨가제 최적화를 통해 종횡비가 높은 비아를 충전하는 방식도 고안되었다.^{4,6} 전류가 집중되는 비아 입구쪽에 역펄스 전류를 인가하여 입구가 막히는 것을 방지하며, off-time 동안 비아 내부로 Cu 이온과 첨가제들이 확산되어 들어가는 시간을 주기 때문에 기공이 없는 완벽한 비아충진을 이룰 수 있다.

앞서 기술한 Cu 전해도금방법은 비아를 충전한 후, Si 웨이퍼의 연마를 실시하는 방식이다. 최근에는 80 μm 이하의 얇은 웨이퍼를 바로 공정에 투입할 할 수 있는 처리(handling)기술이 발달하면서, 상향식(bottom-up) Cu 전해도금이 많이 응용되고 있다.^{7,8} 상향식 Cu 전해도금이란 관통비아(through via)가 형성된 Si 웨이퍼 하단에 Cu 씨앗층을 증착하여 하단에서부터 전기도금이 되어 관통비아를 충전하는 방식이다. Fig. 1 은 기존방식과 상향식 충전방법의 차이를 보여주는 모식도이다. 상향식 충전법은 아래에서부터 Cu 의 충전이 이루어 지므로, 도금중 비아입구가 막히는 현상을 제거할 수 있으므로 종횡비가 높은 비아를 기공없이

형성할 수 있다.

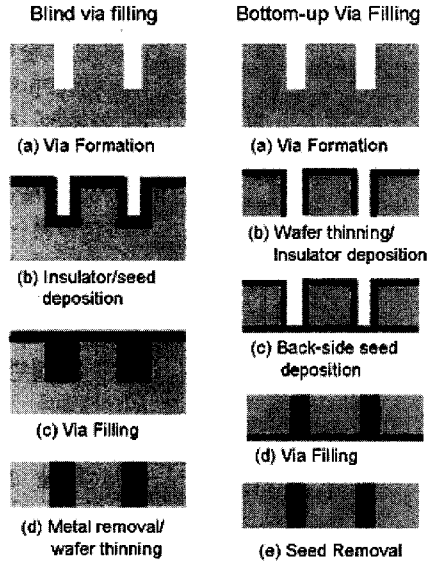


Fig. 1 Schematics of conventional blind via filling and bottom-up via filling process

2.2 화학기상증착법

텅스텐 및 폴리실리콘은 CVD 로 충전하게 되며, 주로 직경이 작고 종횡비가 높은 비아에 적합하고, 200°C 이하의 상대적으로 낮은 온도에서 공정이 이루어 진다. 텅스텐은 CTE 가 4.5ppm/°C로 Si 의 CTE(3ppm/°C)과 비슷하므로 CTE 차에 의한 열적 기계적 응력이 Cu(16ppm/°C)에 비해 작아 높은 신뢰성을 갖는다. 하지만 Cu 에 비해 낮은 전기전도도를 갖으며, 큰 비아의 충전에는 사용이 적합하지 않다. 폴리실리콘도 마찬가지로 CVD 를 사용, 비아를 충전한다. 폴리실리콘은 Cu 에 비해 낮은 전기전도도를 갖고, 큰 비아의 충전에 적합하지 않으며, 높은 증착온도가 필요하다.

2.3 솔더 충전법

솔더를 이용한 충전방법은 용융 솔더를 비아공정이 간단하기 때문에 높은 생산성과 낮은 단가로 생산을 할 수 있다.⁹ 기존의 솔더 충전 방법은 솔더 용탕에 비아가 형성된 웨이퍼를 투입하고 N₂ 가스로 가압하여 비아를 채우는 방법이 사용되었다.¹⁰ 본 연구에서는 용탕을 사용하는 대신 Fig. 2 와 같이 Si 웨이퍼 하단에 진공을 가하여 용융된 솔더가 TSV 안으로 충전이 되는 방식을 고안하였다. 진공을 이용한 용융솔더의 충전법은 실제 제

조공정에 적용하기 쉽다는 장점이 있으며, 충전이 수초안에 이루어 지기 때문에 높은 생산성을 가지고 있다. Fig. 3 은 진공 용융솔더 충전법을 사용하여 30 μ m 의 직경의 비아를 충전한 후, 웨이퍼의 윗면과 아랫면을 보여주는 SEM 이미지이다. 솔더는 Sn-3.0Ag-0.5Cu 솔더페이스트를 사용하였으며, 250°C 의 온도에서 솔더의 용융을 실시하였다. 그 후 0.04MPa 의 진공을 가하여 TSV 의 충진을 실시하였다. Si 웨이퍼의 윗면과 아랫면을 비교해 볼 때 대부분의 비아가 충전이 되었다. 진공 솔더 충전법은 비아벽면에서 액상솔더의 젖음특성이 중요하다. 비아벽면에서 솔더가 젖지 않으면 진공에 의해 액상솔더의 충진이 완벽하게 이루어 지지 않게 된다. 솔더의 젖음성을 증가시키기 위해서는 벽면의 젖음층의 증착이 필수적이다.

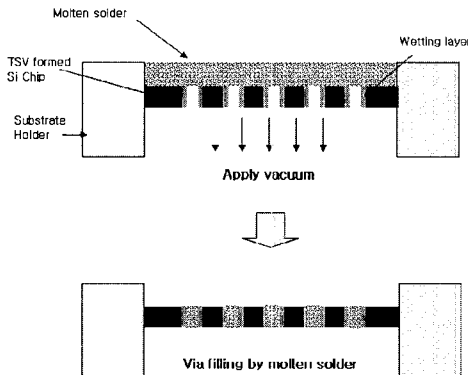


Fig. 2 Schematic of molten solder via filling technique

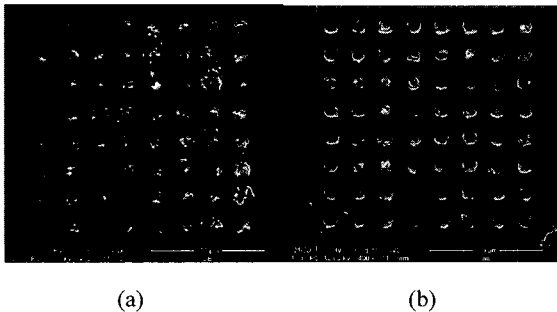


Fig. 3 (a) SEM of top side of solder filled TSV, (b) SEM of bottom side of solder filled TSV

3. 범프형성 및 본딩 기술

3D 패키지용 미세피치 접합으로 솔더본딩, Cu-Cu 직접 본딩(Cu-Cu direct bonding), Cu-솔더-Cu 본

딩이 개발되고 있다. 솔더본딩은 현재 많이 쓰이고 있는 방식이지만, 금속간화합물 발생으로 인한 신뢰성 문제나, 일렉트로마이그레이션 발생문제 등이 있다. 또한, 피치사이즈가 감소되면서 솔더 접합 시 솔더가 인근 솔더와 연결(bridging)되면서 단락이 발생하므로, 초미세피치용으로는 새로운 방법이 고안되어야 한다. 따라서 최근 미세피치를 위한 Cu-Cu 직접 본딩이나 Cu-솔더-Cu 본딩 공정이 응용되고 있다.

3.1 Cu-Cu 직접본딩

Cu-Cu 직접본딩 방식은 솔더를 사용하지 않기 때문에 금속간화합물에 연관된 신뢰성 문제를 해결할 수 있는 방식이다. 또한, 낮은 RC delay 와 높은 일렉트로마이그레이션 저항성을 갖고 있어, 향후 3D 패키지 접합에 많은 응용이 예상되고 있다. 하지만, Cu 직접본딩은 300°C 이상 온도가 필요하며 접합시간도 수분에서 많게는 수십분간 유지해야 한다.¹¹ 또한 우수한 접합특성을 확보하기 위해, 본딩후에 어닐링(annealing)을 역시 300°C 이상 온도에서 수십분간 실시하게 된다. 따라서, 고온에서의 본딩및 어닐링은 소자 자체의 기능저하를 야기시킬 수 있으며, 장시간 본딩으로 인해 생산성도 기존 본딩방법에 비해 낮다. 최근에 이러한 문제를 해결할 수 있는 방안이 연구되었는데, Ang et al. 은 Cu-Cu 열압착 본딩시 3.28GPa 의 충분히 높은 본딩 압력을 주어 상온에서 30 초 본딩으로도 접합이 가능하다는 것을 확인하였다.¹²

Cu-Cu 열압착본딩은 Cu 의 상호확산 및 결정립 성장에 의해 본딩이 이루어 진다. 따라서, Cu 범프 표면의 산화층은 상호확산을 방해하는 인자로 작용하게 되며, 보통 HCl 같은 산용액 처리를 하거나,¹³ 수소분위기에서 환원을 시켜 표면의 산화층을 제거한다.¹⁴ 열압착본딩을 실시하기 전에 범프 표면의 세정도 중요한데, 표면의 오염물질이 존재할때 열압착본딩시 Cu 의 확산을 방해하기 때문이다. Cu-Cu 열압착본딩시 본딩압력도 중요한 인자중의 하나이다. 열압착본딩은 Cu 의 확산에 의해 이루어지는데, 충분한 압력을 주어야 접촉되는 면적이 증가하면서 Cu 원자의 확산이 증가하기 때문이다. Cu-Cu 열압착본딩중의 분위기도 중요하다. 진공중에 본딩을 실시해야만 접합계면에서 산화층 성장을 억제하여 좋은 접합부를 형성할 수 있다.¹¹

3.2 Cu-솔더-Cu 본딩(Eutectic bonding)

Fig. 4 는 Cu-솔더-Cu 본딩의 모식도이다. Cu-솔더-Cu 본딩은 Cu-Cu 직접본딩방식과 같이 Cu pillar 를 사용한다는 점에서 비슷한 공정이지만, Cu-솔더-Cu 본딩은 Cu pillar 위에 Sn 이나 Sn-Ag 등의 솔더를 증착하고, Cu pillar 위의 솔더가 접합부를 이룬다는 것이 Cu-Cu 직접본딩방식과 다르다. Cu-Sn-Cu 본딩은 기존 솔더본딩공정과 유사하므로 쉽게 적용이 가능하다. Cu-솔더-Cu 본딩은 300°C 이하의 온도에서 접합하므로 Cu-Cu 직접본딩법에 비해 낮은 온도에서 공정이 이루어지며, 공정속도도 수초로 빠른편이다. 또한, 어닐링등의 후처리가 필요없어서 생산성이 좋다. Cu-솔더-Cu 본딩은 공정중에 솔더는 용융되고 Cu와 반응해서 Cu_3Sn , Cu_6Sn_5 의 금속간 화합물로 변환하게 된다. 금속간화합물은 600°C 이상에도 안정하므로 후속 적층 공정시에도 접합부는 안정하다. 하지만, 금속간화합물에 의한 기계적 신뢰성 저하의 단점이 있다. Fig. 5 는 Sn-3.5Ag 솔더가 증착된 Cu pillar 범프의 이미지이다. 솔더의 두께에 따라 접합부의 두께가 변화하고, 금속간화합물이 상도 변화하게 된다. Fig. 6 은 Cu-Sn3.5Ag-Cu 본딩을 이룬 접합부의 단면 SEM 이며, Table 1 은 접합부의 EDS 결과이다. 접합부의 두께는 2.19 μm 이었다. EDS 결과에서 접합부는 Cu_6Sn_5 의 금속간화합물로 이루어져 있음을 확인하였고, Sn3.5Ag 솔더는 존재하지 않았다. 이러한 금속간화합물의 성장은 솔더 cap layer의 두께가 작아 Cu의 확산이 접합부 전체에 영향을 주기 때문에 솔더가 모두 금속간화합물로 변태되는 것으로 사료된다.

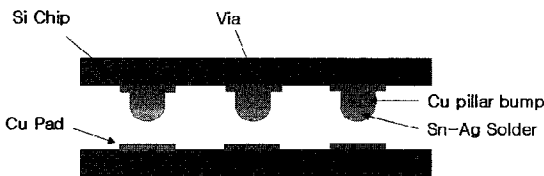


Fig. 4 Schematics of Cu-Solder-Cu bonding

4. 결론

향후 3D 패키징은 메모리, 비메모리, 센서, MEMS 등을 통합하는 융합형 패키지로 발전할 것으로 전망하고 있다. 이러한 융합형 패키지는 초미세 TSV가 필요할 것으로 전망되고 있으며, 이러한 초미세 TSV를 응용하기 위해서는 비아충진과 미세피치 3D 본딩기술의 연구가 필요하다. 특

히, 높은 종횡비의 비아를 충전하기 위한 연구 및 저단가, 고생산성의 비아충진법의 연구가 요구되고 있다. 또한, 초미세피치 3D 본딩으로 Cu-Cu 직접본딩, Cu-솔더-Cu 본딩이 고려되고 있으며, 높은 신뢰성을 갖기 위해서는 물성평가, 접합특성 및 변수 최적화 등 다양한 연구가 선행되어야 할 것이다.

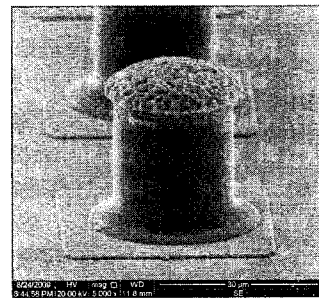


Fig. 5 SEM micrograph of Sn-3.5Ag solder capped Cu pillar bump

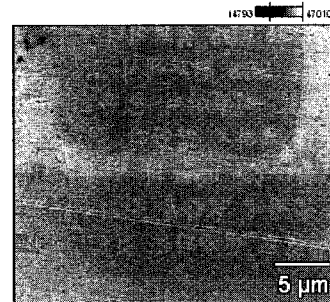


Fig. 6 SEM micrograph of Cu-Solder-Cu bonding area

Table 1 EDS results of Cu-solder-Cu bonding area

	Cu	Sn
Point 1	51.34	48.66
Point 2	50.32	49.68

Unit: at%

후 기

본 연구는 지식경제부가 지원하는 국가연구개발사업인 “협동연구사업”에 의해 수행되었습니다.

참고문헌

1. Jiang, T. and Luo, S., "3D Integration-Present and Future," Proceedings of 10th Electronics Packaging Technology Conferences, pp. 373-378, 2008.
2. Curran, B., Ndip, I., Gutovski, S. and Reichl, H., "Managing Losses in Through Silicon vias with Different Return Current Path Configurations," Proceedings of 10th Electronics Packaging Technology Conferences, pp. 206-211, 2008.
3. Dixit, P., Chen, X., Miao, J., Divakaran, S. and Preisser, R., "Study of surface treatment processes for improvement in the wettability of silicon-based materials used in high aspect ratio through-via copper electroplating," Applied Surface Science, Vol. 253, No. 21, pp. 8637-8646, 2007.
4. Sun, J., Kondo, K., Okamura, T., Oh, S., Tomisaka, M., Yonemura, H., Hoshino, M. and Takahashi, K., "High-Aspect-Ratio Copper Via Filling Used for Three-Dimensional Chip Stacking," Journal of the Electrochemical Society, Vol. 150, No. 6, pp. G355-G358, 2003.
5. Chang, G. and Lee, J., "The Effect of Current Types on Through Via Hole Filling for 3D-SiP Application," Journal of the Microelectronics & Packaging Society, Vol. 13, No. 4, pp. 45-50, 2006.
6. Lee, S. and Lee, J., "Copper Via Filling Using Organic Additives and Wave Current Electroplating," Journal of Microelectronics & Packaging Society, Vol. 14, No. 3, pp. 37-42, 2007.
7. Song, C., Wang, Z., Chen, Q., Cai, J. and Liu, L., "High aspect ratio copper through-silicon-vias for 3D integration," Microelectronic Engineering, Vol. 85, No. 10, pp. 1952-1956, 2008.
8. Park, S., Oh, T., Eum, Y. and Moon, J., "Interconnection Processes Using Cu Vias for MEMS Sensor Packages," Journal of the Microelectronics & Packaging Society, Vol. 14, No. 4, pp. 63-69, 2007.
9. Chang, D., Ryu, C., Lee, K., Cho, B., Kim, J., Oh, T., Lee, W. and Yu, Y., "Development and Evaluation of 3-D SiP with Vertically Interconnected Through Silicon Vias(TSV)," Proceedings of the Electronics Components Technology conference, pp. 847-852, 2007.
10. Lee, Y., Yu, J., Park, K. and Oh, T., "Zinc and Tin-Zinc Via-Filling for the Formation of Through-Silicon Vias in a System-in-Package," Journal of Electronic Materials, Vol. 38, No. 5, pp. 685-690, 2009.
11. Chen, N., Fan, A., Tan, C. and Reif, R., "Bonding Parameters of Blanket Copper Wafer Bonding," Journal of Electronic Materials, Vol. 35, No. 2, pp. 230-234, 2006.
12. Ang, X., Lin, A., Wei, J., Chen, Z. and Wong, C., "Low Temperature Copper-Copper Thermo-compression Bonding," Proceedings of the Electronics Components Technology Conference, pp. 399-404, 2007.
13. Chen, K., Tan, C., Fan, A. and Reif, R., "Morphology and Bond Strength of Copper Wafer Bonding," Electrochemical Solid-State Letters, Vol. 7, No. 1, pp. G14-G16, 2004.
14. Tan, C., Chen, K., Fan, A. and Reif, R., "The Effect of Forming Gas Anneal on the Oxygen Content in Bonded Copper Layer," Journal of Electronic Materials, Vol. 34, No. 12, pp. 1598-1602, 2005.