

◆ 특집 ◆ 3D TSV 패키징 기술

# TSV 를 이용한 3D 패키징 공정 및 장비 기술

## 3D Packaging Process using TSV and Bonding Machine Technology

송준엽<sup>1,✉</sup>, 이재학<sup>1</sup>, 하태호<sup>1</sup>, 이창우<sup>1</sup>, 유중돈<sup>2</sup>  
Jun-Yeob Song<sup>1,✉</sup>, Jae Hak Lee<sup>1</sup>, Tae Ho Ha<sup>1</sup>, Chang-Woo Lee<sup>1</sup> and Choong Don Yoo<sup>2</sup>

1 한국기계연구원 (Department of Ultra Precision Machines and Systems, KIMM)

2 한국과학기술원 (Department of Mechanical Engineering, KAIST)

✉ Corresponding author: sjy658@kimm.re.kr, Tel: 042-868-7144

Key Words: TSV (실리콘 관통 비아), Thin Wafer Handling (박형 실리콘 핸들링), 3D Stacking (3 차원 적층), Self-alignment (자가정렬), Direct Oxide Bonding (실리콘 옥사이드 본딩), Low Temperature Bonding (저온접합)

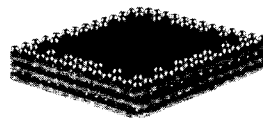
### 1. 서론

핸드폰 및 노트북과 같은 모바일 기기의 소형화 및 고성능화 추세에 따라 큰 메모리 용량과 고성능의 IC가 요구되고 있어 세계적으로 3D 패키징에 대한 연구가 활발히 진행 중이다. 3D 패키징은 칩을 수직으로 적층하여 패키징하는 방법으로 기존 2D 패키징에 비해 집적도가 높은 장점이 있다.

3D 패키징 방법으로는 적층 방식에 따라 Fig.1과 같이 POP(Package on Package), Wire bonding, Edge traces, TSV(Through Silicon Via) stacking 방법으로 구분된다. POP 방식은 BGA(Ball Grid Array)를 이용하여 각 층의 단위 기능 package를 적층하는 방식으로 기존에 개발된 CSP(Chip Scale Package)를 이용하여 적층하므로 현재 기술단계에서 개발이 쉬운 장점이 있지만 상대적으로 다른 3D 패키징 방법에 비해 size가 크고 전기신호 배선의 길이가 긴 단점이 있다.

Wire bonding 방법은 각 기능을 갖는 칩을 adhesive를 이용하여 적층하고 전기 신호 배선 연결을 위해 edge를 따라 배열되어 있는 패드에 초음파를 이용하여 wire bonding하여 연결하는 방법이다. 하지만 각 층의 전기 배선을 연결하기 위해서는 패드가 edge를 따라 배열되어야 하고 wire

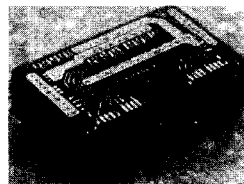
bonding을 수행하므로 초음파 튕김 때문에 집적도가 높은 경우에는 적용이 불가능하며 또한 상대적으로 긴 전기 배선에 의해 RC delay가 발생하는 단점이 있다.



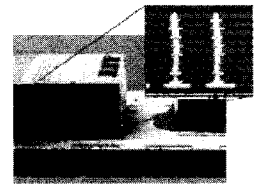
(a) POP



(b) Wire bonding



(c) Edge traces



(d) TSV stacking

Fig. 1 3D packaging interconnection<sup>2</sup>

Edge traces 방법은 각 층의 칩을 adhesive를 이용하여 적층하고 옆면을 polishing하여 각 층의 전기 재배선 metal line을 edge 부분에 노출시킨 다음 edge 부분에 금속을 코팅하고 패터닝함으로써 옆

면을 이용하여 전기 배선을 연결하는 방법이다. 옆면의 배선을 에칭 방법이나 레이저 패터닝 방법으로 쉽게 정밀 가공이 가능하므로 전기 배선 공정이 간단한 장점이 있지만 wire bonding 과 비슷하게 옆면을 이용하여 전기 배선을 생성하므로 집적도가 상대적으로 낮은 단점이 있다.

최근에 각광을 받고 있는 TSV stacking 방법은 실리콘 웨이퍼에 DRIE(Deep Reactive Ion Etching)나 레이저 드릴링을 이용하여 수십 마이크로미터 이하의 미세 via 를 형성하고 금속을 채운 뒤 그라인딩(grinding)과 CMP(Chemical Mechanical Polishing)를 통해 수십 마이크로 두께로 얇게 만들고 본딩 공정을 이용하여 적층함으로써 기계적/전기적 결합을 동시에 형성하는 방법이다. 이 방법은 칩의 전체 면적에 via 형성이 가능하고 칩의 두께가 얇아 집적도가 매우 높은 장점이 있으며 전기 신호 배선이 짧아 RC delay 가 작으므로 고성능의 IC 제작이 가능하다.<sup>1,2</sup>

TSV stacking 공정에서 Via filling 후 적층하는 본딩 방법으로는 크게 Cu to Cu bonding, Direct oxide bonding, eutectic bonding, adhesive bonding 방법이 이용되고 있다. 일반적으로 본딩 온도가 300°C 이상이면 집적 IC 의 손상이 발생하므로 본딩 공정 온도를 300°C 이하로 낮추려는 연구가 활발히 진행 중이다.

본 논문에서는 TSV stacking 공정의 본딩 방법과 C2W/C2C bonding 의 공정 시간을 줄이기 위한 pre-bonding 방법에 대해 간단히 소개하고 특히 Direct Oxide bonding 의 C2W/C2C bonding 에 적용 가능한 친수성(hydrophilic) 표면의 자가정렬(self-assembly)을 이용한 pre-bonding 기술에 대해 설명한다. 또한 본딩 공정 요소 기술로 thin wafer handler 및 bonding head 개발에 대해 소개하고자 한다.

## 2. Bonding 방법

### 2.1 Cu to Cu bonding

Cu to Cu bonding 방법은 실리콘에 형성해 놓은 via 에 Cu를 CVD (Chemical Vapor Deposition) 혹은 전해 도금(electroplating)을 이용하여 채우고 열과 압력을 가하여 접합하는 TC (Thermal Compression) 본딩 공정이 적용되고 있다. Cu 는 전기 저항이 낮아 RC delay 를 획기적으로 감소시킬 수 있으며 열전도도가 높아 열 방열 성능이 우수하다.<sup>4</sup>

Fig. 2 는 400°C의 질소 분위기에서 압력 4000mbar, 본딩 시간 30 분 동안 유지하여 접합한 시편 사진을 보여주고 있다. 일반적으로 Cu to Cu 확산(diffusion) 접합은 Cu 의 확산 계수가 크기 때문에 일반 다른 금속에 비해 비교적 낮은 온도에서도 접합이 가능하다. 일반적으로 400°C 이상에서 Cu 계면의 산화막이 Cu 내부로 확산되어 제거되고 Cu 원자가 확산되어 양호한 금속 결합이 형성되는 것으로 알려져 있다. 양호한 접합부의 경우 Fig. 2 와 같이 Cu 와 Cu 간의 계면이 없는 고상접합(solid state bonding)이 형성된다. 하지만 IC 칩의 손상을 방지하기 위해서는 300°C 이하의 공정 온도가 요구되므로 최근에 Cu to Cu bonding 의 연구 동향은 추가적인 표면처리와 환원 분위기를 이용하여 공정 온도를 300°C 이하로 낮추려는 연구가 활발히 진행 중이다.<sup>2,5</sup>

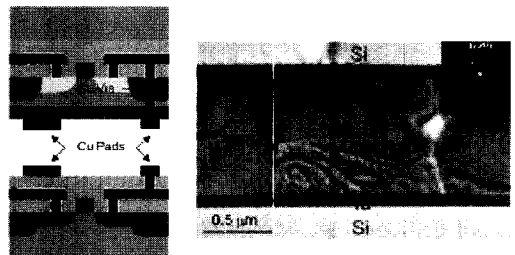


Fig. 2 XTEM image of Cu-Cu bonded layer<sup>5</sup>

### 2.2 Eutectic Bonding

Eutectic bonding 은 용점이 낮은 공정합금(eutectic composition)을 형성시켜 저온에서 용융 접합하는 방법이다. 일반적으로 가장 많이 사용되는 Eutectic bonding 방법으로는 Au/Si, Cu/Sn bonding 방법이 있다. TSV 3D stacking 에서 eutectic bonding 으로 가장 잘 알려진 방법으로는 Fig. 3 의 Fraunhofer 에 의해 개발된 ICV-SLID(Inter Chip Via-Solid Liquid Interdiffusion) bonding 이다. 수 마이크로미터 두께의 Sn 을 Cu 박막 사이에 전해도금(electroplating)을 이용하여 형성하고 260°C 정도로 가열하여 확산에 의해 저 용융점의 공정합금 조성 IMC(Intermetallic Compound)인 Cu<sub>3</sub>Sn 을 형성시키고 용융시켜 접합한다. 300°C 이하의 낮은 온도에서 금속 결합을 형성하는 장점이 있지만 부가적으로 금속층을 형성하는 공정이 추가되고 접합부의 접촉저항이 상대적으로 높은 단점이 있으며 IMC 에 의한 신뢰성 문제가 있다.<sup>2,3</sup>

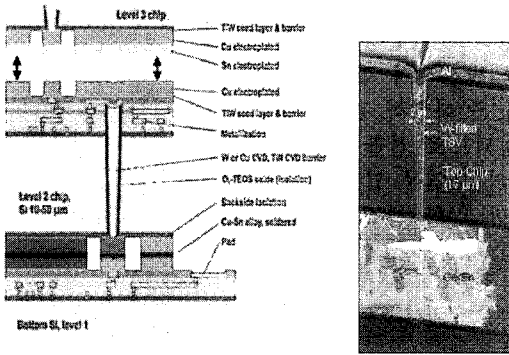


Fig. 3 ICV-SLID bonding<sup>2</sup>

### 2.3 Adhesive Bonding

Adhesive bonding 은 웨이퍼의 평탄도와 거칠기에 큰 영향을 받지 않고 접합이 가능하며 경화제의 종류에 따라 열경화, 상온경화, UV 경화 타입으로 구분된다. 일반적인 전자패키징 분야에서는 기계적 성질이 우수한 epoxy 계열이 가장 많이 사용되지만 IC 집적회로 공정상에서는 Fig. 4 와 같이 유전율 (dielectric coefficient)이 낮은 BCB(Benzocyclobutene)가 주로 사용되고 있으며 열경화성 접착제로 공정 온도는 200~300℃이다. BCB의 장점으로는 스피닝(Spin coating)이 가능하여 균일한 두께의 접합부를 얻을 수 있으며 접합 시 유동이 가능해 균일한 접합부를 형성할 수 있다.

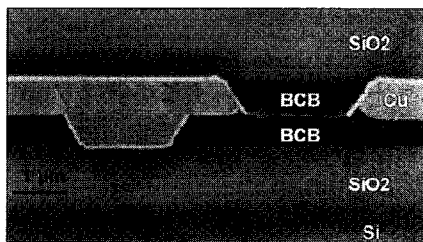


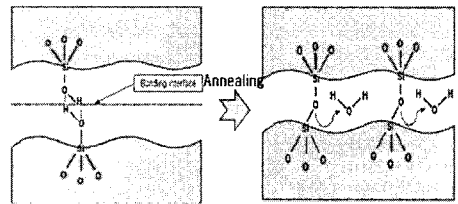
Fig. 4 BCB bonding<sup>2</sup>

Adhesive bonding 의 경우 다른 본딩 방법과 비교하여 상대적으로 본딩 온도가 낮아 접합 시 열응력 발생이 적지만 경화 시 수축에 의해 접합부의 정렬 오차가 발생하기 쉽고 온도와 습도에 따른 접합부의 신뢰성 문제가 제기되고 있다.<sup>2,3,6</sup>

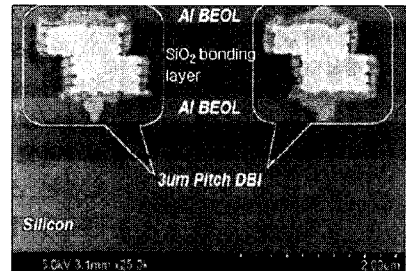
### 2.4 Direct Oxide Bonding

Direct Oxide Bonding 은 Fig. 5(a)와 같이 Si 웨이퍼 혹은 Si 웨이퍼 표면에 형성된 SiO<sub>2</sub>를 화학적

처리나 플라즈마 처리를 통해 친수성 그룹 Si-OH를 형성하고 어닐링 공정을 통해 화학적 결합 Si-O-Si를 발생시켜 접합하는 방법이다. Direct Oxide Bonding은 화학적 결합(covalent bond)에 의해 접합이 형성되므로 접합력이 매우 높은 장점이 있지만 공기중의 오염물 입자에 민감하고 표면 조도가 우수해야만 접합 품질을 확보할 수 있는 단점이 있다.



(a) Bonding mechanism



(b) SEM image of Direct Oxide bonded layer<sup>2</sup>

Fig. 5 Direct Oxide Bonding

일반적인 Direct Oxide Bonding의 경우 완전한 본딩을 위해서는 본딩 공정 온도가 600~1000℃가 요구되지만 플라즈마 처리를 하는 경우 본딩 온도를 300℃이하로 낮출 수 있는 것으로 알려져 있다.<sup>2,7,8</sup>

## 3. C2W/C2C bonding 공정을 위한 pre-bonding 방법

### 3.1 기존 pre-bonding 방법

3D 적층 패키징 방법은 접합하려는 대상물이 웨이퍼 혹은 칩 이냐에 따라 Fig. 6 과 같이 크게 W2W(Wafer to Wafer) 접합, C2C(Chip to Chip) 접합, C2W(Chip to Wafer) 접합으로 나뉜다. 최근에 이미 지 센서와 메모리 제작에 TSV를 이용한 3D 적층 방법을 이용하여 W2W 접합을 통하여 실험실 단위에서 성공한 사례가 발표되고 있다. W2W 접합은

웨이퍼 레벨에서 웨이퍼와 웨이퍼를 접합한 후 싱플레이션을 통해 칩을 제작하는 방법으로 각 층을 접합 시 정렬 및 핸들링이 용이하여 대량 생산에 적합하다. 하지만 웨이퍼의 일부분에 손상된 칩이 있는 경우 해당 부분의 접합된 칩은 사용이 불가능하므로 값비싼 칩의 손실이 커 수율이 낮은 단점이 있다. 이러한 수율 문제는 적층 수가 증가할수록 커지므로 실제로 TSV 를 이용한 W2W 접합 방법이 양산에 적용되기 위해서는 더욱 많은 시간과 비용이 요구된다.

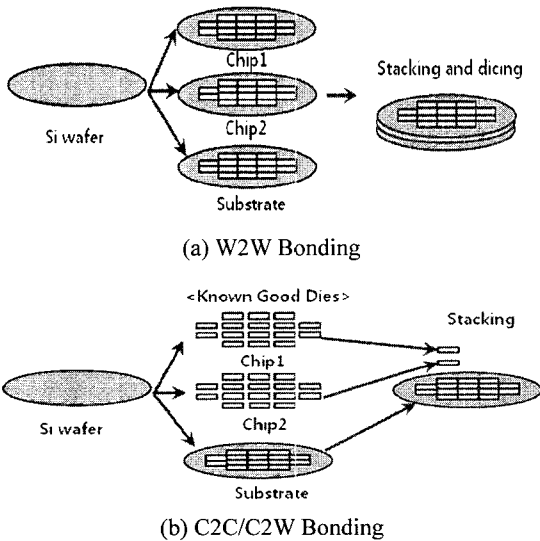


Fig. 6 W2W Bonding Vs. C2C/C2W Bonding Process

TSV 를 이용한 3D stacking C2W/C2C 접합 방법은 적층 시 고속 정렬이 요구되고 핸들링이 어려운 단점이 있지만 접합 시 양품의 KGD (Known Good Die)만을 이용하므로 수율이 높은 장점이 있다. 따라서 적층 시 고속 정렬에 대한 문제가 해결되면 W2W 접합에 비해 양산에 적용이 유리할 것으로 판단된다.<sup>2,9</sup>

기존의 pre-bonding 방법으로는 Fig. 7 과 같이 Flip chip bonder 를 이용하여 각각의 칩을 하나씩 pick and place 작업을 반복하고 adhesive 디스펜서를 이용하여 칩을 임시 고정한 후 접합을 수행하는 방법이 가장 많이 사용되어 왔다. 하지만 이 방법은 adhesive 가 경화 시 수축되고 접합 시 열 팽창에 의해 정렬 오차가 발생하는 문제가 있어 높은 정밀도가 요구되는 fine pitch 공정에는 적용이 어렵다.

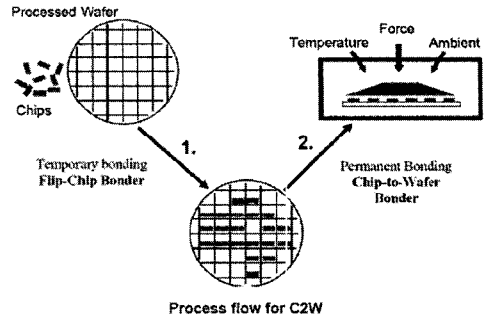


Fig. 7 Pick and Place pre-bonding using adhesive<sup>9</sup>

또 다른 pre-bonding 방법으로는 IBM 에서 개발한 template 를 이용하는 방법이 있다. Template 를 이용하는 방법은 Fig. 8 과 같이 각각의 칩이 놓일 위치 형상 패턴을 정밀하게 가공하여 template 를 제작하고 웨이퍼와 정렬한 후 칩을 모두 적층하고 압력과 열을 가하여 한번에 본딩하는 방법이다. Pre-bonding 공정이 추가적으로 필요하지 않기 때문에 본딩 공정 속도가 매우 빠른 장점이 있지만 template 의 가공 오차에 의해 접합 정렬도가 영향을 받기 때문에 정렬도가 낮은 단점이 있다.<sup>2</sup>

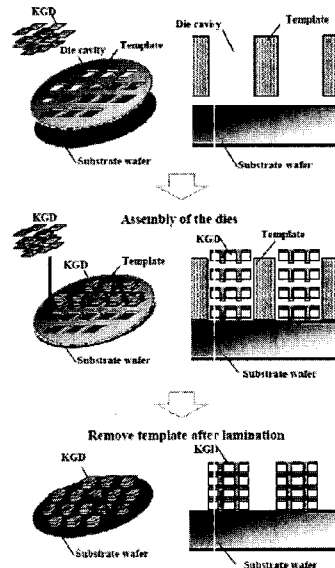


Fig. 8 Pre-bonding method using template<sup>2</sup>

### 3.2 친수성 표면의 자기정렬 효과를 이용한 pre-bonding

Fig. 9 는 친수성 표면의 자기 정렬 효과를 이용한 Direc Oxide Bonding 방법의 3D stacking 에 관한

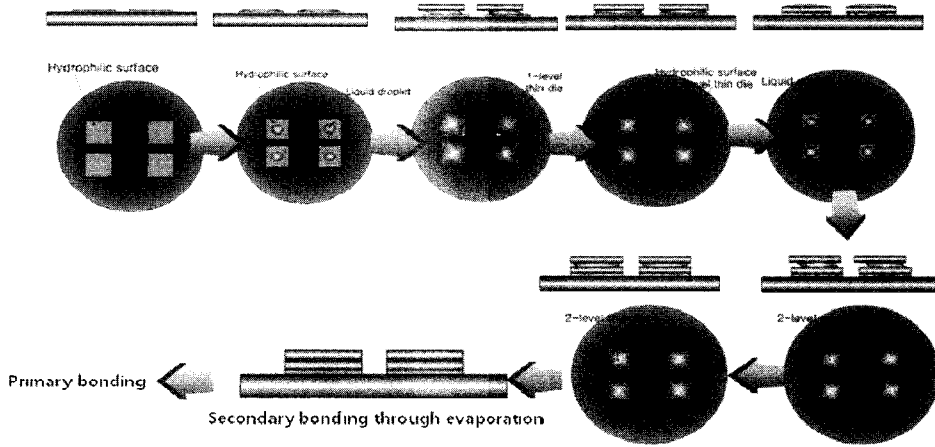
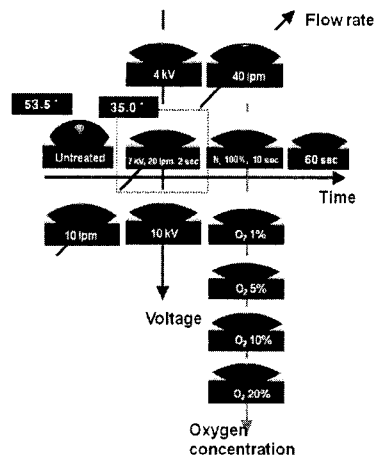


Fig. 9 Schematic view of Direct Oxide Bonding using self-alignment

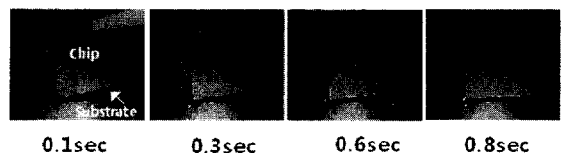
공정을 개략적으로 나타낸 그림이다. 먼저 웨이퍼 표면에 칩을 위치시킬 영역을 플라즈마 처리를 통해 선택적으로 친수성 표면으로 생성하고 DI water를 친수성 처리된 웨이퍼 표면에 떨어뜨린 후 친수성 처리된 칩을 위치시킨다. 이때 DI water는 친수성 표면에 젖음이 발생하고 표면에너지를 줄이는 방향으로 칩이 이동하여 웨이퍼 표면의 친수성 처리된 표면에 정확히 정렬된다. 같은 방법으로 여러 개의 칩을 적층하고 오븐에 넣어 물을 증발시키면 각 칩이 정렬되고 웨이퍼 표면의 친수성기 실라놀그룹(-Si-OH)의 수소 결합에 의해 pre-bonding 된다. 이렇게 pre-bonding 된 웨이퍼와 칩은 자유롭게 핸들링이 가능하여 접합 시 정밀한 지그가 요구되지 않는 장점이 있다. 마지막으로 화학 결합인 실록산본드(-Si-O-Si-)를 형성하기 위해서 오븐에서 높은 온도로 가열하여 화학결합을 통해 접합을 한다. 친수성 표면의 자가정렬을 이용한 Direct Oxide bonding 방법은 칩을 정밀하게 정렬하지 않더라도 자동으로 정렬되므로 접합 시 정밀한 정렬을 위한 지그가 요구되지 않고 pre-bonding 된 후에는 자유롭게 핸들링이 가능하므로 기존 C2C/C2W 접합 방법의 단점을 해결할 수 있을 것으로 판단된다.

본 논문에서는 TSV 를 이용한 3D 적층 C2W/C2C 본딩 방법으로 플라즈마를 이용한 Direct Oxide bonding 방법에 관한 연구와 플라즈마를 이용하여 실리콘의 소수성 표면을 친수성 표면으로 처리하고 친수성 표면의 자가정렬 및 pre-bonding 성능을 평가하였다. 또한 일반적으로 Direct Oxide bonding 의 경우 진공 플라즈마를 이용하여 실리콘

표면을 친수화시키지만 플라즈마 처리 시 진공환경이 요구되므로 본딩 공정 시간이 길어지는 단점이 있다. 본 연구에서는 이러한 단점을 보완하기 위하여 대기 플라즈마를 이용하여 Direct Oxide bonding 을 수행하고 접합부의 특성을 관찰하였다.



(a) Contact angle variation with respect to plasma activation conditions



(b) Self-Alignment behavior of hydrophilic surfaces with respect to time

Fig. 10 Investigation of self-alignment behavior of plasma activated hydrophilic surfaces

먼저 플라즈마 표면 처리 조건을 찾기 위해 N<sub>2</sub> 대기 플라즈마와 O<sub>2</sub> 대기 플라즈마의 표면 처리 조건에 따른 실리콘 표면의 젖음성 변화를 접촉각 측정기(KRUSS DSA 100)를 이용하여 측정하였으며 친수성 표면의 자가 정렬 성능을 평가하기 위하여 1000Å 두께의 thermal Oxide 가 형성된 Si 칩을 10mmx10mm 크기로 준비하여 오차를 측정하였다.

Fig. 10(a)는 플라즈마 처리 조건에 따른 SiO<sub>2</sub> 표면의 접촉각 측정 결과이다. 플라즈마를 처리하지 않은 경우 접촉각은 53.5°로 크지만 70kv, N<sub>2</sub> 가스의 유량 20lpm 에서 2sec 이상 처리할 경우 접촉각은 35°로 작아져 친수성이 높아지는 것을 알 수 있다. Fig.10 (b)는 N<sub>2</sub> 대기 플라즈마를 이용하여 친수성 표면 처리한 SiO<sub>2</sub> 칩의 자가 정렬 거동을 관찰한 사진으로 1sec 이내에 고속으로 정렬됨을 알 수 있으며 이때 정렬 오차는 5 μm 이내임을 알 수 있었다.

친수성 표면의 자가정렬을 이용한 Direct Oxide bonding 방법을 평가하기 위하여 실제로 SiO<sub>2</sub>-SiO<sub>2</sub>의 C2C 접합을 수행하였다. 공정 순서는 먼저 실리콘 칩과 웨이퍼를 Piranha 용액(H<sub>2</sub>SO<sub>4</sub>:H<sub>2</sub>O<sub>2</sub>=2:1)을 이용하여 크린닝하고 N<sub>2</sub> 대기 플라즈마를 이용하여 웨이퍼 및 칩의 표면을 친수화 시킨 후 자가정렬을 위해 DI water 를 떨어뜨린 후 칩을 자가정렬시켰다. 자가정렬 후 오븐에서 35°C로 가열하여 DI water 를 증발시켜 pre-bonding 하였다. Pre-bonding 시 가열 온도가 50°C 이상인 경우 과도한 증기압에 의해 pre-bonding 되지 않고 칩이 분리되는 문제가 발생하였고 따라서 pre-bonding 온도가 50°C 이하가 되도록 하였다. 마지막으로 pre-bonding 된 시편을 260°C로 가열하여 Direct Oxide bonding 을 수행하였으며 940nm 파장의 IR 조명을 이용하여 접합부를 관찰하였다.

Fig. 11(a)는 260°C로 가열하여 실록산 결합을 형성하여 접합한 C2C 접합 시편이며 친수성 표면의 자가 정렬 효과에 의해 정렬하게 정렬되어 접

합된 것을 확인할 수 있다.

Fig. 11(b)는 접합 시편의 IR 이미지를 나타내고 있으며 자가정렬을 위해 사용한 DI water 에 의해서 추가적인 기공 발생없이 칩 전 영역이 고르게 접합이 이루어졌음을 확인할 수 있다.

#### 4. Thin wafer Bonding 장비 요소 기술

##### 4.1 Thin wafer handler

3D stacking 공정에서 사용되는 웨이퍼의 두께는 일반적으로 100 μm이하로 매우 얇아 본딩 공정, CMP 공정 시 외력에 의해 변형되고 깨지기 쉽다. 기존 thin wafer 핸들링 방법으로는 크게 rigid support carrier 방법, 정전기력을 이용한 방법, 진공압을 이용한 방법으로 나뉜다. Rigid support carrier 방법은 thin wafer 의 변형을 줄이기 위해 두꺼운 carrier wafer 위에 adhesive tape 혹은 wax 를 이용하여 임시로 thin wafer 를 부착하는 방식으로 방법이 간단하지만 부착 후 잔유물에 의해 웨이퍼 오염이 발생하기 쉽다. 정전기력을 이용한 방법은 비접촉식 방법으로 웨이퍼의 오염이 적지만 전기장에 의해 회로 손상이 발생할 위험이 있다. 진공압을 이용한 방법은 진공압을 이용하여 빠르게 부착 및 탈착이 가능한 장점이 있지만 일반적인 groove 형태의 핸들러의 경우 국부적인 진공압에 의해 thin wafer 변형과 warpage 문제가 발생하기 쉽다.<sup>2</sup>

본 논문에서는 기존의 진공 방식을 그대로 사용하되 thin wafer 의 변형과 파손을 방지하기 위해 개발한 다공질 picker 기술에 대해 간단히 소개한다.

다공질 picker 는 다공질을 형성하는 방법에 따라서 Fig. 12(a)의 기계 가공에 의한 방법과 Fig. 12(b)의 금속 입자 소결 방법으로 제작하였다. 기계 가공 방법에 의해 제작한 다공질 picker 는 직경 0.7mm, 피치 1.4mm 로 홀을 가공하였고 금속 입자 소결 방법에 의해 제작한 다공질 picker 는 Cu 입자를 소결시켜 제작하였다. Cu 입자를 소결시켜 만든 다공질 picker 는 가격이 저렴하지만 기공 형성이 임의로 형성되는 단점이 있다.

다공질 Picker 의 내부를 Fig. 12(c)와 같이 몇 개의 chamber 형식으로 구성 하게 되면 진공이 중심부로부터 전파되는 형식이 된다. 하나의 chamber 로 구성된 경우에는 웨이퍼와 picker 가 정렬이 잘못되거나 웨이퍼가 외부 외란에 의해 틈이 발생할 경우 외부공기가 흡입되어 진공도가 급격히 떨어

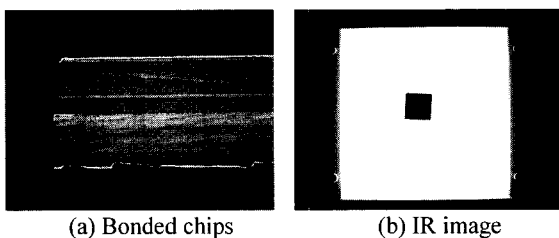
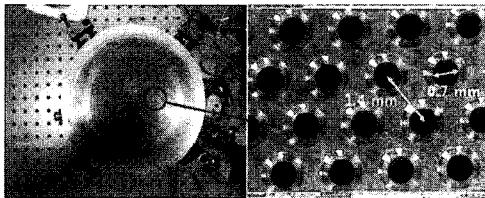


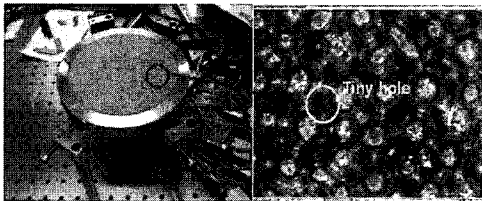
Fig. 11 Self-aligned and bonded chips

지고 웨이퍼 부착력이 급격히 감소한다. 그러나 본 연구에서 제안한 것처럼 내부를 몇 개의 chamber 로 구성하면 웨이퍼가 픽커로부터 일정 거리 이하로 이탈되더라도 chamber 내부의 급격한 진공도 감소를 줄일 수 있다.

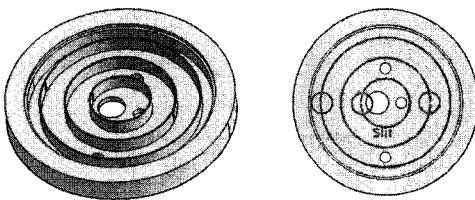
기존의 groove 형태의 진공 picker 와 본 연구에서 제안한 다공질 picker 의 변형을 계산한 결과 Fig. 13 과 같이 groove 형태의 picker 는 groove 주위에 국부적으로 진공압이 집중되어 변형이 큰 것



(a) Machining hole type



(b) Metal foam type



(c) Inner chamber

Fig. 12 Porous vacuum picker

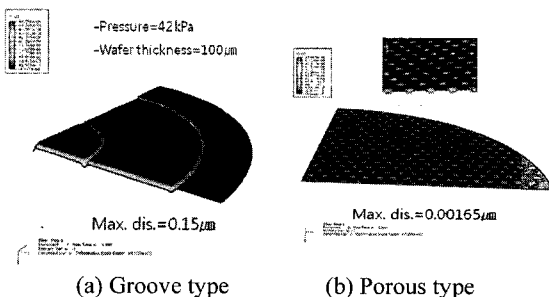


Fig. 13 Structural analysis results of vacuum picker

을 알 수 있으며 다공질 picker 의 경우는 진공압이 다공질 홀에 균일하게 분배되어 변형이 상대적으로 매우 작음을 확인할 수 있다.

#### 4.2 Bonding head

3D stacking 시 본딩 방법으로 TC (Thermal compression) 본딩 방법이 많이 사용되는데 열과 압력을 가하여 접합하게 된다. 접합 시 압력이 칩이나 혹은 웨이퍼에 수직으로 균일하게 인가되지 않으면 국부적으로 칩에 높은 하중이 인가되어 칩이 파괴되거나 칩 전체가 균일하게 접합이 일어나지 않는다. 본 논문에서는 볼 조인트와 공기 챔버를 이용하여 본딩 공정 시 수직으로 균일 압력을 유지할 수 있는 bonding head 를 설계하고 평가하였다.

Fig. 14 는 본 연구에서 제안한 균일 가압 헤드 구조를 나타낸다. 볼조인트의 하부는 4 각뿔 형상으로 가공하여 초기에 Z 축 방향으로의 회전을 구속시켰다. 가압 시 볼조인트는 공기 챔버 내부에서 공압 베어링 형태가 되어 무 마찰 상태로 자유롭게 회전이 가능해 칩 혹은 웨이퍼의 수직 방향으로 균일한 압력을 인가할 수 있도록 설계하였다.

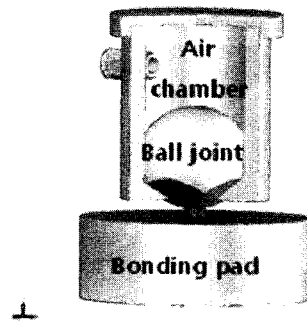
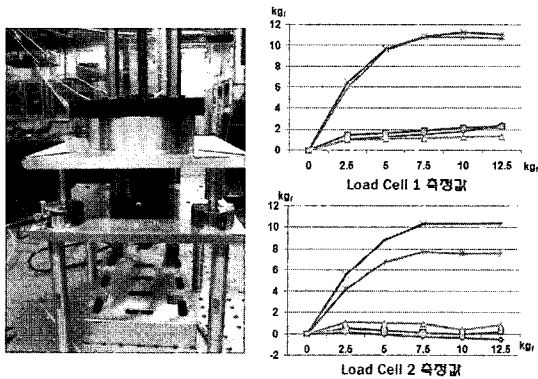


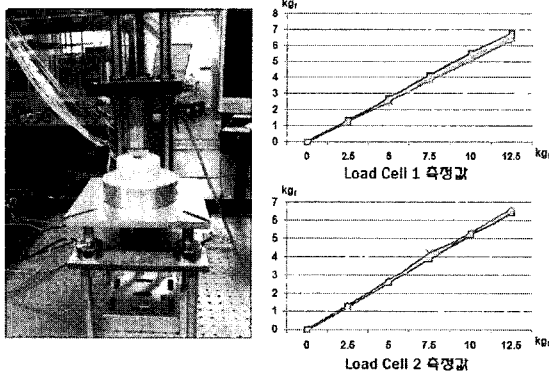
Fig. 14 Uniform bonding press head

Fig. 15 는 가압 패드 하단의 다른 두 위치에서 기존의 일반적인 bonding head 에 의한 하중 분포와 균일 가압 헤드의 하중 분포를 측정한 결과이다. 기존의 일반적인 bonding head 의 경우 실험 횟수에 따라 인가되는 하중의 반복능이 전혀 나타나지 않으며 다른 두 위치에서 측정한 하중이 서로 다르므로 하중이 균일하게 작용하지 않음을 알 수 있다. 하지만 균일 가압 헤드의 경우에는 실험 횟수에 따라 하중의 반복능이 매우 좋고 다른 두 위치

에서 작용하는 하중이 동일하므로 수직으로 균일한 하중이 인가되는 것을 확인할 수 있다. 또한 기존 bonding head 의 경우 본딩 하중을 조절하기 어렵지만 본 연구에서 제안한 bonding head 는 공압을 이용하여 쉽게 조절이 가능한 장점이 있다.



(a) Conventional bonding head



(b) Uniform press head

Fig. 15 Force distributions of bonding head

### 5. 결론

본 논문에서는 TSV stacking 공정의 본딩 방법에 대해 간략히 소개하였고 C2W/C2C 접합의 공정 시간을 줄이기 위한 pre-bonding 방법에 대해 소개하였다. 특히 Direct Oxide boning 에 적용 가능한 친수성(hydrophilic) 표면의 자가정렬(self-assembly)을 이용한 pre-bonding 방법의 성능을 평가하였으며 기존의 진공 플라즈마 대신 대기 플라즈마를 이용하여 Direct Oxide bonding 을 수행하고 접합부 특성을 관찰하였다. 실험 결과 친수성 표면의 정렬 오차는 5  $\mu\text{m}$  이하임을 확인하였고 대기 플라즈마를 이용하여 기공이 없는 양호한 접합부를 얻을 수

있었다. 또한 thin wafer 본딩 공정 요소 기술로 thin wafer handler 및 bonding head 를 개발하고 성능을 평가하였다. 해석 및 실험결과 다공질 픽커의 경우 thin wafer 의 변형이 기존 픽커에 비해 매우 작음을 확인할 수 있었으며 불조인트와 공기 챔버를 이용한 균일 가압헤드는 가압 시 칩의 수직방향으로 균일한 압력을 유지시켜 줄 수 있었다.

### 후 기

본 논문은 지식경제부/산업기술연구회의 협동 연구사업 일환인 “차세대 반도체 MCP 핵심 기술 개발사업”의 지원에 의한 것입니다.

### 참고문헌

1. Said, F. and Al, S., “A Review of 3-D packaging technology,” IEEE Transactions on Components, Packaging and Manufacturing Technology, Vol. 21, No. 1, pp. 2-14, 1998.
2. Yannou, J. M., “3-D TSV interconnects: Equipment & materials-2008 report,” Yole Development, pp. 9-264, 2008.
3. Thorsten, M., Lindner P., Pelzer, R. and Wimplinger, M., “Trends in aligned wafer bonding for MEMS and IC wafer-level packaging and 3D interconnect technologies,” Proc. of IWLPAC, 2004.
4. Beica, R., Sibleud, P., Sharbono, C. and Bernt, M., “Advanced metallization for 3D integration,” Electronics Packaging Technology Conference, pp. 212-218, 2008.
5. Chen, K. N., Fan, A. and Reif, R., “Microstructure examination of copper wafer bonding,” Journal of Electronics Materials, Vol. 30, No. 4, pp. 331-335, 2001.
6. Dragoi, V., Alexe, M., Hamacher, M. and Heidrich, H., “Microring resonators fabrication by BCB adhesive wafer bonding,” Semiconductor Wafer Bonding 10: Science, Technology and Applications Proceedings, pp. 106-115, 2008.
7. Schjolberg-Henriksen, K., Moe, S., Taklo, M. M. V., Storås, P. and Ulvensoen, J. H., “Low-temperature plasma activated bonding for a variable optical attenuator,” Sensors and Actuators A, Vol. 142, No. 1, pp. 413-420, 2008.



8. Tong, Q.-Y. and Gösele, U., "Semiconductor wafer bonding: science and technology," John Willy & Sons, Inc., 1998.
9. Matthias, T., Wimplinger, M., Pargfrieder, S. and Lindner, P., "3D process integration: wafer-to-wafer and chip-to-wafer bonding," MRS Fall Meeting 2006 (Symposium Y: Enabling Technologies for 3-D Integration), 2006.