

논문 2009-46IE-4-1

중국형 DSRC 시스템 SoC 설계에 대한 연구

(A Study on The Design of China DSRC System SoC)

신 대 교*, 최 중 찬*, 임 기 택*, 이 제 현**

(Dae-kyo Shin, Jong-chan Choi, Ki-taeg Lim, and Je-Hyun Lee)

요 약

ITS와 ETC 기술은 새로운 도로의 건설 없이 교통 능력과 이동 안전성을 개선하는 것을 목표로 한다. 이를 실현하는 한 방법으로 요즘 DSRC가 각광을 받고 있다. 2007년 5월에 공표된 중국 DSRC 표준은 낮은 비트 전송율, 단순 메시지 그리고 단순한 MAC 제어를 가지고 있다. DSRC 시스템 사용자들은 전지 1개로 1년 이상의 긴 사용기간을 원한다. 본 논문에서는 초저전력 소비 구조의 SoC를 설계하고자 한다. 몇몇 디지털 논리 개념과 아날로그 전력 제어 논리가 전력 소비를 줄이기 위한 기법으로 사용되었다. SoC 동작 모드, 클럭 속도, 동작 전압 범위, 웨이크업 신호 검출기, 아날로그 비교기, 그리고 내부 전압 조정기(IVR)와 외부 전력 스위치(EPS)등이 설계된 블럭들이다. 시뮬레이션으로 확인한 SoC 전력 소비는 동작모드에서는 8.5mA@20Mhz, 0.9mA@1Mhz 이하이며, 전력 정지 모드에서는 5uA 이하였다. SoC는 2008년 8월에 설계를 완료하고, 2008년 11월에 0.18 μ m CMOS공정으로 제작을 마쳤다.

Abstract

The final goal of ITS and ETC will be to improve the traffic efficiency and mobile safety without new road construction. DSRC system is emerging nowadays as a solution of them. China DSRC standard which was released in May 2007 has low bit rate, short message and simple MAC control. The DSRC system users want a long lifetime over 1 year with just one battery. In this paper, we propose the SoC of very low power consumption architecture. Several digital logic concept and analog power control logics were used for very low power consumption. The SoC operation mode and clock speed, operation voltage range, wakeup signal detector, analog comparator and Internal Voltage Regulator & External Power Switch were designed. We confirmed that the SoC power consumption is under 8.5mA@20Mhz, 0.9mA@1Mhz in active mode, and under 5uA in power down mode, by computer simulation. The design of SoC was finished on Aug. 2008, and fabricated on Nov. 2008 with 0.18 μ m CMOS process.

Keywords : ITS, ETC, DSRC, low power consumption, SoC

I. 서 론

ITS (Intelligent Traffic System, 지능형 운송 시스템) 와 ETC (Electronic Toll Collection, 전자 통행료 징수) 기술은 새로운 도로의 건설 없이 교통 능력과 이동 안전성을 개선하는 것을 목표로 한다. 즉 운전자

안전과 운전 편의성을 증진시키기 위하여 개발되었으며, 전체 교통 체증을 감소시키거나, 사고들을 방지하는 것들을 포함한다. 그것들을 실현하는 한 방법으로 DSRC(Dedicated Short Range Communication, 전용 최단거리 통신)이 요즘 많이 사용되고 있다.^[1~2]

DSRC는 그림 1에서 보이는 바와 같이 RSE (Road Side Equipment, 도로 측 설비)와 OBU (On-Board Unit, 이동체 장비) 사이에 안정된 통신을 제공한다.^[3]

DSRC 시스템은 그 응용 범위를 넓혀가고 있는데, 특히 안전 증대와 정보 교환을 위하여 차량-대-차량이나 차량-대-기반시설 사이의 통신에 적용되고 있다.^[4] 최근에는 ETC (Electronic Toll Collection, 전자 통행료 징

* 정희원, 전자부품연구원 SoC 플랫폼 연구센터
(SoC Platform Research Center, Korea Electronics Technology Institute)

** 정희원, 동양공업전문대학 전기전자통신공학부
(School of Electrical Engineering, Dongyang Technical College)

접수일자: 2009년10월8일, 수정완료일: 2009년12월7일

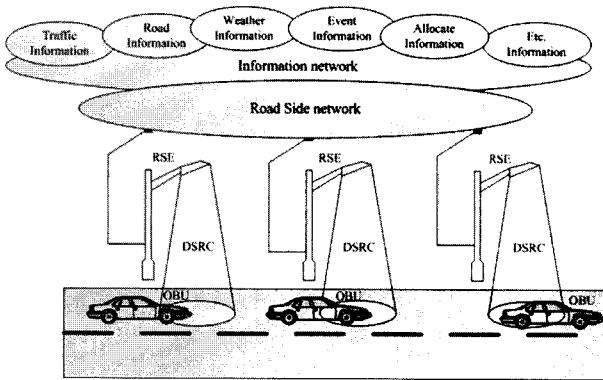


그림 1. DSRC 시스템 동작 모델
Fig. 1. Operation Model of DSRC System.

수)에 적용되고 있다. 유럽과 미국은 각각 5.8 GHz와 5.9 GHz 주파수대들을 사용하여 유사한 시스템을 추구하고 있다.^[5~6] 한국과 일본에서 현재 사용되고 있는 DSRC 시스템은 여러 개의 칩셋 부품과 다수의 외부 부품들을 가지고 있는 혼합 부품 형태로 구현되어 있다.^[7]

고속도로 네트워크가 계속 건설되고 있는 중국의 경우, 가장 긴 고속도로가 있는 장쑤성 지역에서는 반자동 인력 통행료 징수 온라인 시스템을 구축하였다.^[8] 그것은 중국의 지역들 사이에 첫 번째이다. 지역 경제와 교통 운송의 발달과 더불어, ETC 온라인 시스템은 절박하게 요구된다.

ETC 시스템의 기능으로는 차량 확인, 통행료 징수, 경로 확인, 차량 통과 등을 포함한다. 현재 중국에서 ETC 시스템은 베이징 지역으로 확대되고 있다. 중국 DSRC 시스템 개발자들은 DSRC 시스템이 1개의 전지 전력 공급으로 1년 이상 동작할 수 있기를 바라고 있다.

본 논문에서 우리는 초저전력을 소비하는 DSRC SoC 구조를 제안한다. II장에서는 발표된 중국 DSRC 표준을 설명하고, III장에서는 설계한 SoC 구조를 설명한다. IV장에서는 초저전력 소비를 위해 적용된 기술을 설명하고, 마지막으로 V장에서 결론을 서술한다.

II. 중국 DSRC 표준

중국 DSRC 표준은 2007년 5월에 발표되었으며, 다음과 같이 모두 5개의 부분으로 이루어져 있다.^[9]

- GB/T 20851.1-2007 : 물리적 계층
- GB/T 20851.2-2007 : 데이터 링크 계층

- GB/T 20851.3-2007 : 애플리케이션 계층
- GB/T 20851.4-2007 : 설비 애플리케이션
- GB/T 20851.5-2007 : 물리적 계층에 중요한 파라미터들의 테스트 방법

중국 표준에 따르면, 반송 주파수는 5.8 GHz 주파수 대이고, 그것은 단순한 낮은 비트 전송속도이다. DSRC 통신의 프로토콜은 HDLC (High-Level Data Link Control)와 유사하다.

표 1. 다운링크(Downlink) 주요 파라미터
Table 1. Downlink Key Parameter.

파라미터		A class	B class
1	반송 주파수	ch 1	5.830Ghz
		ch 2	5.840Ghz
2	대역폭	≤ 5 Mhz	≤ 5 Mhz
3	변조방식	ASK	FSK
4	코딩 방식	FM0	맨체스터
5	데이터전송 속도	256 Kbps	1 Mbps

표 2. 업링크(Uplink) 주요 파라미터
Table 2. Uplink Key Parameter.

파라미터		A class	B class
1	반송 주파수	ch 1	5.790Ghz
		ch 2	5.800Ghz
2	대역폭	≤ 5 Mhz	≤ 5 Mhz
3	변조방식	ASK	FSK
4	코딩 방식	FM0	맨체스터
5	데이터전송 속도	512 Kbps	1 Mbps

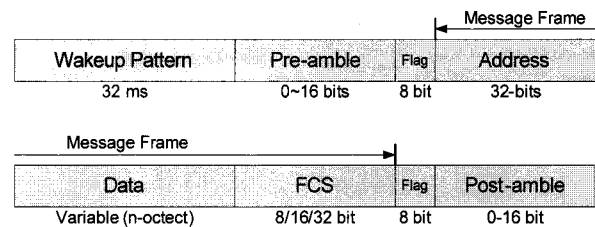


그림 2. 중국 DSRC 프레임 포맷
Fig. 2. China DSRC Frame Format.

그림 2는 GB/T 20851.1-2007의 DSRC 프레임 포맷을 보여주고 있다.

- 깨움(Wakeup) 신호 : DSRC의 앞부분에 있는 수십 ms 동안의 14 MHz 클럭 신호. 이 신호는 오직 RSE로부터 전송된다. OBU는 이 신호를 받으면 반드시 활성 모드로 동작 모드를 바꾸어야 한다.

- 프리앰블(Preamble) : 개시 깃발(open flag) 전에 0 에서 16비트까지의 0(zero)가 존재할 수 있다.
- 개시 깃발 / 종료 깃발(closing flag) : 깃발은 유일한 이진수 패턴인 0111 1110이다. 그것은 프레임 경계를 나타내어, 프레임의 각각 필드(field)들의 위치에 대한 기준을 제공한다. 하나의 깃발이 한 프레임의 종료 깃발로 사용됨과 동시에 다음 프레임의 열기 깃발로서도 사용될 수 있다.
- 주소 필드 : 시작 깃발을 따르는 필드가 주소 필드이다. 그것의 사이즈는 32 비트에 이른다. 여러개의 프로그램할 수 있는 숫자들로 주소 필드를 검사하여 수신된 프레임을 허용할 것인지 말 것인지를 결정할 수 있다.
- 데이터 필드 : 정보 필드로서 FCS 필드 앞에 온다. 그것은 바이트의 연속으로 이루어진다.
- FCS 필드 : 종료 깃발에 선행하는 8비트,16비트, 또는 32비트가 FCS 필드이다. FCS는 오류 검출 코드로서 프레임의 남아있는 비트들로부터 계산된다.(깃발 비트 제외). 사용되는 코드는 순환 중복 검사(Cyclic Redundancy Check)이다. 전송 프레임의 FCS 필드는 다음의 생성 다항식 중 하나에 의해 만들어진다. CRC8 ($x^8+x^7+x^3+x^2+1$), CRC-CCITT ($x^{16}+x^{12}+x^5+1$) 또는 CRC32 ($x^{32}+x^{26}+x^{23}+x^{22}+x^{16}+x^{12}+x^{11}+x^{10}+x^8+x^7+x^5+x^4+x^2+x+1$)
- 포스트앰블 (Postamble) : 0에서 16비트까지의 0(zero)가 종료 후에 있을 수 있다.

III. SoC 설계

그림 3은 설계된 SoC의 전체 구성도를 보여준다. 설계된 SoC의 기능을 정리하면 다음과 같다.

- 20 MHz까지 실행되는 고성능 8비트 CPU
- 내장된 비휘발성 프로그램 메모리(플래시): 64 KB
- 내장 메모리 : 8 KB
- T-DES/DES 암호화
- 직렬 통신 : I2C, SPI, 2xUSART
- 내장된 H/W HDLC 모델 : GB/T 20851-2007
- LCD 제어기 / 드라이버 : 16 SEG x 4 COM
- 아날로그 비교기
- 저전력 소비 : ≤ 9 mA(동작시), $\leq 4\mu$ A (전력차단시)
- 동작 온도 : $-40\sim 85$ °C

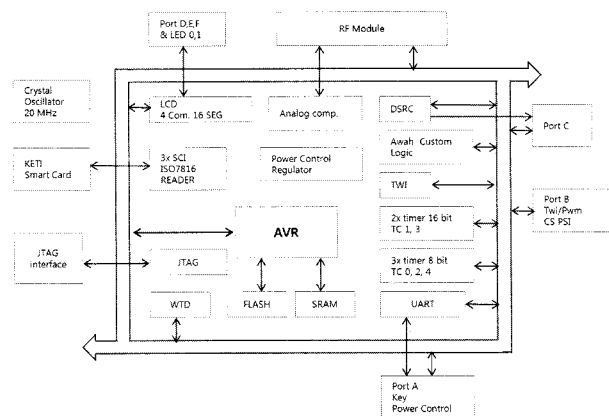


그림 3. 설계된 SoC의 전체 구성도
Fig. 3. Overall Architecture of Designed SoC.

- 동작 전압 : 1.8~3.6V (I/O), 1.8V(내부)
- 패키지 : 80개의 핀 LQFP

IV. 초 저전력 설계

중국 DSRC 시스템 개발자들은 DSRC 시스템이 1개의 전지 전력으로 1년 이상 작동하기를 원하였기에 저전력 설계의 중요성이 커지게 되었다.^[10] 초저전력 소비를 위한 디자인 방법은 다음과 같다.

- 넓은 공급 전압 범위
- 내부 전압 레귤레이터와 외부 전원 스위치
- 깨움(Wakeup) 감지기
- 신속한 클럭 제어 및 동작 모드 변경
- RF 입력에 아날로그 비교기 사용

4.1 넓은 동작 전압 범위

SoC는 1개의 전지에 의하여 전원 공급된다. 완충된 전지 출력전압은 3.6V이나 시간이 경과함에 따라 전압

표 3. 동작 전압 범위 대 유효 전지 용량
Table 3. Operating Voltage Range VS Effective Battery Capacity.

동작 전압 범위	유효 전지 용량 (3.6V 1600mAh 전지)
3.0V~3.6V	600 mAh
2.6V~3.6V	1000 mAh
2.0V~3.6V	1200 mAh
1.8V~3.6V	1600 mAh

은 감소한다. 설계된 SoC는 1.8V~3.6V에서 동작한다. 동작 전압 범위가 넓을수록, 전지 사용 기간은 더 길어진다. 표 3은 동작 전압 범위와 유효 전지 용량과의 관계를 보여준다. 목표 전지의 최대 출력 전압은 3.6V이고, 최대 전지 용량은 1600mAh이다.

4.2 내부 전압 레귤레이터와 외부 전원 스위치

그림 4는 설계된 SoC와 외부 소자들과의 연결을 보여준다. 외부 소자로는 스마트 카드 인터페이스, LCD 패널, RF 모듈, UART, 동작 스위치 등등이 있다. SoC는 내부 전압 1.8V를 생성해주는 레귤레이터가 있다. RF 모듈을 제외한 외부 소자들의 전력은 “PWSEN”이란 신호에 의해 제어된다. “PWSEN” 신호는 깨움 신호를 받았을 때 SoC에서 만들어진다. 이 신호가 외부 전원 스위치를 on/off 시킨다. 즉 “PWSEN”이 비활성화되었을 때는 RF 모듈을 제외한 외부 소자들과 깨움 감지기와 전원 제어 회로를 제외한 내부 논리회로들은 전력을 소비하지 않음을 의미한다.

전력 차단 모드에서는 내부 전압 레귤레이터는 꺼지고, 내부 전력도 차단되고, 외부 소자 역시 차단된다. 전력 제어는 항상 전지에 의해 구동되고, 외부 전원 스위치를 제어한다.

외부 전력 스위치는 SWBAT1으로 전하 펌프와 LCD 드라이버에 전력을 공급하고, SWBAT2로서 내부 레귤레이터와 GPIO들에 전력을 공급한다. LCD 패드는 내부 LCD 드라이버에 의해 공급된다.

이런 구조는 시스템 전력 소비를 엄청나게 감소시킨

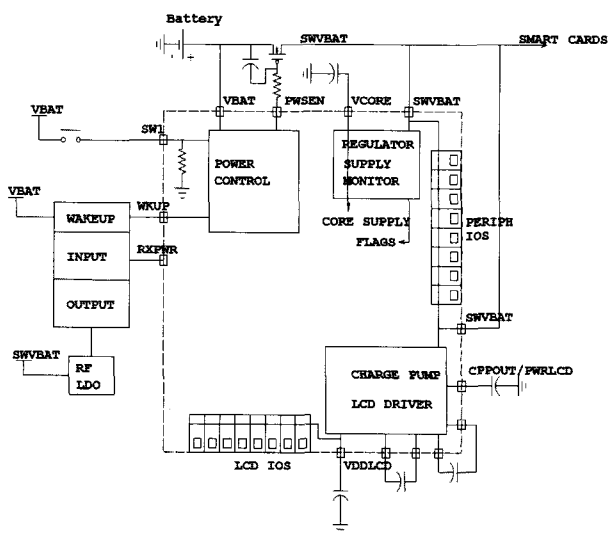


그림 4. SoC의 외부 소자들
Fig. 4. The SoC External Components.

다. 깨움 패턴이 받아지기 전에는 오직 전력 제어 회로와 깨움 감지기 부분만 전력을 소비한다. 외부 전력 스위치가 켜지기 전에는 거의 대부분 DSRC의 외부 소자들-스마트 카드 인터페이스, LCD 패널, UART 소자, SPI 소자, I²C 소자 등-이 꺼져 있다는 것이다.

4.3 깨움 감지기

ETC 서비스는 고속 도로에서 오직 RSE 앞에서만 동작한다. 서비스 시간은 일반적으로 250 ms 보다 작고, 서비스 서비스 메시지 수도 10보다 작다.^[11]

SoC는 전력 차단 모드에서 깨움 신호를 기다린다. RF 모듈에서 깨움 패턴이 발견되면, RF 모듈은 깨움 신호를 만들고 SoC로 보낸다. 깨움 신호는 5 us 이상의 액티브 로우 신호이다. 활성화 모드에서의 SoC는 RSE와 교신한다. ETC 서비스가 수행되고 종료한 후 SoC는 LCD에 약 2초 동안 결과를 표시하고, 다시 전력 차단 모드로 돌아간다.

그림 5는 깨움 감지기 블록의 전체 구성도를 보여준다. 깨움 감지기는 항상 전지에 의해 전력이 공급된다. 깨움 신호를 발생시키는 방법으로는 RF 모듈의 깨움 패턴, 외부 버튼 누름, 그리고 전력 켜 리셋(Power on Reset)의 3가지이다. 깨움 패턴 감지 신호 입력은 디바운스 필터에 연결되어 있고, 5 us 이상 들어 올 때 유효하다. 필터는 잘못된 깨움 프로세스가 진행되는 것을 방지한다.

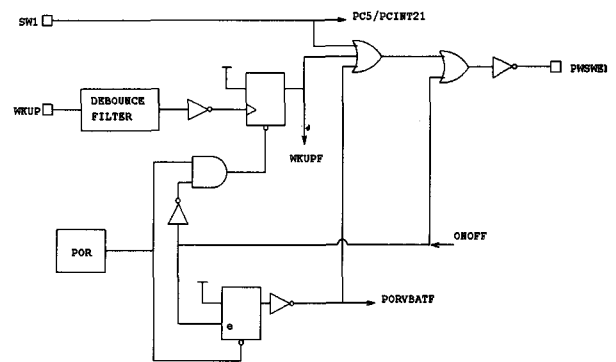


그림 5. 깨움 감지기 전체 구성도
Fig. 5. Wakeup Detector Block Diagram.

4.4 신속한 클럭 제어 및 동작 모드 변경

그림 6은 ETC 서비스 흐름에서 동작 클럭 및 모드의 변경 부분을 보여 준다.

신속한 클럭 제어 및 동작 모드 변경은 전력 소비를 줄이는 더욱 강력한 방법이다.^[12] 전력 차단 모드에서와

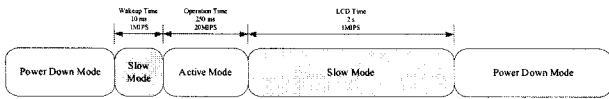


그림 6. 동작모드 변경 흐름
Fig. 6. Operation Mode Change Flow.

활성 모드에서의 전력 소비량 차이가 매우 크기 때문이다. 깨움 동작이나 LCD 표시 동작 같은 처리 부담이 작을 때에는 동작 클럭은 매우 느리다.

클럭 발생기는 글리치나 셋업 시간 없이 주파수를 바꿀 수 있다. SoC는 모든 클럭 경로를 on/off 시킬 수 있다. SoC내의 모든 블록은 그 블록이 사용되어 있지 않을 때 클럭에 대해 반응하지 않는다.

SoC는 데이터를 송수신할 때 클럭 속도를 변화시킬 수 있다. CPU는 TxFIFO에 쓴 다음이나, 수신 인터럽트가 발생하기 전에 느린 클럭 속도 상태가 될 수 있다. SoC의 DSRC 모뎀은 TxFIFO에 있는 데이터를 송신할 때나, RxFIFO로 데이터를 수신할 때 자동적으로 속도를 조절한다.

4.5 아날로그 비교기

아날로그 비교기는 RF 모듈 출력과 DSRC 모뎀 사이에 위치한다. SoC는 RF 모듈 출력의 전체 범위를 필요로 하지 않기 때문에 아날로그 비교기를 사용한다.

아날로그 비교기가 없으면, RF 모듈 출력 신호의 전압 범위는 $V_{H_{TH}}$ 보다 크거나 $V_{L_{TH}}$ 보다 더 낮을 수도 있기 때문이다. 즉 DSRC 모뎀의 입력 논리 상태는 다음 표 4와 같이 정해진다.

대체적으로, $V_{H_{TH}}$ 는 $V_{A_{CH_{TH}}}$ 보다 더 크고, $V_{L_{TH}}$ 는 $V_{A_{CL_{TH}}}$ 보다 더 작다. 그림 7은 아날로그 비교기가 있을 경우와 없을 경우에 대해 권장하는 RF 모듈 출력의 범

표 4. DSRC Modem 입력 논리 상태
Table 4. DSRC Modem Input Logic State.

	논리 상태	입력 전압 범위
아날로그 비교기가 없는 경우	H	$V_{RF_OUT} > V_{H_{TH}}$
	L	$V_{RF_OUT} < V_{L_{TH}}$
아날로그 비교기를 사용할 경우	H	$V_{RF_OUT} > V_{A_{CH_{TH}}}$
	L	$V_{RF_OUT} < V_{A_{CL_{TH}}}$

단, $V_{H_{TH}}$: 모뎀에서 입력을 H로 판단할 수 있는 최소 전압
 $V_{L_{TH}}$: 모뎀에서 입력을 L로 판단할 수 있는 최대 전압
 $V_{A_{CH_{TH}}}$: 아날로그 비교기에서 입력을 H로 판단할 수 있는 최소 전압. 아날로그 비교기 출력은 H
 $V_{A_{CL_{TH}}}$: 아날로그 비교기에서 입력을 L로 판단할 수 있는 최대 전압. 아날로그 비교기 출력은 L

--- RF module output swing without Analog Comparator
 — RF module output swing with Analog Comparator

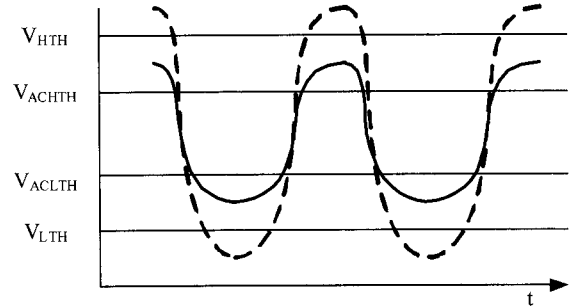


그림 7. RF 모듈 출력 전압 범위
Fig. 7. RF Module Output Voltage Range.

위를 보여주고 있다. 아날로그 비교기를 사용할 경우 전압 변화 범위를 줄일 수 있고 따라서 전력 소비 또한 줄일 수 있다.

V. 결 론

본 논문은 중국향 DSRC 시스템 설계에 대한 연구에 대하여 기술하고, DSRC 시스템 설계에서 전력 소비를

표 5. SoC의 전력 소비량
Table 5. Power Consumption of SoC.

Operation Mode	Active logic	Power consumption	Comment
Active Mode	Analog	0.6	All IPs @ 20 Mhz
	Digital @ 20Mhz	5.6	
Flash	2.5		
Memories	0.2		
	Total Current	~8mA	
Slow Mode	Analog	0.6	All IPs @ 1Mhz
	Digital@ 1Mhz	0.28	
Flash	1.25		
Memories	0.01		
	Total Current	~2mA	
IDLE Mode	Analog	0.6	Flash and CPU are OFF
	Digital@ 1Mhz	0.28	
Flash	0		
Memories	0.01		
	Total Current	~0.9mA	
Power down Mode	Analog		Regulator is OFF
	Digital		
	Flash		
	Memories		
	Total Current	~5uA	

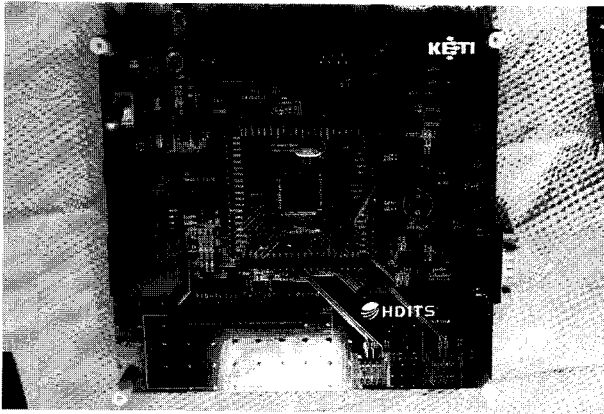


그림 8. 제작된 SoC의 신뢰성 평가를 위한 테스트 보드

Fig. 8. Test Board of fabricated SoC for reliability.

크게 감소시킬 수 있는 기법에 대해 서술하였다. SoC 설계는 2008년 2월부터 8월에 걸쳐 이루어 졌으며, 0.18 μm CMOS 공정에 투입되어 2008년 11월에 80 pin PQFP 패키지로 시제품이 만들어졌다.

SoC는 고밀도 비휘발성 메모리 공정 기술을 사용하여 표 5에서 설계되어 제작된 SoC의 전력 소비량을 보여 준다.

또한 제작된 SoC는 그림 8에 보이는 테스트 보드를 제작하여, 전자부품연구원 신뢰성평가연구본부에서 Excal 2221H (Climate,프랑스) 항온항습기를 사용하여 -40 $^{\circ}\text{C}$ 에서 90 $^{\circ}\text{C}$ 까지 신뢰성 시험을 하여 정상 동작함을 확인하였다.

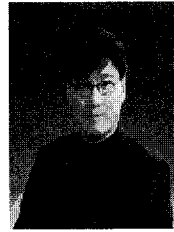
참 고 문 헌

- [1] Hyunseo Oh, Chungil Yae, Donghyon Ahn, Hanberg Cho, "5.8 Ghz DSRC Packet Communication System for ITS Services", Vehicular Technology Conference '99, Vol. 4, pp. 2223-2227, Houston, USA. May 1999.
- [2] Rabindranath Bera, Jitendranath Bera, Sanjib Sil, Sudip Dogra, Nirmalendu Bikas Sinha, Dipak Mondal, "Dedicated short range communications (DSRC) for intelligent transport system", Wireless and Optical Communications Networks, 2006 IFIP International Conference, Bangalore, India, April 2006.
- [3] Daehyuk Kim, Kyung Won Choi, Wooju Lee, Kwang-joo Choi, Dongweon Yoon, Sang Kyu Park, "Implementation of DSRC System with Wireless Link between RSE and Local Server", 6th International Conference on ITS Telecommunications Proceedings, pp. 858-861, Chengdu, China, June 2006.
- [4] 박인규, "DSRC 전략과 향후의 ITS", 대한전자공학회, 전자공학회논문지-TC 전자공학회논문지 제 43권 TC편 제9호, pp. 105-119, 2006. 9.
- [5] 이순호, 변우섭, "ITS용 DSRC 시스템 표준화 동향", 대한전자공학회, 전자공학회지 제28권 제5호, pp. 34-39, 2001. 5.
- [6] Daniel Jiang, Vikas Taliwal, Andreas Meier, Wieland Holfelder, "Design of 5.9 GHz DSRC-based Vehicular Safety Communication", IEEE Wireless Communications, Vol. 13, no. 5, pp 36-43, Oct. 2006.
- [7] Sangho Shin, Seokho Yun, Sanghyun Cho, Jongmoon Kim, Minseok Kang, Wonkap Oh, Sung-Mo Kang, "0.18 μm CMOS Integrated Chipset for 5.8GHz DSRC Systems with +10dBm Output Power",
- [8] Haisu Wang, Qimei Chen, "Discussion of ETC Online System Based on PHS", Services Systems and Services Management, Proceedings of ICSSSM 2005, Vol. 2, pp. 961 - 965, June 2005.
- [9] Electronic toll collection-Dedicated short range communication, GB/T 20851, China Standard, May 2007.
- [10] Nuno Almeida, Ricardo Abreu, Joao Nuno Matos, Nuno Borges Carvalho, Jorge Sales Gomes, "Low Cost Transceiver for DSRC Applications", IEICE Proceedings of Asia-pacific Microwave Conference, pp. 1501 - 1504, Yokohama, Japan, Dec. 2006.
- [11] Wolfgang Detlefsen, Wilhelm Grabow, "Interoperable 5.8 Ghz DSRC Systems as Basis for Europeanwide ETC Implementation", European Microwave Conference, 1997. 27th, Vol. 1, pp.139 - 145, Jerusalem, Israel, Oct. 1997.
- [12] Pilsoon Choi, Hyung Chul Park, Sohyeong Kim, Sungchung Park, Ilku Nam, Tae Wook Kim, Seokjong Park, Sangho Shin, Myeung Su Kim, Kyucheol Kang, Yeonwoo Ku, Hyokjae Choi, Sook Min Park, Kwyro Lee, "An Experimental Coin-Sized Radio for Extremely Low-Power WPAN(IEEE 802.15.4) Application at 2.4 GHz", IEEE Journal of Solid-State Circuits, Vol. 38, No. 12, pp. 2258-2268, Dec. 2003.

저 자 소 개



신 대 교(정회원)
 1998년 아주대학교 전자공학과
 학사 졸업.
 2000년 아주대학교 전자공학과
 석사 졸업.
 2000년~2003년 eMDT SoC
 연구소 주임연구원
 2003년~현재 전자부품연구원 SoC 플랫폼
 연구센터 선임연구원.
 <주관심분야 : 통신 모뎀 설계, SoC 설계>



최 종 찬(정회원)
 1985년 경희대학교 전자공학과
 학사 졸업.
 2002년 서경대학교 컴퓨터과학과
 석사 졸업.
 2005년 충북대학교 정보통신
 공학과 박사 졸업.
 1985년~1990년 삼성전관 종합연구소 주임연구원
 1992년~현재 전자부품연구원 SoC 플랫폼
 연구센터 센터장
 <주관심분야 : SoC, 임베디드 시스템>



임 기 택(정회원)
 1996년 한양대학교 전자공학과
 석사 졸업.
 1996년~전자부품연구원 SoC
 플랫폼 연구센터 팀장
 <주관심분야 : ITS, ITS용 반도
 체 및 시스템 개발>



이 제 현(정회원)
 1983년 아주대학교 전자공학과
 학사 졸업.
 1985년 한국과학기술원 전기및
 전자공학과 석사 졸업.
 1985년~1990년 전자부품연구원
 자동설계부 연구원
 1990년~1993년 SGS-THOMSON KOREA
 Design Center 과장
 1993년~1996년 전자부품연구원 ASIC센터
 선임연구원
 1996년~1999년 한국과학기술원 반도체설계교육
 센터 선임연구원
 1999년~현재 동양공업전문대학 전자과 부교수.
 <주관심분야 : 반도체, ASIC, FPGA 설계>