

논문 2009-46TC-12-2

# CMOS 공정 기반의 X-대역 위상 배열 시스템용 다기능 집적 회로 설계

(Design of CMOS Multifunction ICs for X-band Phased Array Systems)

구본현\*, 홍성철\*\*

(Bon-Hyun Ku and Songcheol Hong)

## 요약

X-대역의 위상 배열 시스템에 응용 가능한 전력 증폭기, 6-bit 위상 변위기, 6-bit 디지털 감쇠기 및 SPDT 송수신 스위치를 각각 설계 및 측정하였다. 모든 회로는 CMOS 0.18  $\mu\text{m}$  공정을 사용하여 구현되었다. 전력 증폭기는 2-단 차동 및 cascode 구조를 가지며, 20 dBm 의 P1dB, 19 %의 PAE 의 성능을 8-11 GHz 주파수 대역에서 보였다. 6-bit 위상 변위기는 Embedded switched filter 구조를 가지며, 스위치용 nMOS 트랜지스터 및 마이크로스트립 선로로 인덕턴스를 구현하였다. 360° 위상 제어가 가능하며 위상 해상도는 5.6° 이다. 8-11 GHz 주파수 대역에서 RMS phase 및 amplitude 오차는 5° 및 0.8 dB 이하이며, 삽입손실은 약  $-15.7 \pm 1.1$  dB 이다. 6-bit 디지털 감쇠기는 저항 네트워크와 스위치가 결합된 Embedded switched Pi-및 T-구조이며, 위상 배열 시스템에서 요구하는 낮은 통과 위상 변동 특성을 가지는 구조가 적용되었다. 최대 감쇠는 31.5 dB 이며 진폭 해상도는 0.5 dB 이다. 8-11 GHz 주파수 대역에서 RMS amplitude 및 phase 오차는 0.4 dB 및 2° 이하이며, 삽입손실은 약  $-10.5 \pm 0.8$  dB 이다. SPDT 송수신 스위치는 series 및 shunt nMOS 트랜지스터의 쌍으로 구성되었으며 회로의 면적을 최소화하기 위해 1개의 수동 인덕터만으로 SPDT 기능을 구현하였다. 삽입손실은 약 -1.5 dB, 반사손실은 -15 dB 이하이며, 송수신 격리 특성은 -30 dB 이하이다. 각각의 칩 면적은 1.28 mm<sup>2</sup>, 1.9mm<sup>2</sup>, 0.34 mm<sup>2</sup>, 0.02mm<sup>2</sup> 이다.

## Abstract

For X-band phased array systems, a power amplifier, a 6-bit phase shifter, a 6-bit digital attenuator, and a SPDT transmit/receive (T/R) switch are fabricated and measured. All circuits are demonstrated by using CMOS 0.18  $\mu\text{m}$  technology. The power amplifier has 2-stage differential and cascode structures. It provides 1-dB gain-compressed output power ( $P_{1dB}$ ) of 20 dBm and power-added-efficiency (PAE) of 19 % at 8-11 GHz frequencies. The 6-bit phase shifter utilizes embedded switched filter structure which consists of nMOS transistors as a switch and meandered microstrip lines for desired inductances. It has 360° phase-control range and 5.6° phase resolution. At 8-11 GHz frequencies, it has RMS phase and amplitude errors are below 5° and 0.8 dB, and insertion loss of  $-15.7 \pm 1.1$  dB. The 6-bit digital attenuator is comprised of embedded switched Pi-and T-type attenuators resistive networks and nMOS switches and employs compensation circuits for low insertion phase variation. It has max. attenuation of 31.5 dB and 0.5 dB amplitude resolution. Its RMS amplitude and phase errors are below 0.4 dB and 2° at 8-11 GHz frequencies, and insertion loss is  $-10.5 \pm 0.8$  dB. The SPDT T/R switch has series and shunt transistor pairs on transmit and receive path, and only one inductance to reduce chip area. It shows insertion loss of -1.5 dB, return loss below -15 dB, and isolation about -30 dB. The fabricated chip areas are 1.28 mm<sup>2</sup>, 1.9mm<sup>2</sup>, 0.34 mm<sup>2</sup>, 0.02mm<sup>2</sup>, respectively.

**Keywords** :: phased array, CMOS, power amplifier, phase shifter, digital attenuator

\* 학생회원, \*\* 평생회원, 한국과학기술원 전기 및 전자공학과  
(Dept. of Electrical Engineering, Korea Advanced Institute of Science and Technology)  
접수일자: 2009년11월13일, 수정완료일: 2009년12월14일

## I. 서론

차세대 군용 레이더를 확보하기 위해 가격 대비 고성

능의 X-대역 능동 위상 배열 시스템에 대한 요구가 증가하고 있다. 위상 배열 시스템은 전자적 빔 제어와 기민한 빔 조향 특성이 요구되는 민군용 시스템에 사용되어 왔으며, 이러한 위상 배열 시스템의 성능은 송수신(T/R) 모듈의 성능에 의해 거의 결정된다.

T/R 모듈은 전력 증폭기, 저잡음 증폭기, 그리고 위상 및 이득 제어 그리고 T/R 스위칭 등의 기능을 내장하는 다기능 칩 (Multifunction Chip, MFC) 등으로 구성된다. 능동 위상 배열 시스템은 T/R 모듈이 대략 수백 개에서 수천 개 가량이 소요되어 전체 시스템의 가격이 상당히 고가를 유지할 수밖에 없기 때문에, 기술적으로 단가를 낮추기 위한 연구가 필요하며, 이미 미국, 유럽 등에서 활발히 연구가 진행되고 있다<sup>[1~9]</sup>.

특히, X-band 대역에서 GaAs 기술을 사용하여 전력 증폭기, 저잡음 증폭기 및 MFC를 구현한 연구가 보고되었다<sup>[1~5]</sup>. 또한 최근, Si 기반의 반도체 공정 기술이 발전함에 따라 충분한 성능과 가격 경쟁력을 동시에 확보할 수 있는 SiGe 혹은 CMOS 기술을 이용한 초고주파 T/R 모듈 구현에 대한 연구가 보고되고 있다<sup>[6~9]</sup>. 비록 Si 기술이 10 W 급의 출력 전력이나 매우 낮은 잡음 지수 (NF) 성능을 낼 수 있는 GaAs 또는 GaN 기반의 기술을 대체하기는 어려울 것으로 보이지만, 그럼에도 T/R 모듈의 제어 회로에 해당하는 MFC를 구현하는 데 있어서는 충분한 경쟁력이 있다. 뿐만 아니라, serial-to-parallel converter와 같은 MFC를 제어하기 위한 각종 디지털 회로를 집적하는데 있어서는, Si 기술이 GaAs 등의 기술보다 더욱 매력적이다. 그러나 국내에서는 아직 GaAs 혹은 Si 기반의 공정을 이용한 MFC 연구는 미미한 실정이다.

일반적으로 T/R 모듈은 4개의 채널을 기본 단위로 하여 하나의 모듈로 구성이 된다. 최근, CMOS 공정을 이용하여 4-채널 혹은 8-채널 위상 배열 수신기를 단일 칩 상에 구현한 연구가 보고 되었다<sup>[8~9]</sup>. 이러한 다채널 위상 배열 수신기 혹은 송신기 구조는 단일 칩 상에 다채널을 구현하여 획기적으로 칩 면적을 감소시킬 수 있겠으나, 많은 경우 GaAs 또는 GaN 고출력 전력 증폭기를 드라이빙할 정도의 송출 전력을 가지는 증폭기까지 집적하기에는 무리가 있다. 또한 위상 및 이득 제어 등의 기능을 수신기와 송신기에 각각 내장해야 한다. 따라서 다채널 위상 배열 수신기 혹은 송신기만을 단일 칩 상에 집적하기 보다는 하나의 채널을 집적하되, 충분한 드라이빙 전력을 가지면서 위상 및 이득 제어 그

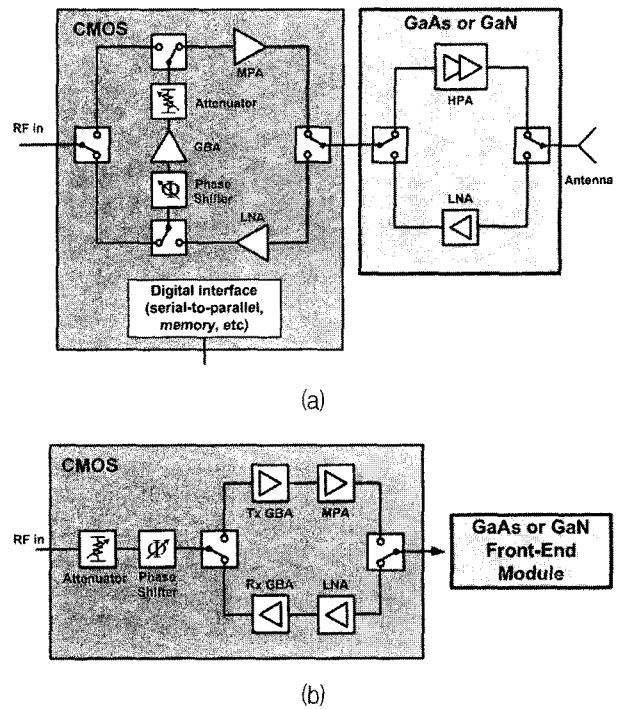


그림 1. CMOS 공정으로 구현된 MFC와 화합물 공정의 Front-End 모듈로 구성된 단일 채널 T/R 모듈의 블럭도. (a) Common-leg 구조의 MFC (b) 송수신 분리형 구조의 MFC

Fig. 1. Single-channel T/R module consisting of MFC using CMOS technology and front-end module using III-V compound semiconductor technology (GaAs or GaN) (a) Common-leg type MFC (b) T/R separated type MFC

리고 T/R 스위칭의 기능을 공유하는 MFC가 아직까지는 다소 현실적인 대안으로 예상되며, 이러한 구조로의 연구가 활발히 진행되고 있다<sup>[1~7]</sup>.

본 논문에서는, X-대역 위상 배열 시스템용 T/R 모듈의 핵심 칩인 MFC를 상용 CMOS 0.18 um (1P6M) 공정을 이용하여 설계 및 검증하고자 하였다. 0.1 W 급의 전력증폭기와 6-bit 위상변위기, 6-bit 디지털 감쇠기 그리고 SPDT T/R 스위치를 설계하였다.

## II. 본 론

### 2-1. CMOS 공정을 이용한 MFC의 구조

MFC의 전기적 구조로는 그림 1과 같이 송수신 분리형과 common-leg 구조가 있다. 그림 1.(b)의 송수신 분리형의 경우, T/R 스위칭을 위한 SPDT 스위치의 개수가 줄어들지만, 위상 및 이득 제어 회로가 양방향 (bidirectional) 신호 전송이 가능해야 하며, 수신단의 이

표 1. T/R 모듈 전기적 목표 성능

Table 1. The electrical requirements of T/R module.

항목	목표 성능
주파수 범위	9 - 11 GHz
이득	8.5 - 12.5 dB @ Tx, Rx
송신 출력	15 - 20 dBm @ $P_{1dB}$
잡음 지수	9.5 dB
반사 계수	12 dB
입력 $P_{1dB}$ @ Rx	-15 dBm
위상 조절 범위	6-bit (5.6° step)
이득 조절 범위	6-bit (31.5 dB/ 0.5 dB step)
전력 소모	1 W 이하
칩 면적	2 x 3 mm <sup>2</sup>

득 증폭 기능이 전단에 물리게 되어 선형성에 대한 부담이 있게 된다. 그리고 일반적으로 양방향 위상 및 이득 제어 회로를 구현하려면 수동 소자에 의해 구성이 되므로 손실이 크므로, 충분한 송수신 이득을 위해 각각의 이득 증폭기를 송수신 단에 사용해야 하므로 MFC의 전력 소모가 증가하게 된다. 그림 1.(a)의 common-leg 구조의 경우는, SPDT 스위치의 개수가 많아지고, 송수신 이득의 균형을 위한 설계 고려가 다소 중요해 지지만, 이득 증폭기를 공유할 수 있으므로 전력 소모 및 칩 면적이 감소하고, 또 수신단의 선형성 요구를 어느 정도 완화시킬 수 있다. 따라서, 본 논문에서는 common-leg 구조를 위주로 한 다기능 회로의 설계에 초점을 맞추고자 한다.

개략적인 T/R 모듈의 전기적 요구 성능은 표 1과 같다. 주요 사항을 간략히 살펴보면, 15 - 20 dBm의 송신 출력을 얻기 위해 CMOS 전력 증폭기에 대한 설계가 초점이 될 것이며, 위상 및 이득 제어를 위한 회로의 설계가 중요하다. 그리고 스위치의 경우, 그림 1.(a)에서 III-V front-end module 과 접속되는 SPDT T/R 스위치는 20 dBm 이상의  $P_{1dB}$  성능이 요구가 될 것이다.

## 2-2. X-대역 CMOS 전력 증폭기

X-대역의 전력 증폭기는 2-단 차단 증폭기로, on-chip transformer 구조를 사용하여 구현되었다<sup>[10-11]</sup>. 그림 2는 전력 증폭기의 회로도도를 나타낸다. Class AB 급 바이어스를 가지는 드라이버 단과 전력 증폭 단으로 구성되며, 높은 전압 스윙을 전지기 위해 cascode 트랜

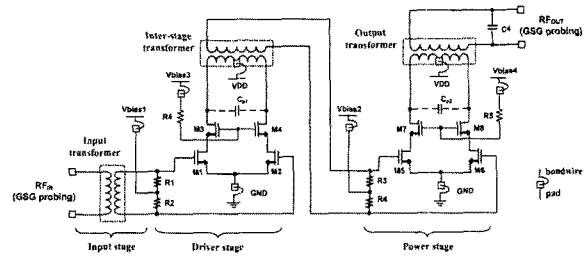


그림 2. X-대역 CMOS 전력 증폭기의 회로도

Fig. 2. Circuit schematic of X-band CMOS power amplifier.

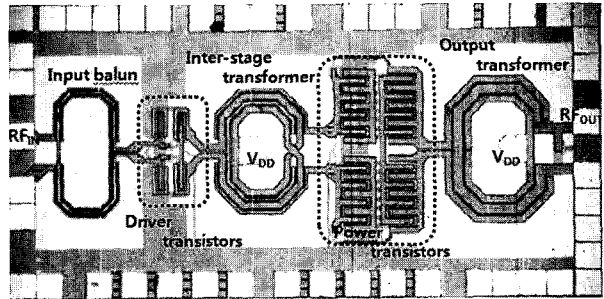


그림 3. 제작된 전력 증폭기의 칩 사진

Fig. 3. The chip photograph of the fabricated power amplifier.

지스터를 사용하였다. 그리고 입출력 및 중간단의 정합을 위해 on-chip transformer를 사용하였다. X-대역에서 최대 가용 전력 및 효율을 고려하여 적절한 power cell을 설계하는 것은 중요하다. 전력 증폭단의 경우 cascode의 lower/upper 트랜지스터의 gate length는 0.18um/ 0.35um 이고, total gate width는 1.5 mm/1.5 mm 이다. 출력단 transformer의 1차측 인덕턴스와 cascode 트랜지스터의 로드에서 보이는 기생 캐패시턴스의 적절한 설계를 통해, X-대역에서 최대의 성능을 얻게 된다. 공진 주파수  $\omega$ 는 다음과 같은 수식에 의해 결정된다.

$$\omega_r = \frac{1}{\sqrt{(1-k^2)L_p C_p}}$$

$k$ 는 transformer의 커플링 계수,  $L_p$ 는 1차측 인덕턴스,  $C_p$ 는 트랜지스터의 로드에서 바라본 기생 캐패시턴스를 의미한다.

드라이버 및 전력 증폭 단의 게이트 전압은 수  $k$  저항을 통해 Class AB 증폭이 되도록 인가되며, 전원 전압은 3.3 V를 사용하였다. 그림 3은 제작된 CMOS 전력 증폭기의 칩 사진이며, 칩 면적은  $1.6 \times 0.8 \text{ mm}^2$ .

2-3. X-대역 CMOS 6-Bit Phase Shifter

X-대역의 위상 변위기는 180°, 90°, 45°, 22.5°, 11.25° 및 5.625°에 각각 해당하는 6 개의 디지털 bit를 가진다 [12]. 모든 위상 bit는 nMOS 스위치를 사용하는 switched filter 구조이다. 그림 4. (a)는 180° 위상 변위기를 나타낸다. 두 개의 SPDT 스위치가 T-type 고대역 필터와 저대역 필터를 번갈아 스위칭 함으로서 정해진 위상차를 얻는다. 필요한 인덕턴스는 최하위 도체(M1)을 ground로 한 마이크로스트립 선로로 구현하였다. 그림 4. (b)는 90° 위상 변위기를 나타내며, λ/4 선로와 병렬 공진기 회로를 스위칭 함으로서 위상차를 얻

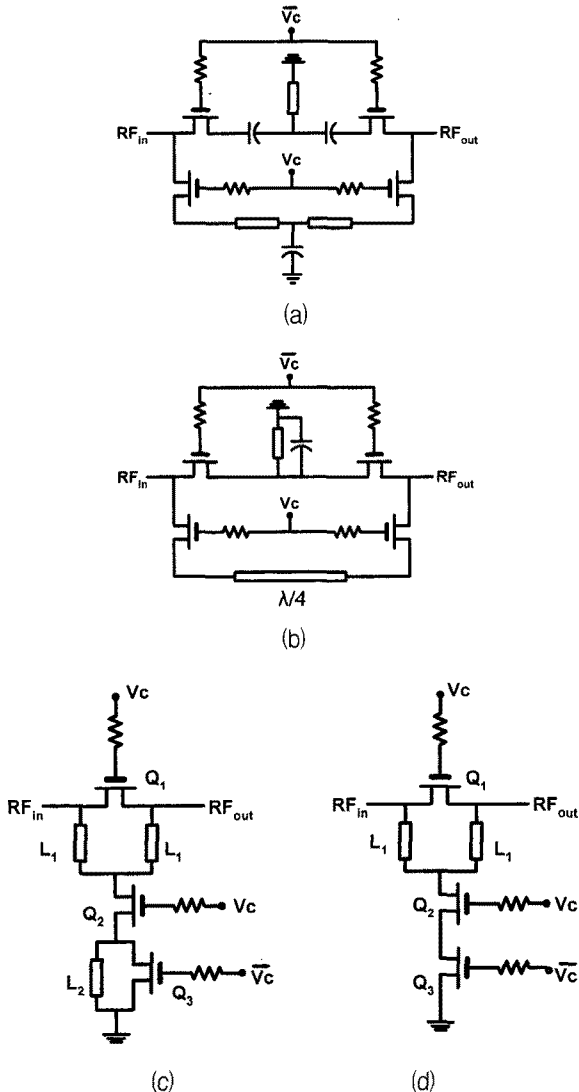


그림 4. X-대역 CMOS 6-Bit 위상 변위기의 회로도.  
 (a) 180° (b) 90° (c) 45°, 22.5° and 11.25°  
 (d) 5.625°

Fig. 4. The schematic of 6-bit phase shifter.  
 (a) 180° (b) 90° (c) 45°, 22.5° and 11.25°  
 (d) 5.625°.

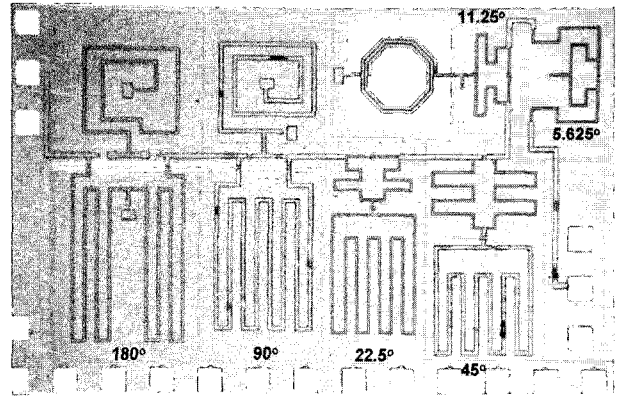


그림 5. 제작된 위상 변위기의 칩 사진  
 Fig. 5. The chip photograph of the fabricated phase shifter.

는다. 그림 4. (c)는 45°, 22.5°, 11.25°에 적용된 bridged T 구조이다. 제어 전압 Vc 가 0 V 일 때, T형 저대역 필터구조를 가지게 되고, 반면 1.8 V 일 때, Q1의 on-resistance를 지나게 되어 위상차를 얻는다. 그림 4. (d)는 5.625° 위상 변위기를 나타낸다. 그림 5는 제작된 CMOS 위상 변위기의 칩 사진이며, 칩 면적은 1.9 × 1 mm<sup>2</sup> 이다. 회로의 면적을 최소화하기 위해 meandered 형의 마이크로스트립 선로를 사용하였고 선로간 간격은 30 um 이상을 유지하였다. 모든 마이크로스트립 선로와 인덕터는 2.5D EM 시뮬레이터 (ADS Momentum) 를 사용하였다.

2-4. X-대역 CMOS 6-Bit Digital Attenuator

X-대역 디지털 감쇠기는 0.5, 1, 2, 4, 8 및 16 dB에 해당하는 6 개의 디지털 bit를 가진다. 모든 감쇠 bit는 저항 네트워크에 nMOS 스위치가 결합된 switched P- 및 T-구조 이루어진다. 그림 6. (a)는 1-bit Pi 형 디지털 감쇠기이다. 일반적인 Pi 형 구조는 X-대역과 같은 고주파 대역에서 동작할 때, 스위치의 기생 성분의 영향으로 통과 위상 변동이 크기 때문에, 이를 최소화하기 위하여 저대역 통과 필터 구조를 포함한 Pi 형 구조를 사용하였다. 그림 6. (b)와 같이 0.5, 1, 2, 4 dB bit에 대해서는 T 형 구조를, 8, 16 dB bit에 대해서는 Pi 형 구조를 사용하였으며, 각 bit 사이에 정합을 향상시키기 위해 인덕턴스를 삽입하였다. 그림 7은 제작된 CMOS 디지털 감쇠기의 칩 사진이며, 칩 면적은 0.67 × 0.5 mm<sup>2</sup> 이다.

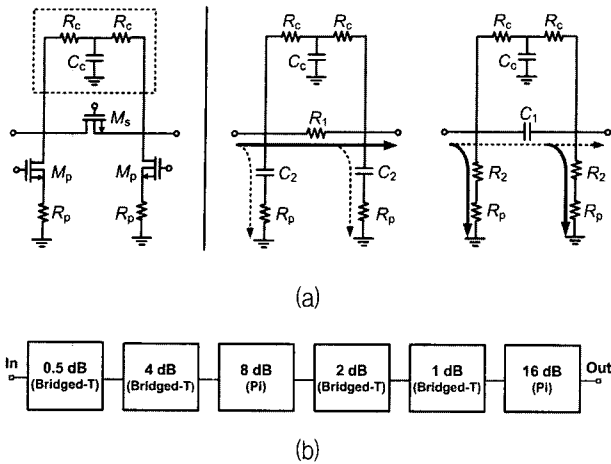


그림 6. X-대역 CMOS 디지털 감쇠기의 회로도.  
 (a) 1-bit Pi-형 디지털 감쇠기 (b) 6-bit 배열  
 Fig. 6. The schematic of 6-bit digital attenuator.  
 (a) 1-bit P-type digital attenuator  
 (b) 6-bit ordering.

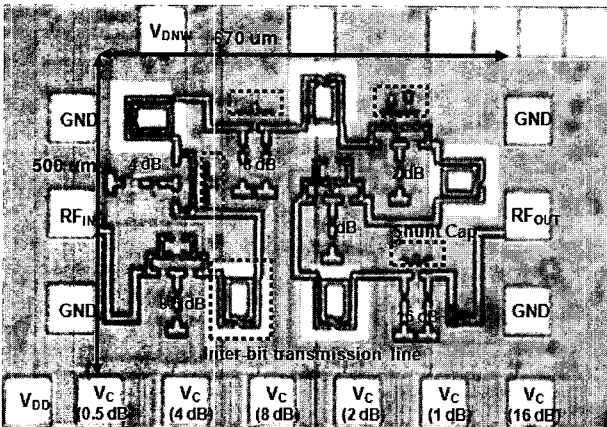


그림 7. 제작된 디지털 감쇠기의 칩 사진  
 Fig. 7. The chip photograph of the fabricated digital attenuator.

2-5. X-대역 CMOS SPDT T/R Switch

X-대역 SPDT T/R 스위치는 common-leg 구조의 송수신 스위칭을 위한 것으로 MFC에 총 4 개 소요되므로 손실 및 저면적을 가지도록 설계하는 것이 요구된다. X-대역에서의 정합을 위해 송수신단 및 안테나 포트에 직렬 인덕턴스를 사용할 수 있으나, 면적을 줄이기 위해 스위치 트랜지스터에 의한 기생 캐패시턴스를 적절히 조절하여, 송수신단의 직렬 인덕턴스 크기를 줄였다. 그림 8은 SPDT 스위치의 회로도이고 그림 9는 제작된 SPDT 스위치의 칩 사진이다. 칩 면적은  $0.15 \times 0.16 \text{ mm}^2$  이다.

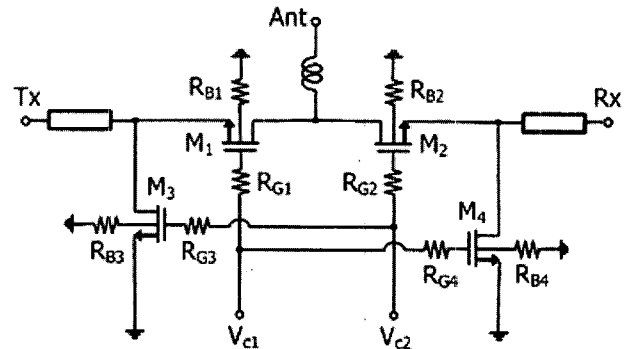


그림 8. X-대역 CMOS SPDT T/R 스위치의 회로도  
 Fig. 8. The schematic of X-band CMOS SPDT switch.

III. 실험

모든 회로는 1P6M 0.18 um CMOS 공정을 통해 제작되었다. 이 공정의 최상위 도체의 두께는 2.3 um 이고 물질은 알루미늄 (Al) 이며,  $f/f_{max}$ 는 대략 45 ~ 50 GHz 정도이다.

전력 증폭기의 3.3 V 전원 전압, 330 mA 의 전류를 소모한다. 그림 10은 측정된 S-parameter를 나타내며, 8.5 - 10 GHz에서 25 dB 이상의 소신호 이득을 가진다.

그림 11은 8.5 GHz에서 측정된 전력 전달 특성을 보여준다.  $P_{1dB}$  전력은 21 dBm, 포화 전력은 23.5 dBm이고, 각각 13.5 % 및 19 % 의 PAE를 가진다.

6-bit 위상 변위기는 nMOS 스위치와 수동 소자만을 사용하므로 전류 소모가 없다. 그림 12는 X-대역에서 측정된 64 개상태의 상대적 위상 변위를 나타내는 그래프이다. 위상의 해상도는  $5.625^\circ$  이다. 그림 13. (a)~(c)

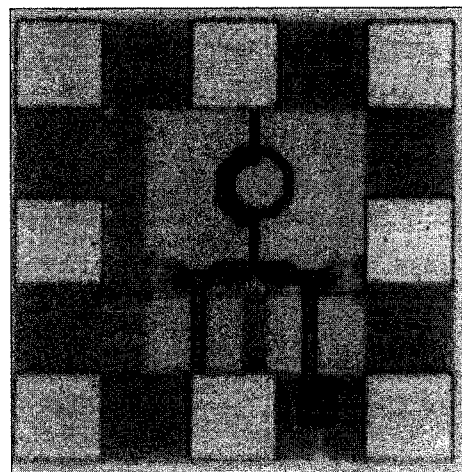


그림 9. 제작된 SPDT 스위치의 칩 사진  
 Fig. 9. The chip photograph of the fabricated SPDT switch.

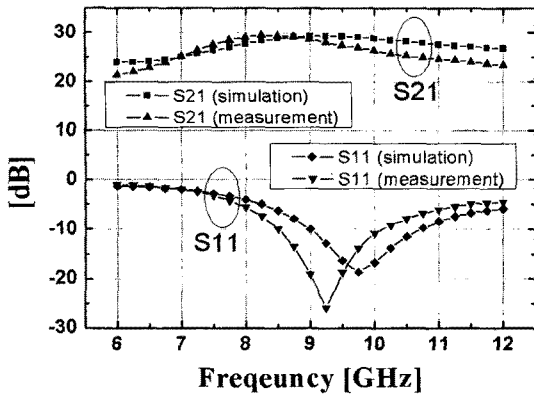


그림 10. 시뮬레이션 및 측정된 S-parameters  
Fig. 10. Simulated and measured S-parameters.

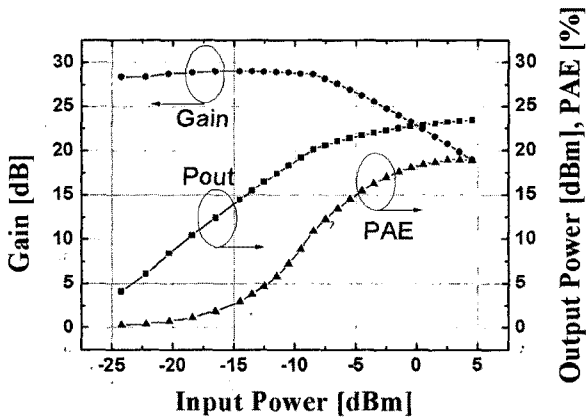


그림 11. 8.5 GHz에서 입력 전력에 따른 출력 전력, 이득 및 PAE 성능  
Fig. 11. Measured output power, gain and PAE with respect to the input power at 8.5 GHz.

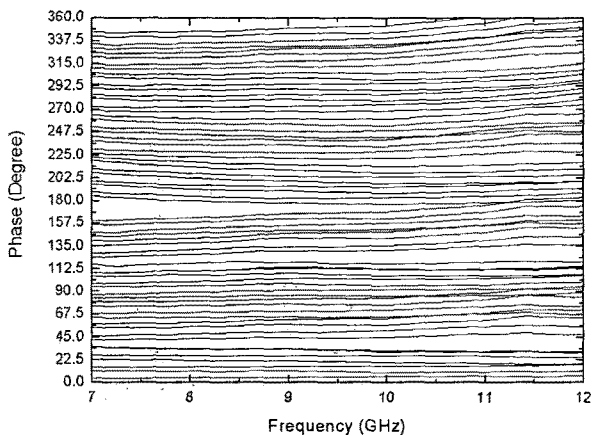
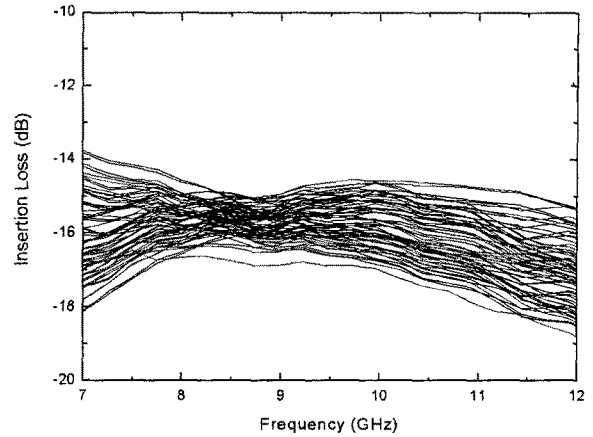
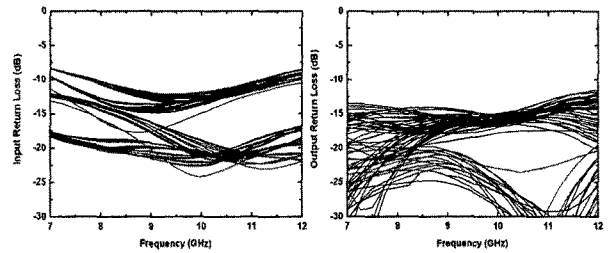


그림 12. 측정된 64 개 상태의 상대적 위상 변위  
Fig. 12. Measured relative phase shift for all 64 states.

는 위상 변위기의 S-parameters 특성을 보여준다. 삽입 손실은 약  $-15.7 \pm 1.1$  dB 이며 입출력 반사 손실은  $-10$  dB 이하이다. 그림 14는 위상 변위기의 측정된



(a)



(b)

(c)

그림 13. 위상 변위기의 64 상태의 S-parameters (a) 삽입 손실 (b) 입력 반사 손실 (c) 출력 반사 손실  
Fig. 13. Measured S-parameters for all 64 states. (a) Insertion loss (b) Input return loss (c) Output return loss.

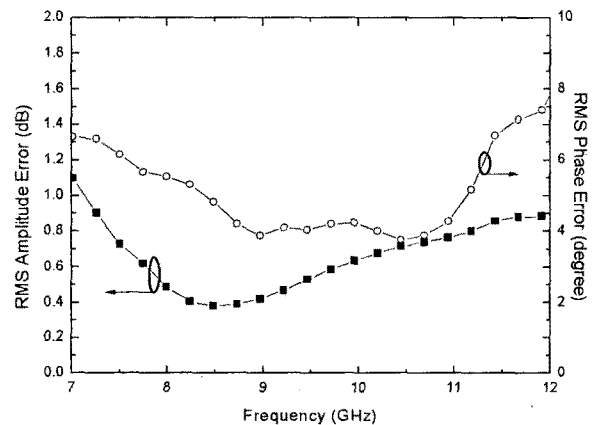
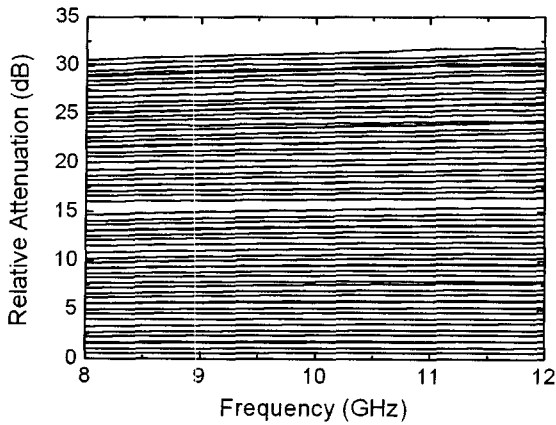
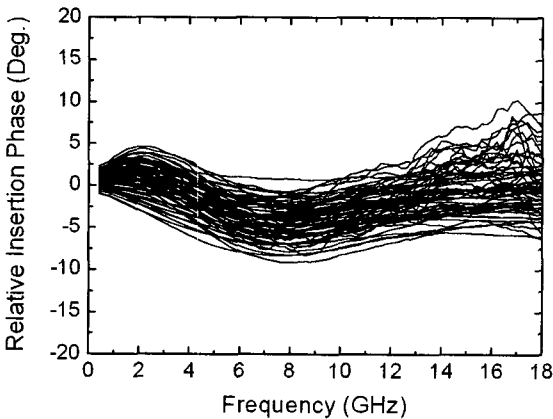


그림 14. 측정된 RMS 진폭 오차와 RMS 위상 오차  
Fig. 14. Measured RMS amplitude error and RMS phase error of 6-bit phase shifter.

RMS phase 및 amplitude 오차를 나타낸 것으로, 8-11 GHz 주파수 대역에서 각각  $5^\circ$  and  $0.8$  dB 이하의 성능을 보여준다. 6-bit 디지털 감쇠기는 역시 nMOS 스위치와 수동 소자만을 사용하므로 전류 소모가 없다. 그림 15.(a)는 X-대역에서 측정된 64 개상태의 상대적 진



(a)



(b)

그림 15. 측정된 64 개 상태의 상대적  
(a) 진폭 변위 (b) 위상 변위

Fig. 15. Measured relative (a) amplitude shift, and  
(b) phase shift for all 64 states

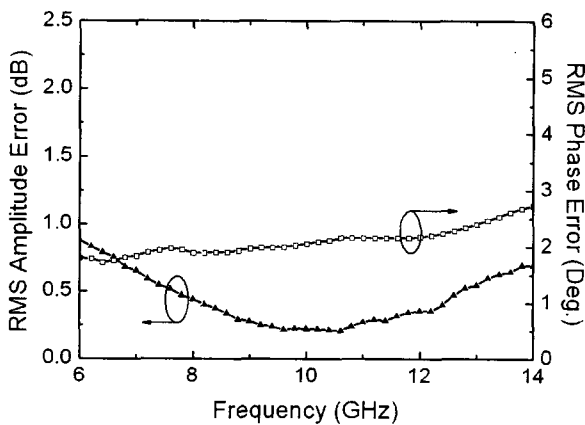


그림 16. 측정된 RMS 진폭 오차와 RMS 위상 오차  
Fig. 16. Measured RMS amplitude error and RMS phase error of 6-bit digital attenuator.

폭 및 위상변위를 나타내는 그래프이다. 그림 15. (a)와 같이, 디지털 감쇠기의 진폭해상도는 0.5 dB 이며, 최대

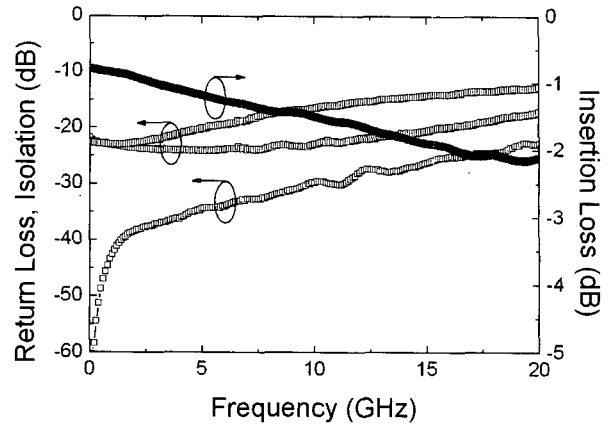


그림 17. SPDT 스위치의 측정된 S-parameters  
Fig. 17. Measured S-parameters of SPDT switch.

감쇠는 31.5 dB 까지 얻을 수 있다. 그림 15. (b)와 같이, 모든 진폭 변위 상태에서 통과 위상의 최대 변위는  $-9^{\circ} \sim 3^{\circ}$ 로 나타난다. 그림 16은 RMS phas 및 amplitude 오차를 나타낸 것으로, 8-11 GHz 주파수 대역에서 각각 0.5 dB 와  $2^{\circ}$  이하의 성능을 보여준다.

SPDT T/R 스위치는 그림 17.에서와 같은 S-parameter 성능을 보여주고 있다. 8-11 GHz 주파수 대역에서 입출력 반사 손실은  $-15$  dB 이하이고, 격리 특성은  $-30$  dB 이하이다. 삽입 손실은  $-1.5$  dB로 측정되었으며, 입력  $P_{1dB}$ 는 약 15 dBm 이다.

#### IV. 결 론

본 논문에서는 X-대역 능동 위상 배열 시스템의 핵심 구성품인 T/R 모듈에 내장되는 다기능 칩을 CMOS 0.18  $\mu\text{m}$  공정을 이용하여 설계 및 검증하였다. 0.1 W 급의 전력 증폭기, 6-bit 위상 변위기, 6-bit 디지털 감쇠기 그리고 SPDT T/R 스위치 회로를 각각 개발하였다. 향후 CMOS 단일 칩으로 MFC를 구현하기 위해서는, 저잡음 증폭기 및 이득 증폭기의 설계가 검증되어야 하며, 전력 증폭기와 저잡음 증폭기가 연결되는 SPDT 스위치의 경우 20 dBm 이상의  $P_{1dB}$ 를 가지도록 설계해야 할 것이다. 또한 CMOS 기반 기술의 장점인 디지털 제어 회로의 설계 및 주파수/온도 보상 회로 등이 추가되어야 한다.

#### 참 고 문 헌

[1] N. Billström, H. Berg, K. Gabrielson, E.

Hemmendorff, M. Herz, "T/R core chips for S-, C- and X-band radar system", *European Microwave Conference Proceedings*, pp. 1029-1032, Amsterdam, Netherlands, Oct. 2004.

[2] F.E. van Vliet, A. de Boer, J.A. Hoogland, E.M. Suijker, M. van Wanum, "Highly-Integrated X-band Multi-function MMIC with Integrated LNA and Driver Amplifier", *GaAs Symp. Dig.*, Milan, Italy, Oct. 2002.

[3] A. de Boer, K. Mouthaan, "GaAs Mixed Signal Multi-function X-band MMIC with 7-bit Phase and Amplitude Control and integrated Serial to parallel Converter", *GaAs 2000 Symposium Digest*, Paris, France, pp. 476-479, Oct. 2000.

[4] M. van Heijningen, A. de Boer, J.A. Hoogland, M. van Wanum, A.P. de Hek, F.E. van Vliet, H. Brouzes, "Multi Function and High Power Amplifier Chipset for X-Band Phased Array Frontends", *European Microwave Integrated Circuits Conference*, Manchester, UK, pp. 237-240, Sep. 2006.

[5] Jonathan P. Comeau, Matthew A. Morton, Wei-Min Lance Kuo, Tushar Thrivikraman, Joel M. Andrews, Curtis M. Grens, John D. Cressler, John Papapolymerou, Mark Mitchell, "A Silicon-Germanium Receiver for X-Band Transmit/Receive Radar Modules", *IEEE Journal of Solid State Circuits*, vol. 42, no. 9, Sep. 2008.

[6] Kyung Ai Lee, Jong-hoon Chun, Songcheol Hong, "X Band 7.5 W MMIC Power Amplifier for Radar Application," *Journal of Semiconductor Technology and Science*, Vol.8 No.2 2008. pp.139~142.

[7] D. Carosi, A. Bettidi, A. Nanni, L. Marescialli and A. Cetronio, "A Mixed-Signal X-Band SiGe Multi-Function Control MMIC for Phased Array Radar Applications", *European Microwave Conference Proceedings*, pp. 240-243, Sep. 2009.

[8] Kwang-Jin Koh, Gabriel M. Rebeiz, "An X- and Ku-Band 8-Element Phased-Array Receiver in 0.18-um SiGe BiCMOS Technology", *IEEE Journal of Solid State Circuits*, vol. 43, no. 6, Jun. 2008.

[9] Tiku Yu, Gabriel M. Rebeiz, "A 22 - -24 GHz 4-Element CMOS Phased Array With On-Chip Coupling Characterization", *IEEE Journal of Solid State Circuits*, vol. 43, no. 9, Jun. 2008.

[10] Bon-Hyun Ku, Sang-Hyun Baek and SongcheolHong, "A X-Band CMOS Power Amplifier with On-chip Transmission Line Transformers," *IEEE RFIC Symp.* pp. 523- 526, California, USA, Jun. 2008.

[11] Sang-Hyun Baek, Changkun Park, and Songcheol Hong, "A Fully Integrated 5-GHz CMOS Power Amplifier for IEEE 802.11a WLAN Applications," *Journal of Semiconductor Technology and Science*, Vol.7 No.2 2007. pp.9 8~101

[12] Dong-Woo Kang, Bon-Hyun Ku, Songcheol Hong, "Design of X-Band 6-Bit CMOS Phased Shifter for Phased Array T/R Modulesm," *Microwave and Optical Technology Letters*, vol. 51, no. 10, pp. 2404-2406, Oct. 2009.

저 자 소 개



구 본 현(학생회원)  
 2004년 경북대학교 전기 및 전자공학과 학사 졸업.  
 2006년 KAIST 전기 및 전자공학과 석사 졸업.  
 2006년~현재 KAIST 전기 및 전자공학과 박사 과정.

<주관심분야 : 마이크로파 및 RF 회로 설계 및 시스템>



홍 성 철(평생회원)  
 1982년 서울대학교 전자공학과 학사 졸업.  
 1984년 서울대학교 전자공학과 석사 졸업.  
 1989년 University of Michigan, Ann Arbor 전기공학과 박사 졸업.

1989년~현재 한국과학기술원 전기 및 전자공학과 교수

<주관심분야 : 반도체 소자, 마이크로파 및 RF 회로 설계 및 시스템>