

# MPSOC 시스템의 ASIP 기술 동향

김성대 · 선우영훈 (아주대학교)

## I. 서론

실리콘 기술의 급속한 발전에 따라 하나의 반도체 칩 안에 집적 시킬 수 있는 트랜지스터의 수가 늘어나면서 VLSI(Very Large Scale Integration)설계는 하나의 칩으로 시스템을 구현하는 SOC(System On Chip)설계가 가능해졌고 나아가 하나의 반도체 칩 안에 다수의 프로그램 가능한 프로세서를 부품으로 사용하여 시스템을 구성하는 MPSOC(Multi Processor System On Chip)설계로 발전하였다. MPSOC 설계는 최적의 성능(Performance)과 함께 설계의 유연성(Flexibility), 저전력 소비, 설계 시간의 단축에 용이하여 반도체 설계의 핵심 분야로 부상하고 있다. 이런 MPSOC 시스템은 네트워킹, 통신, 신호처리, 멀티미디어 등 다양한 응용에 사용되고 있다.

ITRS(International Technology Roadmap for Semiconductors)의 2007년 자료에 의하면 다음 <표 1>과 같은 부분이 각 응용 분야에 따라 중점적으로 SOC의 개발 방향이 될 것이라고 예상하고 있다<sup>[1]</sup>. 각 응용 분야 별로 중요해 지는 SOC 시스템의 특징은 저전력 설계와 더불어 재

사용 가능성(Reprogrammability)이 있다. 또한 주로 ASIP(Application Specific Instruction-set Processor)을 이용하여 시스템을 구현하는 것을 볼 수 있다.

기본적으로 시스템 설계자에게 주어진 과제는 설계비용을 낮추고, 집적도를 높여 크기를 줄이는 기본적인 문제점을 해결하는 것이다. 설계비

<표 1> 응용 분야에 따른 SOC의 개발 동향

응용 분야	개발 동향
이동형 기기	최우선적으로 저전력 설계 필요 SOC 통합 필요 (DSP, MPU, I/O 코어 등)
의료	하이엔드(High-end)제품 위주, 재프로그래밍에 의한 재사용 가능성 데이터 저장, 원격 의료 등을 위해서는 주로 ASIP 사용 실시간 진단, 영상처리 등이 필요한 하이엔드 코어에는 주로 SOC 사용
네트워크 및 통신	많은 게이트 카운트(gate count), 높은 신뢰성 요구 사용자 지정 기능을 위해 좀더 높은 재프로그래밍 가능성 필요
국방	대부분 기존의 프로세서들로 처리 가능하지만 프로그램 가능한 단일 칩 설계를 요구하는 경향
사무	많은 게이트 카운트, 디지털 기능을 위한 고속 처리 필요 기존 MPU, I/O 코어 등의 기본적인 SOC 통합 필요
자동차	엔터테인먼트 시스템, 주로 ASIP 사용, 하이엔드를 위해 RTOS 커널, 임베디드 소프트웨어를 포함한 하드웨어 플랫폼 SOC 증가

〈표 2〉 SOC 설계에서 재사용 설계의 비율

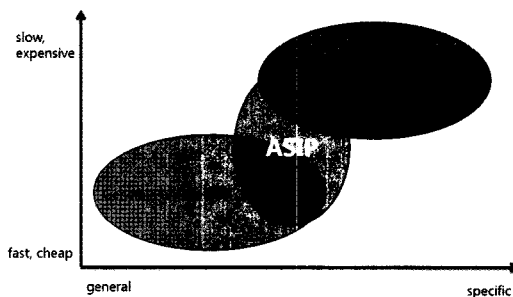
	2007	2009	2011	2013	2015	2017	2019	2021
SOC 전체 회로 크기 (normalized to 2007)	1.00	1.62	2.64	4.07	6.62	10.33	16.17	24.60
% of 재사용 설계	38%	46%	54%	62%	70%	78%	86%	92%

용을 줄이기 위해서는 블록, 특히 코어 부분을 재사용할 수 있도록 설계 하는 방법이 주로 사용되고 있다. 기술 발전으로 인해 ASIC(Application Specific Integrated Circuit)칩의 집적도와 MPU(Microprocessor Unit)의 집적도가 엇비슷해지면서, 풀커스텀(full custom) 설계로 인한 시간 및 비용의 감수가 비효율적이 되었다. 그렇기 때문에 IP(Intellectual Property)를 이용해서 시스템을 구현하는 SOC가 설계자들에게 많은 호응을 얻고 있다. 설계 시 재사용 비율은 2007년에 38%에서 2021년에 약 92%로 정도로 증가할 것으로 예상하고 있다. 다음 <표 2>는 이러한 재사용 설계가 향후 시스템 설계에 얼마나 큰 비중을 차지하게 될지 나타낸다<sup>3)</sup>.

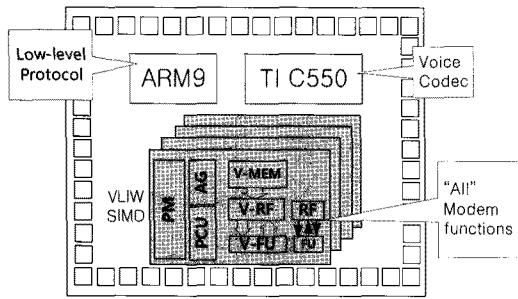
따라서 고성능과 저전력 시스템 설계에 유리하면서 동시에 재사용 설계에 용이하기 때문에 MPSOC 설계의 핵심 부품으로서 ASIP의 역할이

커지고 있다. ASIP 기술은 기존의 범용 디지털 신호처리 프로세서(General Purpose Digital Signal Processor)가 가지는 프로그램 가능한 유연성과 ASIC이 가지는 저비용, 저전력, 고성능의 특징을 융합한 새로운 형태의 프로세서이다. <그림 1>은 이런 ASIP의 특징을 보여준다. ASIP은 특정용도를 지원하는 프로세서이지만 ASIC 처럼 하나의 목적을 가지고 설계되는 것이 아니라 어느 정도 유연한 구조를 가지고 설계자가 원하는 구조로 변경, 사용 가능하도록 할 수 있다. 이를 위해서 특정 명령어 세트를 가지고 특수한 레지스터 파일과 버스, 내부연결(interconnection) 등을 포함하고 있으며, 고유의 컴파일러를 가지고 있다. 이러한 ASIP은 MPSOC 설계 시 특정 용도에 맞추어 설계되어 고성능과 저전력을 얻는 한편 프로그램 가능한 특성에 의해 설계의 유연성을 높이는 역할 등을 수행해왔다<sup>2-4)</sup>.

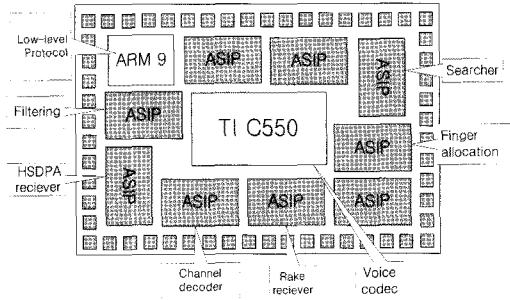
본 논문에서는 MPSOC 시스템의 발전과정 및 일반적인 구조를 살펴보고 저전력 MPSOC 시스템에서 핵심적인 역할을 수행하는 최신의 ASIP을 소개하여 MPSOC 시스템에 적합한 ASIP의 특징에 대해 알아본다. 마지막으로 향후 ASIP의 발전 방향에 대해서 논한다.



〈그림 1〉 ASIP의 특징



(a) 동종 MPSOC 시스템



(b) 이종 MPSOC 시스템

〈그림 2〉 동종/이종 MPSOC시스템의 개념적 구조도

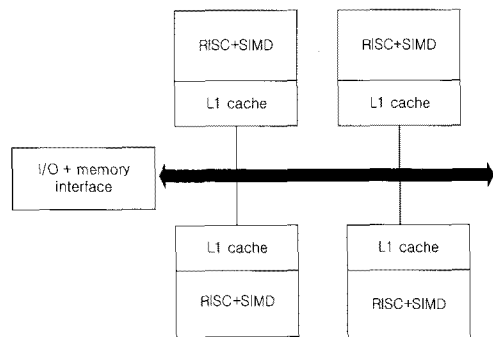
## II. MPSOC 시스템의 발전과정 및 일반적인 구조

본 절에서는 MPSOC 시스템의 발전 과정과 각 응용분야에 따른 MPSOC 시스템의 일반적인 구조에 대해서 논한다. MPSOC 시스템은 크게 동종 (homogeneous) 시스템과 이종 (heterogeneous) 시스템으로 분류하여 볼 수 있다<sup>[5-6]</sup>. <그림 2>는 3G 무선 터미널(wireless terminal)의 기능을 두 가지 MPSOC 시스템의 분류에 따라 개념적으로 구현한 구조도이다.

<그림 2>(a)의 동종 시스템은 동일한 프로세서를 여러 개 사용하여 시스템을 구성하는 것으로 사용되는 프로세서는 VLIW(Very Long Instruction Word) 또는 SIMD(Single Instruction Multiple Data) 구조 등을 사용한다. 반면에 <그림 2>(b)의 이종 시스템의 경우는 각각의 응용에 적합한 ASIP을 사용하여 전체 시스템을 구성하게 되어 동종 시스템에 비해 고성능과 저전력 시스템 구현에 적합하다.

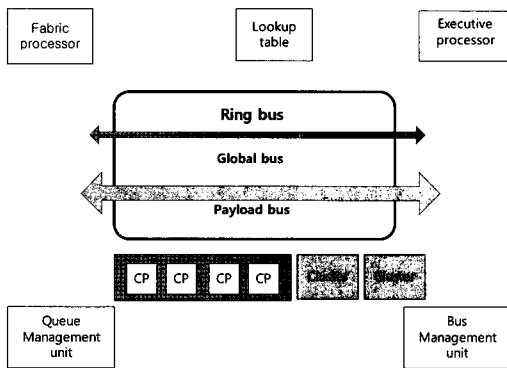
1990년대에는 멀티미디어나 통신과 같은 응용

에 적합한 단일 프로세서들이 개발되었다. 몇몇 프로세서는 VLIW구조를 사용하여 매우 높은 병렬처리 능력을 보였고 또 다른 접근 방법으로 범용 프로세서로 처리하기 힘든 부분을 ASIC을 사용하여 구현하여 높은 성능을 얻는 방법이 사용되었다. 초기의 MPSOC 시스템으로는 Lucent사의 Daytona가 있다<sup>[7]</sup>. Daytona는 동종 시스템을 기반으로 하여 무선 베이스 스테이션(wireless base station)을 구현하기 위해 설계되었다. <그림 3>은 Daytona의 시스템 구성도를 보여준다. RISC(Reduced Instruction Set



〈그림 3〉 Lucent Daytona MPSOC

Computer) 프로세서는 SPARC V8을 기반으로 하였고 16x32 곱셈, 나눗셈관련 처리기와 SIMD 구조의 벡터 코프로세서가 사용되었다. 각각의 프로세서는 8Kb 크기의 16개 बैं크(bank)로 구성된 캐시(cache)가 있는데 각각의 बैं크는 명령어 캐시, 데이터 캐시 또는 특수한 목적으로 사용 가능하도록 조절할 수 있다. 각 프로세서는 메모리의 공통 주소 부분을 공유할 수 있다. 이 칩은 0.25 $\mu$ m CMOS(Complementary Metal Oxide Semiconductor) 공정에서 100 MHz로 동작 가능하며 200 mm<sup>2</sup> 크기를 가진다.

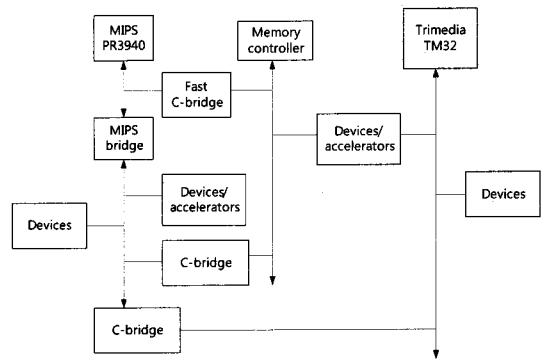


〈그림 4〉 C-5 네트워크 프로세서

Daytona 이후로 다양한 구조를 가진 MPSOC 시스템들이 소개 되었다. <그림 4>의 C-5 네트워크 프로세서는 네트워크의 패킷(packet)처리를 위해 설계 되었다 [8].

하나의 클러스터(cluster)는 4개의 CP (Channel Processor)로 구성되어 있고 각 CP가 패킷을 처리하게 된다. C-5 네트워크 프로세서는 3종류의 버스를 지원하며 CP 이외에도 특정 기능을 수행하는 구조 프로세서(fabric processor), 실행 프로세서(executive processor) 등의 전용 프로세서들이 부가적으로 사용된다.

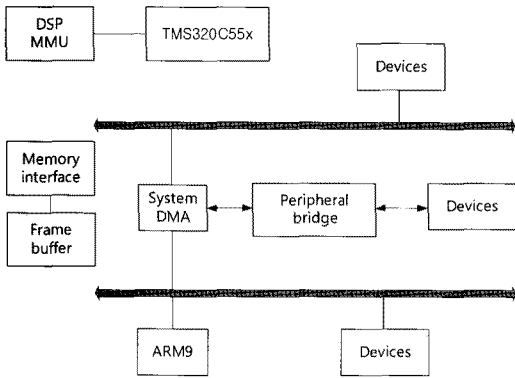
멀티미디어 분야는 MPSOC의 중요한 응용 중 하나이다. 초기의 멀티미디어 프로세서로는 Philips사의 Viper Nexperia가 있다[9]. <그림 5>는 Viper의 전체 구조도를 보여준다. Viper는 MIPS와 Philips사의 Trimedia VLIW 프로세서로 구성되어 있다. MIPS는 마스터 프로세서로서 전체 시스템을 운영하는 역할을 하고 Trimedia는 슬레이브 프로세서로 MIPS에서 지정한 동작을 수행하게 된다.



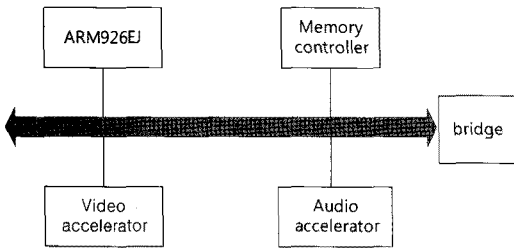
〈그림 5〉 Viper Nexperia 프로세서

이 시스템은 총 3개의 버스가 있는데 각 프로세서들을 위한 버스 2개와 외부 메모리를 접근하기 위한 버스 1개로 구성되어 있다. 이 외에 컬러 영역 변환(color space conversion), 스케일링 (scaling) 같은 특정 용도를 수행하는 하드웨어 가속기 등이 추가로 포함되어 있다.

휴대폰, PDA 등의 모바일 기기용 프로세서는 MPSOC 시스템의 또 다른 중요한 응용 분야이다. 모바일 기기용 프로세서는 베이스밴드 (baseband) 동작과 함께 통신 및 멀티미디어 처리 또한 가능하도록 설계되었다. <그림 6>의 TI(Texas Instruments) OMAP 5912는 ARM9과 TMS320C55x DSP로 구성되어 있다 [10]. ARM은



<그림 6> TI OMAP 5912



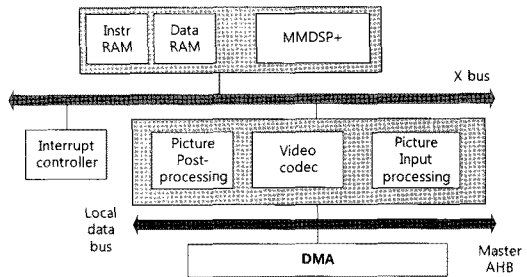
<그림 7> ST Nomadik 시스템 구성도

마스터 역할을 수행하며 DSP는 슬레이브로 신호처리 동작을 수행한다.

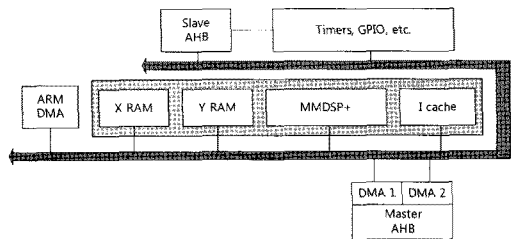
STMicroelectronics의 Nomadik은 ARM926EJ 프로세서를 호스트 프로세서로 사용하고 2개의 MMDSP+를 각각 오디오와 비디오를 위한 프로그램 가능한 가속기로 사용한다<sup>11)</sup>. <그림 7>은 Nomadik의 전체 구성도를 보여준다. 특히 비디오 및 오디오 신호 처리를 위한 가속기는 <그림 8>처럼 MMDSP+ 이외에 특정 응용에 맞는 전용의 하드웨어 가속기를 포함하고 있다.

이상에서 보듯이 MPSOC 시스템은 사용되는 프로세서에 따라 동종 시스템과 이종 시스템으로 구분된다. 초기에는 대량의 병렬처리가 가능한 Daytona 같은 동종 시스템이 개발되었고 이

후 고속, 저전력 동작에 보다 적합한 다양한 이종 시스템들이 개발되었다. 주로 개발하고자 하는 시스템의 블록 다이어그램에 따라 MPSOC시스템의 전체 구조가 결정되는데 일반적으로 마스터 역할을 하는 범용 프로세서와 슬레이브 역할을 하는 특정 응용에 적합한 프로세서로 MPSOC 시스템은 구성된다. 범용 프로세서로는 ARM 코어와 같은 RISC코어가 주로 사용되며 특정응용을 위한 프로세서는 특정응용에 적합한 ASIP, SIMD구조의 벡터 프로세서, ASIC으로 설계된 하드웨어 가속기를 포함하는 DSP 등이 사용된다. 또한 여러 프로세서들을 사용하게 되면서 서로 다른 역할을 하는 다양한 시스템 버스를 확보하여 각 코어간의 통신을 원활히 하는 구조가 주로 사용되고 있다.



<그림 8> (a) ST Nomadik 비디오 가속기



<그림 8> (b) ST Nomadik 오디오 가속기

### III. 최신의 MPSOC 시스템을 위한 ASIP

앞 절에서는 MPSOC 시스템의 일반적인 구조에 대해서 정리하였다. 본 절에서는 MPSOC 시스템에 사용되고 있는 다양한 ASIP을 각 응용 분야에 따라 소개하여 MPSOC 시스템 상에서 ASIP의 역할 및 특징에 대해 논해 보려고 한다.

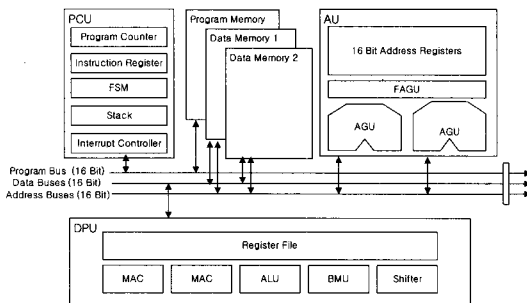
#### 1. 통신용 ASIP

다양한 OFDM 통신 시스템에 적용 가능한 ASIP으로 SPOCS(Signal Processor for OFDM Communication System)를 들 수 있다<sup>[2]</sup>. SPOCS는 다양한 OFDM 시스템을 효율적으로 구현하기 위해 고속, 저전력의 FFT(Fast Fourier Transform) 연산을 지원한다. 이를 위해 FAGU(FFT Address Generation Unit)라는 특수한 주소 생성 장치를 두어 FFT 포인트 수에 상관없이 부가적으로 필요한 연산 사이클을 감소시켰으며 일반적인 MAC(Multiply Accumulate)연산 기반의 데이터 처리 장치를 확장하여 한 명령어 사이클에 3번의 덧셈 및 뺄셈 연산과 2번의 곱셈 연산을 동시에 수행 가능하도록 하여 고속 FFT 연산을 지원한다. 또한 일반적인 범용 프로세서

에서 처리하기 힘든 비트단위 연산을 필요로 하는 스크램블링(Scrambling), 길쌈부호화(Convolutional Encoding), 인터리빙(Interleaving) 등을 BMU(Bit Manipulation Unit)라고 하는 특수한 연산 장치를 사용하여 효율적으로 수행할 수 있다. <그림 9>는 SPOCS의 전체 구조도를 보여준다. SPOCS는 1개의 프로그램 메모리와 2개의 데이터 메모리가 있고 프로그램 제어 장치, 데이터 처리 장치, 주소 생성 장치로 구성되어 있다. SPOCS는 삼성 CMOS 0.18 $\mu$ m 공정에서 107,000 게이트 카운트 크기를 지니며 최대 280MHz로 동작 가능하다.

<표 3>은 다른 상용 DSP와 SPOCS의 FFT 성능 비교를 나타낸다. 표에서 볼 수 있듯이 SPOCS는 메모리를 제외한 전체 107,000 게이트로 상용의 DSP보다 적은 크기를 가지면서 FFT에 필요한 연산 사이클을 크게 감소시킨 것을 알 수 있다. 특히 FFT의 포인트 수에 상관없이 3개의 명령어만으로 FFT연산이 수행 가능하므로 프로그램 메모리 접근을 최소화하여 저전력 효과를 기대할 수 있다. BMU를 적용한 SPOCS는 표준에 따라 조금씩 차이가 있는 비트 연산을 소프트웨어의 변경 만으로 효율적으로 지원이 가능하며 기존의 범용 DSP에 비해 스크램블링 시에는 48%, 길쌈부호화 시에는 67~84%, 인터리빙 시에는 78%의 연산 사이클을 감소시킬 수 있다.

Freescall<sup>TM</sup>은 최신의 SC3850 DSP 6개와 MAPLE-B 가속기로 이루어진 MSC8156 프로세서를 발표하였다<sup>[2]</sup>. MSC8156은 3G-LTE(Long Term Evolution), WiMAX(Worldwide Interoperability for Microwave Access), eHSPA(enhanced High Speed Packet Access), TDD(Time Division Duplexing)-LTE 등의 차세대 무선 표준을 위해 유연성, 집적도, 경제성을 제공하며

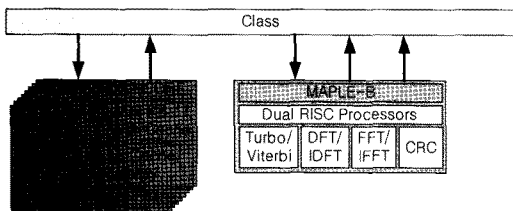


<그림 9> SPOCS 구조

〈표 3〉 상용 DSP와 SPOCS의 FFT 성능 비교

		Camel DSP	TMS320c62X	SPOCS
데이터 처리장치 구조		2MAC/2ALU	2MAC/2ALU	2MAC/1ALU
FFT	버티플라이 당 필요 사이클 수	2	4	2
	64-point	511	835	392
	512-point	5,437	9,416	4,616
	2048-point	24,660	45,654	22,536
	8192-point	118,885	225,049	106,504
	FFT 연산을 위한 사이클 수	$(N+10)\log_2 N + 3N/2 - 29$	$(4N/2) \log_2 N + 7 \log_2 N + N/4 + 9$	$(2N/2) \log_2 N + 8$

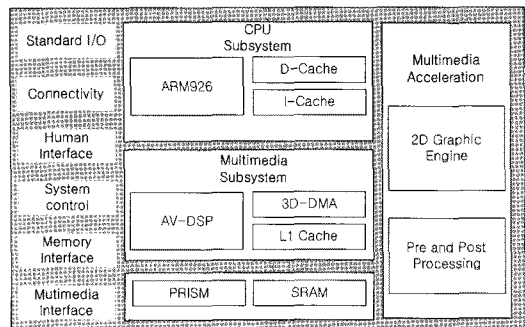
탁월한 성능으로 빠른 처리속도와 낮은 대기시간을 요구하는 차세대 기지국의 요구사항과 최신 OFMDA(Orthogonal Frequency Division Multiple Access) 표준으로 달성할 수 있는 높은 데이터 전송률을 지원한다. <그림 10>은 MSC8156 프로세서의 구조도이다. MSC8156 프로세서에 사용되는 SC3850 DSP는 사이클당 8개의 16x16 MAC 연산을 실행할 수 있고, 각각 1GHz로 동작 가능하다. SC3850 DSP와 연동하여 동작하는 MAPLE-B(Multi Accelerator Platform Engine for Baseband)는 터보와 비터비 채널 복조화, DFT/IDFT 그리고 FFT/IFFT 알고리즘을 위한 전용의 하드웨어가 있고 추후 재프로그래밍을 통해 업데이트가 가능한 구성 가능한 듀얼 RISC 기반 엔진을 포함하고 있다.



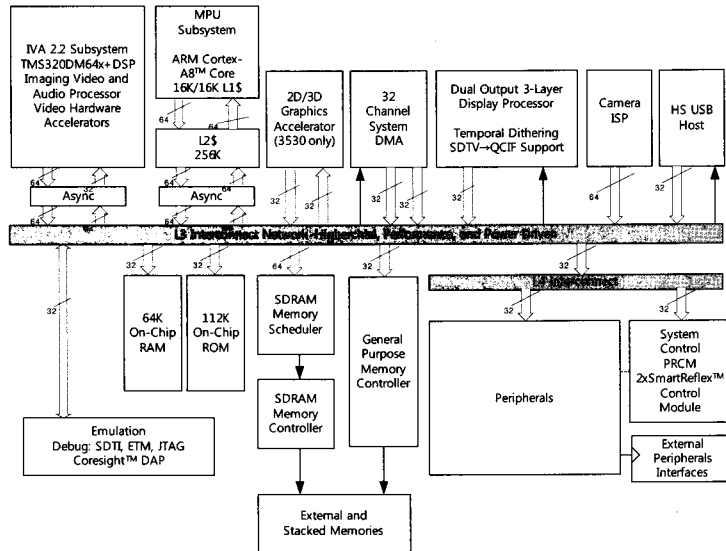
〈그림 10〉 MSC8156 프로세서

## 2. 멀티미디어용 ASIP

멀티미디어용 MPSOC 시스템의 예로 Solomon Systech의 SSD1933 멀티미디어 프로세서를 들 수 있다<sup>[3]</sup>. SSD1933은 ARM926EJ-S 코어와 AV-DSP 코어로 구성된 듀얼 코어 구조로 이동형 멀티미디어 기기, 네비게이션 시스템, 모바일 인터넷 장치 등에서 고품질의 멀티미디어 성능을 제공한다. <그림 11>은 SSD1933의 블록 다이어그램을 나타낸다. 이 시스템은 8Kb의 명령어 캐시와 8kb의 데이터 캐시를 갖고 240MHz로 동작하는 ARM926EJ-S 코어와 4개의 40비트



〈그림 11〉 SSD1933 멀티미디어 프로세서 블록 다이어그램



〈그림 12〉 OMAP3530 구조

ALU와 듀얼 MAC 구조를 가진 고성능 저전력의 AV-DSP로 구성되어 있다. 특히 AV-DSP는 MPEG-2, MPEG-4, H.264/AVC 등의 다양한 코덱을 D1 해상도까지 지원 가능하며 전용의 비디오 처리 엔진을 통해 고성능의 동화상이나 정지화상 스케일링이 가능하여 다양한 해상도로 출력 가능하다. 또한 2D 그래픽 엔진은 오버레이나 향상된 그래픽 사용자 인터페이스를 위한 가속 등의 기능을 지원한다. 130nm CMOS 공정으로 제작된 칩은 1.2V/3.3V의 전압에서 동작한다.

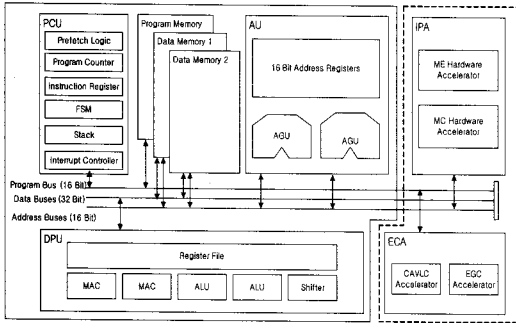
멀티미디어용 MPSOC 시스템의 다른 예로 TI사의 OMAP구조가 있다<sup>[4]</sup>. OMAP3530구조는 실시간 비디오, 2D/3D모델링, 화상회의, 고화질 정지 영상 등, 비디오, 이미지, 그래픽 처리에 가장 효과적으로 설계되어 있다. <그림 12>는 OMAP3530의 세부 블록도이다.

OMAP3530은 ARM코어와, C64DSP, 각종 그래픽 가속기, 카메라 이미지 센서, 비디오 입출

력, 내부와 외부 메모리 사이의 초광대역 통신망으로 구성되어 있다. 이러한 구성은 전체적인 프로그램 처리는 ARM코어에서 처리하면서, 멀티미디어와 같은 특정 프로세스는 C64DSP에서 전담하여 처리하게 되어 전체적인 성능 면에서 향상됨을 보여준다. 또한 이러한 구조는 메인 프로세서의 작업량을 분산시켜 줄 수 있으며, 작업량에 따라 전력 소모를 제어할 수 있기 때문에 저전력으로 구동할 수 있다. 또한 사용자의 요구에 따라 유연한 구조로 변형이 가능하다. 외부와 통신하는 각 인터페이스를 이용하여 장치를 추가하거나 성능을 향상시킬 수 있다. 이러한 특성 때문에 응용 분야는 포터블 네비게이션이나 PMP, DTV, 디지털 카메라 등 소형 모바일 제품에 많이 사용되고 있다.

최신의 비디오 코덱인 H.264를 포함하여 다양한 비디오 표준을 지원하는 VSIP(Video Specific Instruction-set Processor)은 프로그램 가능한





<그림 13> VSIP 전체 구조도

프로세서 부분과 하드웨어 가속기 부분으로 이루어져 있다<sup>[3]</sup>. <그림 13>은 VSIP의 전체 구조를 보여준다. VSIP의 프로그램 가능한 프로세서는 프로그램 제어 장치(Program Control Unit: PCU), 주소 생성 장치(Address Unit: AU), 데이터 처리 장치(Data Processing Unit: DPU)로 구성된다. 또한 VSIP은 화면 간 부호화 가속기(Inter Prediction Accelerator: IPA)와 엔트로피 코딩 가속기(Entropy Coding Accelerator: ECA)를 가지고 있다.

영상신호는 여러 데이터가 묶인(packed) 형태로 처리된다. 일반적인 영상신호 처리용 DSP는 서로 다른 레지스터에 저장되어 있는 묶인 데이터 사이의 연산만을 지원한다. 반면에 VSIP은 하나의 레지스터 안에 저장되어 있는 묶인 데이터 사이의 연산을 지원하여 화면 내 부호화, 디블록킹 필터와 같은 연산을 효율적으로 지원할 수 있다. 또한 한 명령어 사이클에 4x1 정수 이산여현변환(integer discrete cosine transform)을 수행할 수 있어 많은 연산 사이클을 줄일 수 있다. 화면 간 부호화는 비디오 코덱에서 가장 많은 연산량을 차지 하는 부분이다. 때문에 실시간 처리를 위해 전용의 하드웨어 가속기를 사용한다. 엔트로피 코딩은 비트 단위 연산이 많아 일반적인

MAC기반의 프로세서로 구현하기에 적합하지 않아 전용의 하드웨어를 지원한다. <표 4>는 VSIP과 다른 상용 DSP 사이의 4x4 정수 이산여현변환 성능비교를 보여준다.

<표 4> VSIP과 상용 DSP의 4x4 정수 이산여현변환 성능비교

	TI 55x (SW)	TI 55x (HW)	TI 64x	VSIP
MIPS	12.8	2.8	1.1	1.1

VSIP은 TMS320C55x를 사용하여 소프트웨어 또는 하드웨어로 4x4 정수 이산여현변환을 구현하였을 때보다 적은 MIPS를 필요로 하고 VLIW 구조를 갖는 TMS320c64x와 유사한 성능을 보인다. 전용 명령어를 사용하여 화면 내 부호화를 수행하는 경우 VSIP은 TMS320c64x보다 40%, 디블록킹 필터를 구현할 때는 TMS320c64x보다 20~25% 성능 향상을 보인다. VSIP은 Xilinx XC2v6000 FPGA를 통해 구현 및 검증되었고 전체 동작 속도는 64.1 MHz, 총 LUT의 20%를 사용한다.

MPEG-2/4 AAC를 지원하는 오디오 전용 ASIP으로 DASIP(Digital Audio Specific Instruction-set Processor)이 개발되었다<sup>[4]</sup>. DASIP은 오디오 신호처리의 핵심 연산인 IMDCT(Inverse Modified Discrete Cosine Transform)를 효율적으로 지원하기 위해 역 주소 모드(Inverse Addressing Mode)와 지정된 ROM과 데이터 메모리에서 동시에 데이터를 읽어 들이는 동작을 지원한다. 또한 소프트웨어로 구현하기에는 많은 연산 사이클을 요구하는 호프만 복조화를 효율적으로 구현하기 위한 전용의 호프만 복조화

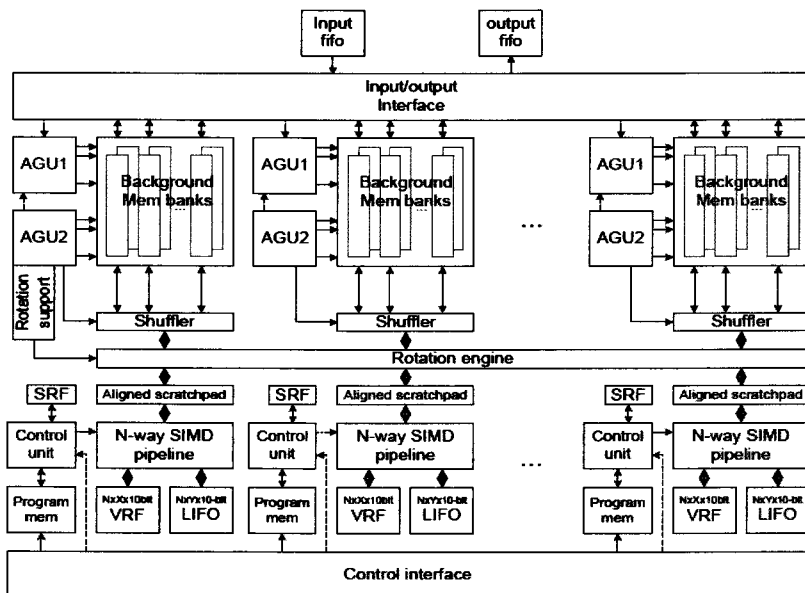
가속기를 가지고 있다. 호프만 복조화 가속기는 범용 레지스터 파일에 직접 연산 결과를 저장하기 때문에 부가적인 연산 사이클 없이 바로 다음 동작을 수행할 수 있다. DASIP은 삼성 0.18 $\mu\text{m}$  CMOS공정에서 120,283 게이트 카운트로 VLIW 구조인 TMS320C62x DSP나 슈퍼 하버드(super Harvard) 구조를 갖는 ADSP-21060보다 매우 작은 크기를 가지면서 IMDCT를 수행하기 위해 필요한 MIPS나 연산 시간은 각각 85%, 98%로 크게 향상시켰다.

### 3. FEC용 ASIP

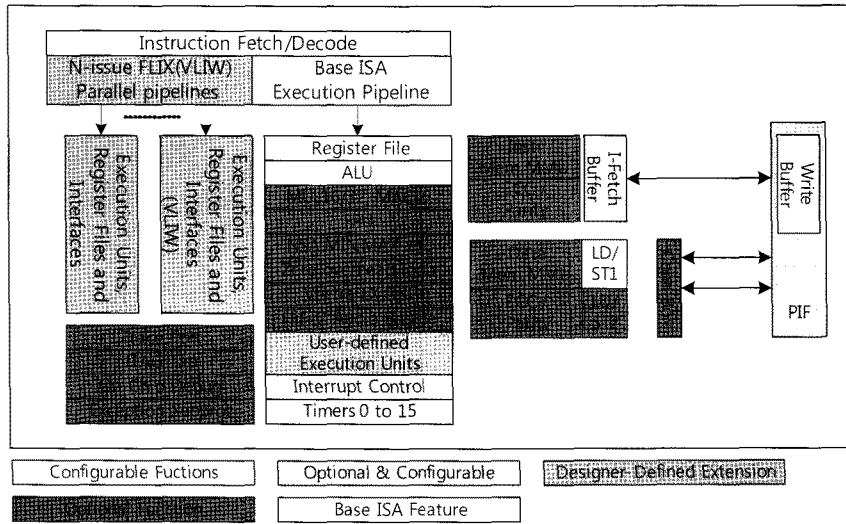
2008년 IMEC에서는 다양한 FEC(Forward Error Correction)를 지원하기 위한 ASIP을 개발하였다<sup>[15]</sup>. 이 솔루션은 미래의 무선 단말기와 광학 저장장치 등의 유연성, 높은 작업처리, 저전력 소모를 필요로 하는 데이터 전송 응용을 목표로

하였다. IMEC의 ASIP은 세계 최초로 하나의 프로세서에서 터보코드와 LDPC(Low Density Parity Check)코드의 복조화를 지원한다. Shannon의 한계에 매우 근접한 LDPC와 터보코드는 높은 성능을 보이지만 대신에 많은 연산 복잡도를 요구한다. 이러한 코드의 복조화 과정은 높은 작업 처리(throughput)를 가지는 대량의 병렬구조를 요구한다. 때문에 IMEC은 여러 개의 SIMD 구조를 가진 다수의 프로세서들을 사용하여 높은 작업처리율과 에너지 효율을 얻었다. 또한 rAGU(reconfigurable Address Generation Unit)을 사용하여 LDPC의 스크램블링, 터보코드의 인터리빙을 처리하였다. <그림 14>는 IMEC ASIP의 구조를 보여준다.

IMEC ASIP은 0.07~1.25 Mbps/MHz의 작업 처리량을 갖고 에너지 소모는 각 반복 연산 시터보코드에서는 단위 비트당 0.32nJ, LDPC는 0.085nJ를 보인다.



(그림 14) IMEC ASIP 구조



〈그림 15〉 Tensilica Xtensa LX2

#### 4. 다양한 응용을 위한 구성 가능한 ASIP

최근의 MPSOC 시스템에 사용되는 ASIP 설계는 구성 가능한 특징이 부각되고 있다. Tensilica 사는 구성 가능한 디지털 신호처리 프로세서 (configurable DSP)로 Xtensa LX2를 선보였다 [16]. Xtensa LX2는 5단 또는 7단의 선택 가능한 파이프라인 스테이지를 가지고 있는 32비트 RISC 프로세서 코어로 16비트 또는 24비트의 명령어 인코딩을 제공한다. <그림 15>는 Xtensa LX2의 전체 구조를 보여준다. Xtensa LX2 프로세서 코어는 구성 가능성과 확장성을 가지고 있다는 장점을 가진다. 조정 기능 블록 (Configuration Function block)과 부가적 기능 블록 (Optional Function block)은 시스템 설계자로 하여금 특정 용도에서 사용할 수 있도록 조정이 가능한 부분이다. 설계자 정의 확장 블록 (Designer Define Extensions block)은 사용자가 특정 용도에 맞게 레지스터, ALU 등을 추가하

는 기능을 담당하고 있다. Xtensa LX2 프로세서 코어는 설계 환경 설정을 통해 다양한 방식으로 구성 또는 확장이 가능하기 때문에 다양한 용도로 특화가 가능하다.

Xtensa LX2 프로세서 코어는 16비트 또는 32비트 곱셈기, 단일 16비트 MAC, 부동소수점 등을 선택할 수 있는 옵션을 제공하고, 다중 프로세서 또한 지원하도록 되어 있다. 또한 구성된 프로세서는 FLIX(Flexible Length Instruction eXtensions) 구조를 사용한 다중 이슈(multi-issue) VLIW가 적용되어 있다. 그리고 사용자 정의 FIFO(First In First Out), GPIO(General Purpose Input/Output), 룩업 인터페이스(Lookup interfaces)등을 이용하여 무한대의 I/O(Input/Output) 대역폭을 제공한다.

<표 5>는 임베디드 마이크로프로세서 시스템을 위한 벤치마크인 EEMBC(Embedded Microprocessor Benchmark Consortium, pronounced “embassy”)에서 제공하는 성능비

(표 5) Xtensa 프로세서와 타 프로세서와의 코드 크기 및 성능 비교

프로세서	코드 크기 (KB)	성능 (MIPS)
ARM1020E	70,328	0.05936
MIPS 20kc (MIPS64)	136,816	0.07964
Xtensa 7	57149	0.08696
Xtensa LX2	54448	0.51997

교 자료로 C 코드를 코드 최적화나 기계어 코딩을 가하지 않고 각 임베디드 프로세서에 적용하여 그 성능을 비교한 것이다. Xtensa LX2 프로세서는 ARM 1020E, MIPS 64, 그리고 Xtensa 7 프로세서와 비교하여 더 낮은 부호 크기를 가지면서도 높은 성능을 내는 것을 확인할 수 있다. Xtensa LX2 프로세서 코어는 일반적인 RISC 나 DSP에 비해서 코드 길이를 줄이고, 소비전력을 낮추어 저비용, 고효율에 빠르게 프로세서를 설계할 수 있도록 해준다.

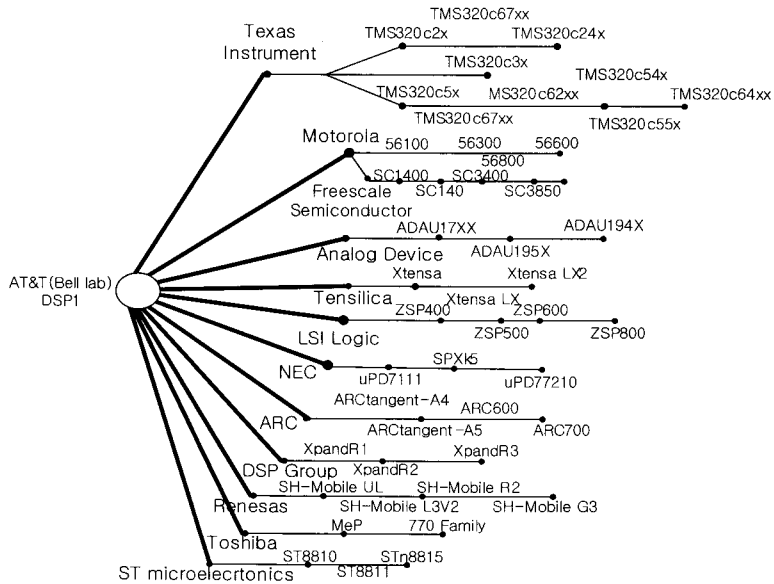
이전 모델인 Xtensa 7에서 하이파이(HiFi) 2 채널 오디오 등의 ISA configuration option을 추가하였고, 파이프 라인 스테이지를 5단과 7단 사이에서 선택 가능하게 하였다. 그리고 I/O를 사용자가 정의하여 사용할 수 있도록 하였다. 현재 Xtensa LX2 프로세서는 네트워킹, 사무자동화, 무선 임베디드 SOC, 카메라 모듈, FIR 필터, 움직임 추정, 터보 코딩 등과 같은 복잡한 SOC 디자인에 사용되고 있으며 Cisco Systems, Agilent Technologies, Sony, NEC, EPSON, FUJIFILM, LG, LTT, OLYMPUS, JVC, ATI 등 세계 유수의 반도체 또는 시스템 회사들이 사용하고 있다.

#### IV. MPSOC 시스템을 위한 차세대 ASIP

지금까지 MPSOC 시스템의 일반적인 구조 및 MPSOC 시스템에 사용되고 있는 최신의 ASIP에 대해 알아보았다. 본 절에서는 MPSOC 시스템을 위한 ASIP의 특징을 간단히 정리하고 차세대 MPSOC를 위한 ASIP에 대해 논하려고 한다.

지금까지 다양한 MPSOC 시스템을 위한 ASIP을 살펴보았다. <그림 16>은 다양한 연구팀에서 개발하고 있는 신호처리 프로세서들을 보여준다. 그림에서 보듯이 신호처리 프로세서는 특정 목적에 맞도록 점점 더 세분화되어 다양한 프로세서들이 개발되고 있다. 이와 같이 다양한 ASIP이 MPSOC 시스템에 적합하도록 설계되기 위해서는 먼저 ASIP 프로세서 내부에 다른 ASIP 프로세서와 통신이 가능하도록 인터페이스를 지원하여야 한다. 내부 인터페이스를 지원하지 않고 여러 프로세서들을 서로 연동하게 하려면 설계가 복잡해지고, 원하는 성능을 보장할 수 없다. 또한 컴파일러의 호환성을 보장하여야 한다. 서로 다른 ASIP을 사용할 경우, 각 프로세서 마다 다른 컴파일러를 사용하게 됨으로써 설계하는데 문제가 발생하고, 설계 시간이 늘어나게 된다는 큰 단점이 발생한다. 그리고 마지막으로 저전력 설계가 매우 중요하다. 기존 하나의 ASIP을 이용하여 설계를 할 때보다 프로세서의 수가 늘어나고, 기능을 더욱 추가 되기 때문에 소모되는 전력은 더욱 늘어나게 된다. 대부분의 MPSOC는 임베디드 기반의 모바일 기기에서 사용되는 점을 고려할 때, 이러한 전력문제는 설계자가 풀어야 할 가장 중요한 점이라고 할 수 있다.

재구성 가능한 특징을 보다 극대화 시키면서 고속, 저전력 설계를 만족 시키는 차세대 MPSOC를 위한 ASIP 연구가 진행 중이다. Aachen 대학



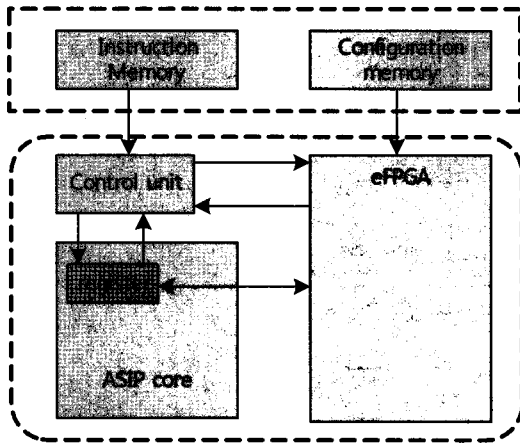
<그림 16> 신호처리 프로세서의 개발동향

T.G Noll 교수 팀은 eFPGA (Embedded FPGA) 를 이용해서 재구성 가능한 (reconfiguration) ASIP구조를 제안하였다<sup>[17]</sup>. <그림 17>은 제안한 재구성 가능한 ASIP의 구조도이다. eFPGA는 임베디드 모바일 기기에 사용되는 FPGA로 일반적인 FPGA보다 더 특정 응용에 적합한 구조를 가지고 있다. 즉 일반적인 구조보다 산술연산에 비중을 높이고, 면적과 전력 소모가 작은 구조로 이루어져 있다. 재구성 가능한 ASIP는 특정 용도의 ASIP 코어에 eFPGA를 사용하여 사용자가 필요한 성능을 구성하고, 또는 이미 구성되어 있는 구조에 업데이트가 필요할 때 HDL 등과 같은 프로그램 언어를 이용해서 쉽게 설계를 할 수 있다. 기존의 ASIP 프로세서는 ASIC 보다 성능을 포기하는 대신 개발 시간이나 비용을 줄이는데 목적이 있었다. 하지만 재구성 가능한 ASIP는 사용자가 구성할 수 있는 블록을 이용하여 ASIC에 보다 더 가까운 성능을 발휘하면서도 설계자가 개발

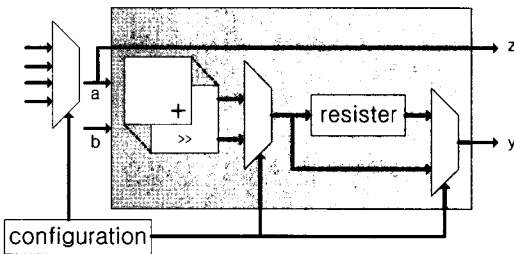
비용, 시간을 아낄 수 있다는 장점을 가지고 있다. 또한 기존의 다른 재구성 가능한 프로세서는 특정 컴파일러나 소프트웨어를 사용해야 하지만 FPGA를 사용하여 일반적인 HDL 이나 소프트웨어를 사용할 수 있다는 점도 장점으로 작용한다.

Aachen 대학의 또 다른 연구팀인 H. Meyr 교수 팀은 CGRA(Coarse Grained Reconfigurable Architecture)를 이용한 재구성 가능한 ASIP를 연구하고 있다<sup>[18]</sup>. <그림 18>과 같이 CGRA는 내부에 산술연산이나 논리연산 또는 특정 용도의 PE(Processing Element)를 포함하고 있다. 설계자가 세부적인 설계를 해야 하는 FPGA와는 다르게 CGRA는 이미 내부에 포함하고 있는 구조를 이용해서 시스템의 구현이 가능하므로 설계를 빠르게 진행할 수 있다.

ASIP은 특정용도를 위해서 설계된 프로세서이므로 재구성 가능한 블록 또한 일정한 용도로 쓰이게 되기 때문에 CGRA 구조는 큰 장점으로 작



〈그림 17〉 ASIP-eFPGA 구조도



〈그림 18〉 CGRA의 PE 구조도

용된다. 비록 FPGA보다는 유연성이 떨어지지만, 특정 용도로 개발된 CGRA를 이용하면 적은 비용으로 빠르게 설계를 할 수 있다.

#### IV. 결론

MPSOC 시스템은 설계 시간의 단축 및 고성능, 저전력 시스템을 위한 최적의 솔루션으로 SOC 시스템 설계에서 중요성이 더해가고 있다. 일반적인 MPSOC는 범용 프로세서를 사용하여 전체 시스템의 제어 역할을 수행하게 하고 특정 용도 프로세서를 통해 고성능, 저전력의 시스템을 구

축한다. MPSOC 시스템의 핵심 부품으로서 통신, 멀티미디어, FEC 등의 특정 응용에 적합한 다양한 ASIP을 소개하였고 이런 ASIP이 MPSOC 시스템에서 사용되기 위해서는 다른 프로세서와의 인터페이스가 지원되어야 하며 컴파일러의 호환성이 보장되어야 하고 마지막으로 저전력 설계가 필요하다는 점을 보았다. 최근의 MPSOC를 위한 차세대 ASIP은 재프로그래밍이 가능한 특징뿐만 아니라 재구성 가능한 특징 또한 극대화 시키기 위해 eFPGA나 CGRA 등의 구조를 사용한 재구성 가능한 ASIP에 대한 연구가 진행되고 있다.

#### 참고문헌

- [1] International Technology Roadmap for Semiconductors 2007 Edition System Drivers [Online] Available: <http://www.itrs.net>
- [2] Jae H. Baek, Sung D. Kim, and Myung H. Sunwoo, "SPOCS: Application Specific Signal Processor for OFDM Communication Systems," Journal of Signal Processing Systems, vol. 53, no. 3, pp. 383-397, Dec. 2008
- [3] Sung D. Kim and Myung H. Sunwoo, "ASIP Approach for Implementation of H.264/AVC," Journal of Signal Processing Systems, vol. 50, no. 1, pp. 53-67, Jan. 2008
- [4] Suk. H. Yoon, Jong H. Moon, and Myung H. Sunwoo, "Design of a High-Quality Audio-Specific DSP Core," in Proc. IEEE Workshop on Signal Processing Syst., Nov. 2005, pp. 509-513

- [5] Wayne Wolf, Ahmed Amine Jerraya, and Grant Martin, "Multiprocessor System-on-Chip (MPSOC) Technology," *IEEE Tran. On Computer-Aided Design of Integrated Circuits and Systems*, vol. 27, issue 10, pp. 1701-1713, Oct. 2008
- [6] Gert Goossens, Johan Van Praet, Dirk Lanneer, Werner Geurts, "ULTRA-LOW POWER? THINK MULTI-ASIP SOC!," in *Proc. IP Based Electronic System Conference & Exhibition 2007 (IP07)*, Dec. 2007
- [7] B. Ackland, A. Anesko, D. Brinthaup, S. J. Daubert, A. Kalavade, J. Knobloch, E. Micca, M. Moturi, C. J. Nicol, J. H. O' Neill, J. Othmer, E. Sackinger, K. J. Singh, J. Sweet, C. J. Terman, and J. Williams, "A single-chip, 1.6-billion, 16-b MAC/s multiprocessor DSP," *IEEE J. Solid-State Circuits*, vol. 35, no. 3, pp. 412-424, Mar. 2000.
- [8] C-5 Network Processor Architecture Guide, C-Port Corp., North Andover, MA, May 31, 2001. [Online] Available: <http://www.freescale.com>
- [9] S. Dutta, R. Jensen, and A. Rieckmann, "Viper: A multiprocessor SOC for advanced set-top box and digital TV systems," *IEEE Des. Test. Comput.*, vol. 18, no. 5, pp. 21-31, Sep./Oct. 2001.
- [10] OMAP5912 Multimedia Processor Device Overview and Architecture Reference Guide, Texas Instruments Inc., Dallas, TX, Mar. 2004. [Online] Available: <http://www.ti.com>
- [11] A. Artieri, V. D'Alto, R. Chesson, M. Hopkins, and M. C. Rossi, "Nomadik-Open Multimedia Platform for Next Generation Mobile Devices, 2003. technical article TA305. [Online] Available: <http://www.st.com>
- [12] freescale™ semiconductor MSC8156: Six Core Broadband Wireless Access DSP [Online] Available: <http://www.freescale.com>
- [13] MagusCore™ SSD1933 Multimedia Processor [Online] Available: <http://www.solomon-systech.com>
- [14] OMAP 3530/25 Applications Processor [Online] Available: <http://www.ti.com>
- [15] Frederik Naessens, Bruno Bougard, Siebert Bressinck, Lieven Hollevoet, Praveen Raghavan, Liesbet Van der Perre, and Francky Catthoor, "A unified instruction set programmable architecture for multi-standard advanced forward error correction," in *Proc. IEEE Workshop on Signal Processing Syst.*, Oct. 2008, pp. 31-36.
- [16] Xtensa LX2 product brief [Online] Available: <http://www.tensilica.com>
- [17] B. Neumann, T. von Sydow, H. Blume, and T. G. Noll, "Application Domain Specific Embedded FPGAs for Flexible ISA-Extension of ASIPs," *Journal of Signal Processing Systems*, vol. 53, no. 1-2, pp. 129-143, Nov. 2008
- [18] Kingshuk Karuri, Anupam Chattopadhyay, Xiaolin Chen, David Kammler, Ling Hao, Rainer Leupers, Heinrich Meyr, "A Design Flow for Architecture Exploration and Implementation of Partially Reconfiguration Processors," *IEEE Tran. On Very Large Scale Integration(VLSI) Systems*, vol. 16, no. 10, pp. 1281-1294, Oct. 2008

### 자기소개



김성대

2003년 8월 아주대학교 학사  
2006년 8월 아주대학교 박사 수료



선우명훈

1980년 2월 서강대학교 학사  
1982년 2월 한국과학기술원 석사  
1990년 8월 The University of Texas at  
Austin 박사  
1982년 3월 ~ 1985년 8월 한국전자통신 연구원  
1990년 8월 ~ 1992년 8월 Motorola Digital  
Signal Processor Operation,  
USA.  
1992년 8월 ~ 현재 아주대학교 전자공학부 교수  
주관심분야 : 멀티미디어, 통신용 SOC 구조 및 설  
계, 특정용도 설계, 특정용도 DSP 구조