



## 멀티미디어용 SOC 설계기술

이혁재(서울대학교), 이광엽(서경대학교), 최준필(경북대학교), 이재범(Sarnoff Corporation)

### I. 서론

최근 전자기기들은 여러 가지 기능을 복합적으로 제공하는 추세이다. 예를 들어, 휴대전화의 경우 기존의 음성 통신 뿐만 아니라 사진 촬영, 동영상 촬영, 화상 통신 및 3차원 게임 등 다양한 서비스를 제공하고 있다. 컴퓨터의 경우에도 기존의 주요 기능인 문서 편집이나 사무 처리 뿐만 아니라, 게임을 즐기거나, 화상 통화를 하고, 영화를 보는 등 다양한 오락을 즐길 수 있으며, TV도 영상 디스플레이 기능을 넘어서 인터넷과 접속을 통하여 다양한 서비스를 제공하는 방향으로 진화하고 있다. 이렇게 하나의 전자 기기에서 다양한 서비스를 제공하기 위해서는 음성, 화상, 그래픽 등의 처리를 담당하는 부품인 멀티미디어용 SOC (System-On-Chip)가 널리 사용된다.

Multimedia용 SOC는 기존의 프로세서에 음성, 화상, 영상, 그래픽 등을 효과적으로 처리하기 위한 하드웨어 가속 기능이 추가되고, 멀티미디어 데이터들의 입출력을 위한 표준화된 인터페이스를 포함하는 특화된 칩을 말한다. 멀티미디어 응용은 일반적으로 많은 데이터를 처리해야 하기 때문에, 기존의 범용 프로세서를 사용하

면 매우 고성능 사양이 요구된다. 예를 들어 최신 펜티엄 멀티코어 프로세서도 최신 표준의 영상 압축을 실시간으로 처리하기가 쉽지 않다. 한편, 멀티미디어 응용은 비교적 단순한 연산을 반복 처리 하고, 이러한 연산들이 서로 독립적이기 때문에, 연산간의 parallelism이 존재한다. 이러한 parallelism을 효과적으로 이용하면, 하드웨어 가속기의 구현이 용이하다. 따라서, 비교적 간단한 범용 프로세서에 제공하고자 하는 응용에 특화된 하드웨어 가속기능을 추가함으로써, 낮은 칩 가격에 원하는 기능을 제공하는 멀티미디어 SOC 설계 방식이 널리 사용된다.

Multimedia용 SOC에서 제공하는 다양한 응용은 여러 개의 표준이 존재한다. 예를 들어 영상 압축을 위해서는 MPEG-1, 2, 4, H.263, H.264, 및 VC-1 등 다양한 표준이 제안되었을 뿐만 아니라 새로운 표준이 지속적으로 개발된다. Multimedia용 SOC에서 하드웨어 가속기능을 설계하기 위해서는 지원하고자 하는 표준을 선택하여야 하는데, 다양한 표준들 가운데에서 어떠한 표준들을 처리하는지가 그 SOC의 경쟁력에 매우 중요하다. 많은 표준을 처리하면 할수록, 그 SOC의 수요는 증가하겠지만, 그만큼 가격이

상승하게 된다. 반도체 집적 기술의 발달로 하나의 SOC에 많은 기능을 포함하는 것이 용이해지기는 하였지만, 그래도 아직까지는 멀티미디어 SOC의 가격이 수백원정도 하는 칩들도 많고, 만원 이상 되는 가격을 받는 것이 용이하지 않기 때문에, 꼭 필요한 기능들만 포함시켜 가격을 최소화 하는 것이 중요하다.

본고에서는 멀티미디어 SOC의 주요 응용인 동영상, 화상 및 그래픽 처리를 위한 최신 표준들 가운데서 멀티미디어용 SOC에 많이 사용되는 표준을 알아보고, 이를 효과적으로 구현하기 위한 반도체 설계 기술의 동향을 살펴보고자 한다.

## II. 동영상 처리

### 1. 동영상처리 압축 표준 현황

미국의 Sarnoff사에서 1951년에 첫 칼라 TV가 발명되고 그 기술이 NTSC (National Television System Committee)에서 표준화된 이후 지난 60여년 동안 거의 대부분 영상은 interlace 방식으로 촬영 및 저장되고 있다. 즉, 홀수번째 line으로만 구성된 영상과 짝수번째 line으로만 구성된 영상이 시간적으로 번갈아 가며 저장되는 방식이 사용되어 왔다. 초기 영상 압축 표준인 MPEG-1의 경우 영상 전체를 압축하는 progressive 방식을 채택하여 interlace 방식의 TV 영상을 저장하는 데는 효과적이지 못했다. 따라서, interlace 방식의 영상을 효과적으로 처리할 수 있는 표준인 MPEG-2가 제안되어 기존의 NTSC TV방송용 자료 뿐만 아니라, 위성TV, CATV 및 DVD 영상 등을 압축하는 표준으로 널리 사용된다. 특히, 1992년에 MPEG-2 영상 압축 표준이 4 내지 15

Mbps을 압축 대역폭으로 하는 북미 ATSC (Advanced Television System Committee)에서 HD-TV의 기본 기술로 확장 채택되고 기간 기술로 적용된 후, MPEG-2는 영상 압축에 있어서 유산(legacy) 기술이 되었다.

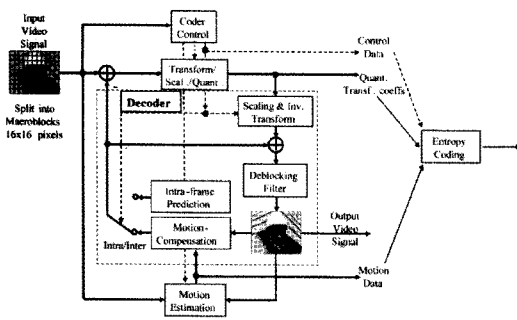
영상 압축 표준에서 그 압축률은 표준을 사용하는 응용의 경제성을 좌우한다. 수백 개 채널의 영상이 실시간으로 network을 따라 전송되고, 실시간 가공되며, 최종적으로 가정으로 전달되는 과정에서, 압축률의 향상은 영상전송 및 저장에 요구되는 비용을 절감할 수 있다. 압축률 향상을 위해서 Microsoft사에서 VC-1이 제안되었으며, JVT에서는 또 다른 압축 표준인 MPEG-4 Part 10 (H.264) 이 제안되었는데, 이들 새로운 표준은 MPEG-2에 비해서 2배 이상의 압축률을 제공한다. VC-1은 미국의 SMPTE (Society of Motion Pictures and Television Engineers) 에서 표준 비디오 압축 방법의 하나로 2006년에 승인되었고, H.264는 2003년 ISO/MPEG의 공동 표준 방법으로 승인된 후 몇 번의 수정단계를 거쳐서 오늘에 이르고 있다. 특히, 산업계의 새 디지털 저장 표준인 Blu-ray DVD에서 MPEG-2, VC-1 그리고 H.264를 영상 압축 표준으로 지정함으로써, 사실상 장래의 영상 압축 저장 매체 및 network 상품들은 이 3개 표준에 의해 크게 영향을 받을 것으로 확실시 되고 있다.

### 2. Motion-Compensated Transform Coding

MPEG-2 비디오 압축 기법은 Motion-Compensated Transform Coding (MCTC) 방식을 채택하였으며, 이에 따라 이후 VC-1과 H.264등 다양한 영상 압축 표준도 MCTC 방식을

채택하고 있다. <그림 1>은 H.264 표준의 처리과정을 보이는데, MPEG-2와 VC-1 또한 전체적인 흐름은 같다. 입력 영상을 작은 크기의 블록들로 나눈 후, 각 블록별로 3단계에 걸쳐서 압축을 수행한다. 첫 번째 단계에서는 시간적인 유사성을 이용하여 이전 프레임 혹은 이후 프레임에서 유사한 블록과의 차이 (혹은 에러)를 구한 후 이를 전송함으로써 데이터량을 대폭 줄일 수가 있다. 이때 이전 혹은 이후 프레임에서 가장 유사한 블록을 찾는 과정이 움직임 추정 (Motion Estimation) 이다. 일단 에러가 구해지면, 이를 주파수 영역으로 transform한 후에 quantization 하는 과정이 두 번째 압축과정이며, 최종적으로 entropy coding 과정을 통하여 추가 압축을 한다. MPEG-2, H.264, 및 VC-1은 모두 비슷한 과정을 거치게 되지만, 세 단계 압축 과정에서 부분적으로 다른 방식을 사용함으로써 압축률과 연산량이 차이가 난다.

MPEG-2는 8x8 DCT와 16x16의 MC (Motion Compensation)을 적용하여 1/2 화소 단위의 정밀도를 적용하는 MCTC이다. 앞에서 언급한 바와 같이 MPEG-2 기술의 핵심은 interlace 영상을 어떤 방식으로 처리하는가에 있다. 현재 영상의 주위 화소들로부터 예측하여 그 에러만 전송하는



<그림 1> H.264 영상 처리 과정<sup>[2]</sup>

Intra Prediction의 경우 DC성분에만 적용된다. MPEG-2에서 MC를 위한 참조영상은 최대한 2개만 사용하게 되며, 3개의 frame type I, P, B가 있다. 또한, MPEG-2는 VC-1이나 H.264에서 사용하는 deblocking 필터는 적용하지 않는다.

H.264는 압축률의 향상을 위해서 MC과정을 정밀하게 함으로써 이전 (혹은 이후) 프레임과의 에러를 최소화 한다. MPEG-2에서는 16x16 단위로 MC를 하지만, H.264에서는 4x4 부터 16x16 까지 다양한 단위로 MC를 함으로써 에러를 줄인다. 또한, 1/4 화소 단위의 정밀도로 MC를 하고, 이론적으로 16개 까지 서로 다른 참조 영상과 비교 가능하고 (실제적으로 Profile/Level에 따라 제한됨), 시간적인 제한 또한 없어졌다 (long-term/short-term 혹은 past-past/future-future 조합 등 가능). 동시에, weighted (bi-) prediction을 사용하여 fade-in/fade-out 상황을 쉽게 처리할 수 있다. 이처럼 수많은 새로운 옵션들을 MC에 주고 있다. 반면 주파수 영역으로의 transform 옵션은 많지 않다. Main Profile까지는 4x4 transform만을 사용하고, 최근에 제안된 High Profile에서 8x8 transform도 사용하긴 했지만, 이 모두가 하나 16x16 매크로블록에서는 transform 크기가 고정되기 때문에, VC-1만큼의 에러 localization은 되기 어렵다. H.264는 deblocking 필터라고 부르는 기법을 사용하여, 블록들간 에지 왜곡을 덜 느끼도록 만든다. Intra Prediction은 16x16/8x8/4x4 블록 단위에 따라서 여러 방향으로 적용되며, 하나의 frame은 여러 형태의 slice (I slice, P slice, B slice 등)들의 조합으로 구성된다. H.264는 MPEG-2처럼 interlace 영상만을 효과적으로 처리할 수 있는 방법들은 없지만, MC 기법이 아주 세부적인 움직임을 찾을 수 있으므로, Frame/Field

Transform 및 PAFF/ MBAFF 기법을 적용하면 interlace 영상도 효과적으로 압축할 수 있다.

VC-1 압축 표준에서는 transform의 중요성을 강조한다. Transform의 크기를 8x8, 8x4, 4x8, 4x4로 다양화하고, 이를 적응적으로 사용하여 에러를 localize한다. 일반적으로 이전 (혹은 이후) frame으로부터 예측하는 경우 에러 성분이 증가 되기 때문에, 작은 단위의 transform이 더 유용할 것이라 추측된다. 그러나, 이런 예측은 quantization이 적용되기 전의 상태까지만 유효하다. 만약 quantization이 적용된다면, 어느 정도 작은 에러의 경우 (혹은, quantization 크기의 조절에 따라서) 주파수 영역 계수가 0이 되는 경우가 많게 되는데, 이런 경우 큰 블록에서 더욱 효과적인 run-length 표현이 가능할 수도 있다. 따라서, VC-1에서는 다양한 크기의 transform을 사용함으로써, 효과적인 영상 압축을 가능하게 한다. 한편, MC의 정밀도는 1/4 화소 단위이고, 블록의 크기는 16x16 혹은 8x8 단위를 적응적으로 선택한다. 블록 에지 왜곡 제거를 위해서는 deblocking 필터 기법에 더하여 OverLapped transform이라고 부르는 수학적 접근 방식이 추가된다. 이 두 가지 방법을 조합함으로써 블록 에지 왜곡을 덜 느끼도록 만든다. VC-1의 Intra Prediction은 일반적으로 DC/AC 성분에 모두 적용되며, 참조영상은 최대한 2개만 사용하게 된다. 크게 5개의 frame type I, P, B, BI, Skip 이 있고, MPEG-2처럼 interlace 비디오를 효과적으로 압축 처리할 수 있는 방법들을 추가하였다.

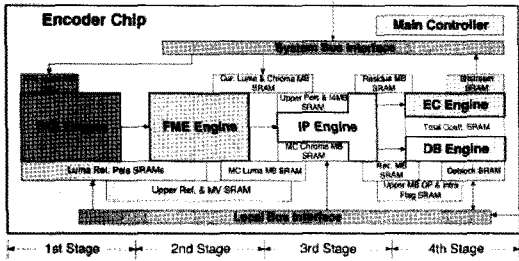
### 3. 동영상 처리용 SOC 구조

영상압축은 방대한 양의 데이터를 처리하는 과정이기 때문에, 매우 고성능의 연산 능력이 요

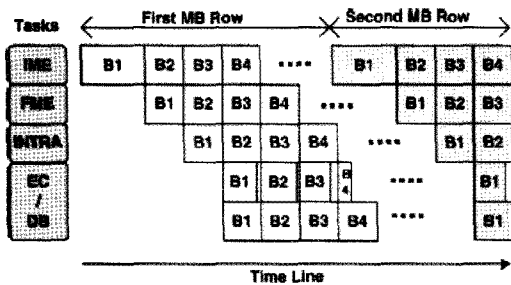
구된다. 예를 들어 HD급 영상을 압축하기 위해서는 최신 Pentium급 프로세서도 실시간으로 압축을 하기 어렵다. 다행스러운 점은 같은 종류의 연산을 많은 데이터에 반복적으로 처리하면 되는 구조를 가진다는 점이다. 따라서, SIMD (Single Instruction Multiple Data) 형태의 명령어를 수행하는 프로세서로 구현하거나, 아니면 영상 압축에 최적화된 하드웨어 가속기의 설계가 비교적 용이하다.

하드웨어 가속기를 사용하여 영상 처리용 SOC를 구현하는 경우, 각 하드웨어 가속기가 16x16 크기의 매크로블록 단위로 처리를 하도록 구현하는 것이 일반적이다. <그림 2>는 H.264 부호기를 구현한 전형적인 구조를 보여준다. 이 구현에서는 움직임 추정을 두 단계로 나누어서 정수위치 움직임 추정 (IME) 및 1/4화소 단위 움직임 추정 (FME)을 위한 하드웨어 가속기가 구현되었으며, Intra Prediction (IP), Deblocking Filter (DB) 및 Entropy Coding (EC)를 위한 가속기가 구현되어 있다. 속도의 향상을 위해서 각 하드웨어는 병렬적으로 그리고 pipeline 방식으로 수행이 된다. <그림 3>은 이 H.264 부호기가 4단계의 pipeline 방식으로 실행되는 과정을 보여준다. IME가 먼저 수행이 되고, 그 결과를 사용하여 FME가 수행된다. 그 다음 단계에서는 IP가 수행되고, 최종 단계에서 DB 및 EC가 병렬적으로 수행된다. 다른 종류의 SOC에서는 FME와 IP가 병렬적으로 수행되는 3단계 pipeline도 종종 사용된다. 각 하드웨어 가속기 내에서도 여러 작은 단위의 연산 처리기들로 구성되는데, 이들 또한 연산 처리 속도를 높이기 위해서는 병렬적이고 pipeline 방식으로 처리된다.

병렬적이고 pipeline방식의 하드웨어 구현을 위해서는 각 하드웨어 가속기에서 처리되는 연



(그림 2) H.264 부호기 구조<sup>[3]</sup>



(그림 3) H.264 부호기 Pipelining 처리<sup>[3]</sup>

산들이 서로 독립적이어야 가능하다. MPEG-2, H.264, VC-1 등의 압축 표준은 매크로블록 별로 독립적으로 압축을 하는 것이 기본 방식이기 때문에, <그림 2>에서처럼 매크로블록 단위 처리용 하드웨어 가속기들이 서로 독립적으로 동작하는 것이 가능하다. 다만, 각 매크로블록 압축이 서로 완벽하게 독립적이지 않는 경우가 있다. 예를 들면, H.264의 움직임 추정 벡터는 주변 움직임 벡터들로부터 예측된 벡터와의 차이를 구하여 부호화한다. 따라서, 이전 매크로블록의 움직임 추정 결과 도출 후 매크로블록의 움직임 추정이 가능하다. 이외에도 매크로블록별 혹은 그보다 더 작은 블록들 간에 dependence들이 존재하여 pipeline을 제한하는 경우가 많이 있다. 효율적인 하드웨어 구현을 위해서는 이러한 dependence를 피하기 위한 방법에 관한 연구들

이 진행되고 있다. 하지만, dependence를 완전히 제거하지 못하는 경우도 있는데, 이러한 경우는 압축률을 희생하면서 dependence를 제거해야 하는 경우도 종종 발생한다. 따라서, 이러한 압축률과 dependence 제거간의 효율적인 trade-off를 위한 선택이 하드웨어 가속기 기반 SOC 설계에 있어서는 중요한 이슈가 된다.

영상처리용 SOC의 성능에 큰 영향을 미치는 중요한 요인은 참조 영상을 저장하는 외부 메모리의 bandwidth이다. 영상 처리 과정에서 참조 영상을 자주 접근하게 되는데, 그때 마다 외부 메모리에서 데이터를 가져오는 경우 메모리 bandwidth가 성능의 bottleneck이 되게 된다. 물론, bandwidth가 큰 외부메모리를 사용하면 이러한 문제는 해결되지만, 이 경우 외부메모리 가격이 높아지고, 전력 소모 또한 증가하기 때문에, 외부메모리의 bandwidth를 최소화하면서도 원하는 성능을 얻을 수 있는 영상처리 기술이 필요하다. 이를 위하여 압축률을 희생시키면서, 외부 메모리의 접근 횟수를 줄이기 위한 많은 연구가 진행되어 왔다.

압축률 저하를 최소화 하면서, 외부 메모리 접근을 줄이기 위해서는 데이터 가운데에서 일부를 SOC 내부의 버퍼에 저장하고 사용하는 경우가 일반적이다. 특히, 하드웨어 가속기가 매크로블록 단위로 처리를 하기 때문에, 하나의 매크로블록을 처리하기 위한 데이터를 내부 버퍼에 저장한다(그림 2 참조). 이때 저장하는 내부 버퍼의 크기에 따라서, 외부 메모리에 참조하는 회수가 달라지게 된다. 따라서, 내부 메모리의 크기와 외부 메모리 참조 회수간의 적절한 trade-off를 선택하는 것이 중요한 변수가 된다. 외부 메모리는 일반적으로 DRAM을 사용하게 된다. DRAM은 여러 개의 bank로 나뉘어 지고, 각 bank는 또 여

러 개의 page로 구성이 된다. 이러한 DRAM의 구조에서는 연속적으로 접근하는 데이터가 같은 page에 속하는 경우에 접근 속도가 빨라지게 된다. 따라서, 영상 데이터를 일반적인 순서로 저장하지 않고, 접근 순서가 연속적인 경우 같은 page에 저장하도록 하면 외부 메모리의 접근 속도를 향상시킬 수가 있다. 이를 위한 다양한 연구들이 진행되고 있다.

#### 4. 개발 현황

현재 동영상 처리용 SOC는 미국의 TI에서 개발되어 널리 사용되고 있다. TI에서는 자체 개발된 DSP를 주로 활용하고, 일부기능을 하드웨어로 구현한다. 동영상 처리를 효율적으로 할 수 있는 명령어를 DSP에 추가하여 처리 시간을 단축한다. TI의 SOC는 MPEG-2, H.264, 및 VC-1등을 포함하는 다양한 표준을 처리하도록 개발되었다. 최근에는 H.264 전용 SOC들이 많이 개발되었는데, 미국의 Mobilygen (Maxim에 합병), Amberella, Qpixel 등의 회사에서 개발된 제품들은 최대 Full HD 크기 (1920x1280) 동영상을 초당 30장 까지 처리할 수 있다. Qualcomm이나 MTK에서 개발된 통신 모뎀 칩에 동영상 처리 기능이 포함되는 경우가 많이 있다. 국내에서는 삼성전자, 엠택비전, 코아로직, 칩스앤미디어와 같은 회사들이 다양한 동영상 표준 처리가 가능한 SOC를 개발하였으며, 마무리안 디자인, ETRI 등에서 H.264 전용 SOC가 개발되었다.

#### 5. 향후 전망

향후 동영상을 사용하는 서비스는 점점 더 활성화될 것으로 예상된다. 인터넷 전화 등이 보급

되면서, 이를 통하여 동영상으로 전송하는 일이 증가할 것으로 기대되며, PC나 TV를 사용한 화상채팅도 증가할 것으로 예상된다. H.264 및 VC-1과 같은 최신 영상 압축 표준들은 이러한 응용에 널리 사용될 것으로 예상되므로, 이러한 압축 표준을 효율적으로 구현한 SOC의 수요 또한 급격히 증가할 것으로 예상된다.

### III. 그래픽 처리 기술

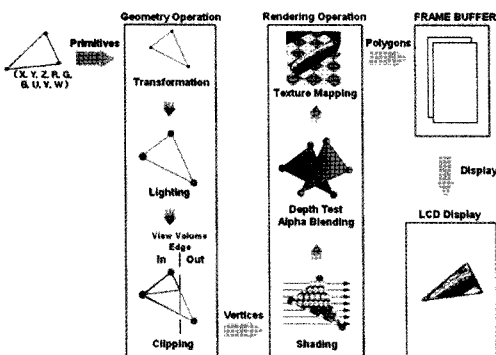
컴퓨터 그래픽 기술은 컴퓨터 분야만 아니라, 게임, 영상, 교육, 출판, 군사, 의료 분야 등 모든 분야에 걸쳐서 사용되어지는 핵심 멀티미디어 기반 기술이다. 현재, 3차원 컴퓨터 그래픽스를 이용하여 게임, 가상현실, 과학적 시각화 (scientific visualization), VRML(virtual reality modeling language)과 같은 응용분야의 확대가 지속되고 있다. 또한, 3차원 그래픽 데이터 처리를 위해 개발된 하드웨어 가속기는 과거에 고가의 컴퓨터 시스템에서만 채택되었지만, 현재에는 개인용 컴퓨터에 3차원 그래픽 가속기가 기본적으로 장착되고 있으며, 점차 휴대폰, PDA 등 차세대 휴대용 정보기기에서도 3차원 가속기에 대한 수요가 늘어날 전망이다.

#### 1. 3차원 그래픽 프로세서 구현을 위한 요소 기술

3차원 그래픽 처리는 기본적으로 Database Traversal, Geometry Processing, Rasterization 등 3가지 단계를 순차적으로 처리하는 과정이다. Database Traversal 단계는 모델 제네레이션으로 생성된 오브젝트의 자료 구조를 그래픽스 파

이프라인에서 처리할 수 있는 데이터로 전달하는 과정이다. 또한 지오메트리 처리는 앞 단계에서 생성된 데이터를 기하학적으로 변환시키는 과정이다. 세 번째 단계인 Rasterization은 지오메트리 처리에 의해 변환된 primitive(점, 선, 삼각형 등)들을 프레임 버퍼(Frame buffer)에 화소 데이터 값으로 변환시키는 과정이다. <그림 4>는 3차원 그래픽의 처리과정을 나타내는 것으로 3차원 primitive가 디스플레이되기 까지 처리되는 내용이다.

2~3년 전까지는 대부분의 3D 그래픽 프로세서(GPU)에서는 래스터라이제이션 단계만 처리하고 범용 프로세서가 지오메트리 처리를 담당하는 구조로 되어 있었다. 한 예로 3Dfx의 Voodoo, nVIDIA의 TNT 시리즈가 이러한 방식을 채택한 대표적인 3차원 가속기였다. 그러나 최근의 Geforce 2 와 Radeon 시리즈에서는 범용 프로세서가 데이터베이스 드라이버설단계만 수행하고 나머지 단계는 전용 그래픽 프로세서가 수행하도록 하고 있다.



<그림 4> 3차원 그래픽 처리 과정

## 2. 모바일 그래픽 API 표준화

3차원 그래픽 엔진을 사용하기 위해서는 API(Application Program Interface)가 지원되어야 한다. 업계가 저마다 모바일 3차원 그래픽 API 기술을 추구하면서 일각에서는 표준의 필요성에 대한 주장이 제기되고 있다. 모바일 그래픽 API로는 실리콘 그래픽사에서 처음 시작한 OpenGL에 근간을 둔 OpenGL ES와 모바일 Java를 위한 M3G(JSR184)가 대표적이다. M3G는 OpenGL ES 보다 상위단계로 scene graphs, animation, file formats 등이 지원된다. 모바일에서는 2차원 벡터 그래픽도 많이 활용되고 있는데 OpenVG와 Scalable Vector Graphics API인 JSR226를 API로 사용한다<sup>[4]</sup>.

이와 같은 API의 공개와 표준화에도 불구하고 휴대전화, 게임 콘솔 등 모바일 응용제품을 개발할 때 개발 플랫폼이 공개되지 않아 새로운 응용 프로그램의 개발이 제한을 받고 있다. 그러나 최근에는 심비안, 임베디드 리눅스, 팜, 윈도우 CE 등의 운영체제를 활용하는 플랫폼이 개발되고 모바일 Java 2 플랫폼인 Micro Edition(J2ME)는 폐쇄된 플랫폼에 적용할 수 있는 환경을 제공하고 있다<sup>[5]</sup>.

## 3. 모바일 그래픽 프로세서

3차원 그래픽 렌더링 과정은 CPU에서 소프트웨어만으로 구현이 가능하고 이런 경우에는 유연성이 뛰어나기 때문에 아직도 많은 모바일 장치가 소프트웨어 엔진을 채택하고 있다. 그러나 3차원 그래픽 렌더링을 처리하는 능력은 범용 CPU 보다 그래픽 전용 하드웨어가 훨씬 높은 성능과 저전력 효과를 보여준다. 최근 고성능

smart phone에서는 전용 그래픽 프로세서인 GPU를 채택하고 있으며 경우에 따라 CPU와 함께 포함된 형태로 사용되기도 한다.

OpenGL ES 2.0과 같은 최근 그래픽 엔진은 셰이더(shader)라고 하는 프로그램 가능한 기능을 포함하고 있어 CPU에 버금가는 유연성을 제공하기 시작했으나 모바일에서는 아직도 많은 부분이 고정된 기능으로 처리하는 GPU 구조로 되어 있다. 트라이앵글 셋업, 텍스처 인출, 필터링, 블렌딩 등은 전용회로를 사용하는 것이 처리 시간이나 소모전력 측면에서 더욱 효율적이기 때문이다.

모바일 그래픽 프로세서에서 고성능과 저전력을 구현하기 위한 가장 중요한 기술은 그래픽 연산 처리장치와 메모리 사이의 트래픽을 최대한 줄이는 것이다. 내부 트래픽을 줄이는 방법으로 최근 관심을 받는 기술을 정리하면 다음과 같다<sup>6)</sup>.

첫째, 메모리에 저장되는 데이터와 전송되는 데이터양을 줄일 수 있는 압축기술이다. GPU에서 압축과 복원(codec)이 주로 적용되는 곳은 Texture와 Buffer들이다. Buffer에는 color, depth buffer와 stencil buffer가 대표적이다. Texture는 트라이앵글과 같은 기본적인 도형에 붙이는 read-only image이며 texture data에 대한 fast random, fast decompression이 필요한 부분이다. 화소당 24비트에서 4비트로 압축이 가능하며 JPEG과 같은 lossy 압축을 사용할 수 있다. OpenGL ES에서는 Ericsson Texture Compression (ETC)를 채택하고 있다.

둘째는 타일링 구조로 프레임 버퍼와 관련된 메모리 트래픽을 줄일 수 있다. 프레임을 여러 조각의 타일로 분해하고 타일 조각 단위로 최적화하는 방법이다. 최근 상업적으로 사용되는 것은

Imagination Technologies와 ARM사의 모바일 가속기에서 볼 수 있다. 그러나 타일링은 모든 트라이앵글을 버퍼에 저장하고 처리과정에 따라 정렬을 해야 하는 부담이 있어 길고 가는 트라이앵글이 많이 포함된 렌더링에서는 비효율적일 수 있다.

셋째는 컬링(culling)으로 감춰지는 트라이앵글을 제거하여 처리되는 데이터양을 줄이는 방법이다. z-culling이라는 방법이 주로 사용되며 셰이더에서는 프로그램 가능한 컬링 장치를 두고 fragment 단위의 컬링을 처리할 수 있다.

모바일 그래픽 프로세서에서는 위와 같은 메모리 트래픽 단축을 위한 방법 이외에 저전력 구현을 위하여 DVFS (dynamic voltage and frequency scaling)와 같은 전력 예측 및 제어 방법을 사용하여 40% 정도의 소모 전력을 줄이고 있다.

#### 4. 그래픽 프로세서 개발동향

휴대전화 시장이 급성장하면서 휴대전화의 멀티미디어 기기화가 동시에 진행돼 모바일 3차원 그래픽 시장이 곧 형성될 것으로 예상됨에 따라 관련 업체들이 주도권을 잡기 위해 분주히 움직이고 있다.

최근 들어 모바일 3차원 그래픽 프로세서와 관련해 제품을 발표했거나 개발을 표명한 업체는 반도체의 경우 ARM, 인텔, ST 마이크로 일렉트로닉스, TI 등이 대표적이며 PC용 3D그래픽 전문업체인 Nvidia, AMD(ATI 합병) 등이 꼽힌다. 또 비트보이스, 이매저네이션테크놀로지스, 네오매직, 미디어Q, 세이크엡슨 등의 전문업체들도 주목받고 있다.

현재 모바일 3D 게임은 대부분 자바 또는 소프



트웨어 엔진으로 구현되고 있지만 하드웨어로 된 3차원 그래픽 가속기가 단말기에 통합된 제품이 나오고 있다. 대부분의 업체들이 모바일 3차원 그래픽 시장으로 눈을 돌리고 있는 것은 휴대폰 시장의 규모 때문이다. 시장조사업체인 존페디리서치에 따르면 연간 4억대에 이르는 휴대폰의 출하대수의 10%만 차지해도 판매 규모가 4000만대에 이른다.

국내에서는 애플비전, 코아로직, 텍사스칩스가 차세대 휴대폰용 3차원 그래픽칩 시장에서 이 분야를 주도하고 있다. 휴대폰용 칩은 기존 컴퓨터용과는 특성이 달라 PC 그래픽 시장을 독점하고 있는 Nvidia, AMD와 경쟁이 가능한 분야이다. 최근 애플비전, 코아로직, 텍사스칩스, 텔레칩스 등은 잇따라 휴대폰용으로 특화된 3차원 그래픽 칩 개발을 마치고 시장진입에 돌입했다.

## 5. 향후 전망

모바일 기기와 같은 임베디드 시스템에서 3차원 그래픽 프로세서 기술은 그 적용 범위가 점차 확대되고 있으며 멀티미디어 기능을 위한 핵심 기술로 자리 잡고 있다. 이러한 기술은 우리나라가 강점으로 갖고 있는 반도체 제조기술과 최근 기술이 크게 향상된 반도체 설계 기술을 바탕으로 국산화가 가능하며 현재 세계 시장을 선도하고 있는 휴대폰을 포함한 모바일 기기 개발 기술을 잘 활용하면 그동안 컴퓨터 그래픽 칩에서 세계시장을 독점하고 있는 선진기술 보유 업체와 충분한 경쟁력 확보를 예상할 수 있다. 특히, 우리의 강점인 애니메이션을 비롯한 그래픽 콘텐츠 기술과 접목된다면 3차원 그래픽 프로세서를 활용한 제품의 세계시장 선점이 가까운 장래에 달성될 것으로 기대된다.

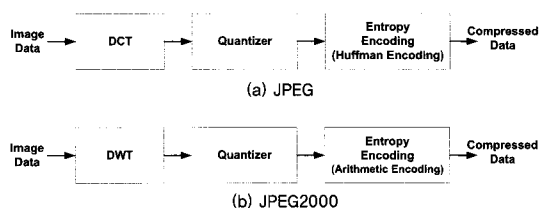
## IV. 정지 영상 처리

멀티미디어 및 정지 영상 정보를 효율적으로 압축하여 얼마나 빠르게 에러 없이 방대한 데이터를 처리할 수 있을까 하는 문제가 대두되어 1992년에 JPEG (Joint Photographic Expert Group)이 국제표준으로 채택된 이후 이 표준은 다양한 멀티미디어 응용분야에 사용되고 있다. 최근 멀티미디어 단말기와 인터넷 활용 기술 발달로 양질의 서비스를 제공하기 위하여 처리하고 저장해야 할 데이터는 기하급수적으로 증가하고 있다. 보다 많은 데이터 전송과 함께 더 나은 품질의 데이터를 위해 기존의 JPEG을 대체할 압축 표준으로 JPEG2000에 대한 관심이 높아지고 있다<sup>[7]</sup>.

### 1. JPEG과 JPEG2000 정지 영상 처리 표준

JPEG2000은 <그림 5>와 같이 JPEG의 압축과정, 절차는 다르지 않지만, 주파수 변환 과정과 엔트로피 코딩에서 호프만 코딩방식 대신 이진 부호화 방식으로 바뀌었다.

JPEG은 압축과정 중 주파수 변환과정에서 사용하는 DCT(discrete cosine transform) 연산을 위해 영상을 8×8단위의 블록으로 나누어 연산



<그림 5> JPEG과 JPEG2000 압축 과정

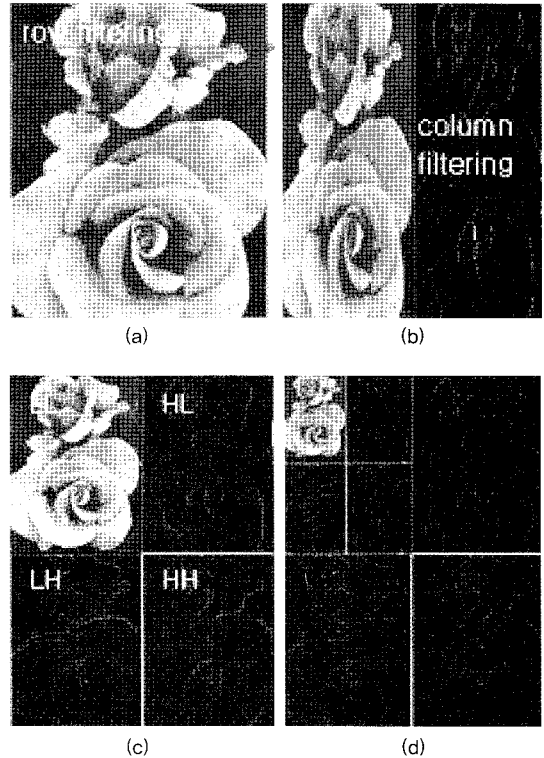
을 하기 때문에 압축률이 높으면 블록 간에 경계가 발생하여 이미지가 깨어져 보이는 현상이 나타난다. bpp(bit per pixel)가 0.25이하 일 때 <그림 6>와 같이 블록화 현상이 발생하게 된다. JPEG2000은 JPEG의 가장 큰 문제점으로 지적된 블록킹 현상을 제거하기 위해 DCT 대신 하여 DWT(discrete wavelet transform) 변환 방법을 사용하고<sup>10)</sup>, 엔트로피 코딩에는 산술부호화 방식을 사용하였다.

## 2. JPEG2000 처리 과정

DWT는 이미지를 화소간의 밝기의 변화 값이 큰 고주파 성분과 밝기의 변화 값이 미미한 저주파 성분으로 분해하는 영상의 주파수 변환 과정이다. JPEG2000에서는 Daubechies 계수값을 사용하는 고역필터와 저역필터를 사용하여 DWT를 수행한다. 각각의 필터를 통과한 영상 데이터는 두 샘플들 중 하나를 제거하는 2다운 샘플링을 거쳐 주파수 대역별 영상의 크기가 가로 세로 각각 반씩 줄어든다. LL영역은 행과 열 방향 모두 저역 필터링을 통과한 저주파 성분들의 집합으로, 영상의 가장 중요한 성분들의 집합이다. HL영역은 수직방향의 에지(edge) 성분, LH영역은 수평방향의 에지 성분, HH영역은 대각선 방향의



<그림 6> 0.25bpp에서 JPEG2000 (좌)과 JPEG(우)

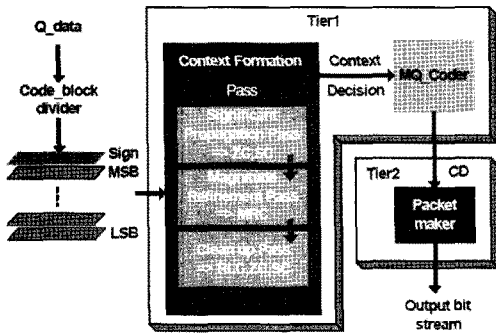


<그림 7> (a) 원영상, (b) 1차원 DWT, (c) 2차원 DWT, (d) DWT

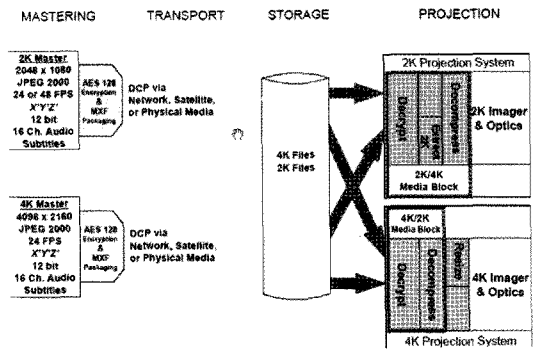
에지 성분들의 집합이다

DWT과정과 양자화를 이미지 데이터들은 EBCOT (Embedded Block Coding with Optimized Truncation)에서<sup>10)</sup> 엔트로피 코딩을 통해 물리적으로 압축이 된다. EBCOT는 bit level로 압축하는 부분인 Tier1, 헤더 파일을 붙여 전송하는 Packet을 생성하는 부분인 Tier2로 이루어져 있다. Tier1은 내부적으로 context와 decision을 추출하는 BPC(bit plane coding)와 엔트로피 코딩과정인 BAC(binary arithmetic coding)으로 구성된다<sup>10)</sup>.

Bit Plane Coding은 데이터를 bit-plane 별로 나누는 후, 부호화 하고자 하는 샘플과 주위 샘플들의 상태정보 값을 참고하여 3가지 코딩 패스



〈그림 8〉 EBCOT 구성



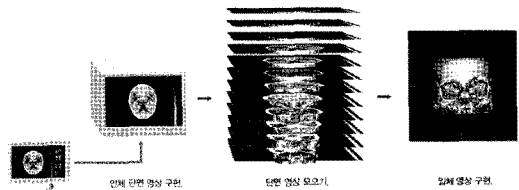
〈그림 9〉 디지털 시네마에서의 JPEG2000 코덱

(SPP, MRP, CUP)를 거치는 동안 4가지 코딩방법 (Zero, Sign, Magnitude Refinement, Run-length)으로 context와 decision을 추출한다.

BAC(Binary Arithmetic Coding)<sup>[11]</sup>에 대해 설명을 하자면 위의 그림에서와 같이 확률 예측 블록, 구간 갱신 블록, ByteOut블록, Counter블록, TEMPC블록, Controller블록 그리고 Decision Register블록의 7개의 Sub-Block으로 구성되어 있다.

### 3. JPEG2000의 응용

인터넷 문화가 발달하면서 자신을 알리기 위한 개인 홈페이지나 UCC(User Created Contents) 등 영상(정지영상 혹은 동영상)에 관련된 부분에 수요가 높아지고 있다. JPEG2000을 인터넷 상의 이미지전송에 적용을 하면 이미지 전송 시간을 1/5로 줄일 수 있는데 이는 인터넷 네트워크 부하 역시 많이 줄일 수 있으며, 양질의 데이터를 전송할 수 있다는 점과 더불어 영상을 개인의 컴퓨터나 인터넷 상의 중요 서버에 저장할 때 저장 공간을 절약할 수 있다는 장점을 지니고 있다. 차세대 대중 영상 매체로서 촬영, 편집, 상영에 이르는 영화 전 과정을 컴퓨터로 수행하는 디지털



〈그림 10〉 JPEG2000이 적용된 의료영상분야

시네마에서<sup>[12]</sup> 디지털 프로젝터로 전송되어 스크린에 상영되는 영상의 압축 방식도 JPEG2000이 대두되고 있다.

이제 필수품이 되어버린 휴대전화는 통화 기능뿐 아니라 멀티미디어 기기로서의 기능이 강화되고 있다. 뿐만 아니라 고화질을 필요로 하는 위성사진과 의료영상 분야에서도 JPEG2000의 활용도는 더욱 높아지고 있다<sup>[13]</sup>.

### 4. JPEG2000의 개발 현황

JPEG2000은 JPEG보다 나은 기능과 다양한 응용을 지원하므로 새로운 시장형성이 예상됨에 따라, 2000년에 발표된 후 2003년을 기점으로 영상분야의 대표적인 설계 업체들이 관련 제품을 출시를 했다. 2000년 아일랜드의 AMPHION 사가 처음으로 JPEG2000압축 코덱 IP를 선보였

고, 뒤를 이어 미국의 DSP Worx사가 기존의 JPEG과 JPEG2000을 선택적으로 사용할 수 있는 관련 DSP 칩을 개발하였다. 같은 해 일본의 RICOH가 PCI인터페이스를 지원하는 칩을 선보였다. 그러나 초기의 제품들은 기능 및 성능이 충분하지 못해 시장을 형성하지 못하였다.

이후 2004년에 미국의 Analog Device사가 HD급 영상까지 지원하는 JPEG2000 코덱 칩(ADV202)을 내놓았다. IP 형태로는 2002년 12월에 AMPHION에서 칩에 사용된 IP를 SOC에 활용될 수 있도록 수정하여 내놓은 것을 선두로 하여 2004년 벨기에의 Barco와 그리스의 Alma가 각각 IP를 개발하여 Actel, Altera, Xilinx사를 통해 제공하고 있다.

## 5. 향후 전망

현재 디지털 영상시장에서 JPEG이 90% 이상의 점유율을 차지하고 있지만 그 한계로 인해 새로 발표된 JPEG2000이 JPEG를 대신하여 정지영상의 표준으로 자리매김할 것으로 전망된다. 그러나 JPEG2000은 여러 장점에도 불구하고 알고리즘의 복잡성, 많은 연산량으로 인해 하드웨어 구현이 필요하지만 아직 세계적으로 하드웨어 구현은 시장 진입 상태이며, 국내에서의 개발이 부진한 상태이며 압축 코덱의 상당수는 일본 등의 외국 기업 제품에 의존하고 있는 현실에 비추어 볼 때 JPEG2000 압축 코덱의 국내 자체 개발이 필요한 상황이다.

## V. 결론

하나의 전자 기기로 여러 가지 기능을 제공하는 디지털 컨버전스 시대에 멀티미디어용 SOC는 향후 시스템 산업의 경쟁력을 좌우하는 핵심 부품이 될 전망이다. 본고에서 설명한 멀티미디어용 응용 표준들 가운데에서 선택적으로 구현함으로써 경쟁력 있는 제품 개발이 필요하다. 다만, 이러한 표준들은 이미 알려진 기술들이기 때문에, 세계 여러 나라에서 유사한 제품들이 만들어지고 있어서, 가격을 절감하여야만 경쟁력을 유지할 수 있다. 음성 인식, 동작 인식, 화질 개선 등 아직 표준화가 되지 않은 다양한 기술들이 존재하는데, 이러한 기술들 가운데에서 유용한 기술들을 선택하여 구현함으로써 차별화되고 경쟁력 있는 멀티미디어용 SOC 개발이 가능할 것이다.

### ※감사의글

본 논문은 지식경제부가 지원하는 국가 반도체 연구 개발사업인 "시스템집적반도체기반기술개발사업(시스템 IC 2010)"을 통해 개발된 결과임을 밝힙니다.

---

**참고문헌**


---

- [1] J.-B. Lee, H. Kalva, The VC-1 and H.264 Video Compression Standards for Broadband Video Service, Springer, 2008
- [2] T. Wiegand, G.J. Sullivan, G. Bjontegaard, A. Luthra, Overview of the H.264 Video Coding Standard, IEEE Transactions on Circuits and Systems for Video Technology, Vol. 13, No. 7, pp560-576, 2003.7
- [3] T.-C. Chen, et. al., Analysis and Architecture Design of an HDTV720p 30 Frames/s H.264/AVC Encoder, IEEE Transactions on Circuits and Systems for Video Technology, Vol. 16, No. 6, pp 673-688, 2006.6
- [4] K. Pulli, New APIs for Mobile Graphics, SPIE Electronic Imaging: Multimedia on Mobile Devices II, pp1-13, 2006
- [5] K. Pulli, T. Aarnio, K. Roimela, Designing Graphics Programming Interfaces for Mobile Devices, IEEE Computer Graphics and Applications, pp66-75, 2005.11/12
- [6] T. Capin, K. Pulli, T. Akenine, The State of the Art in Mobile Graphics Research, IEEE Computer Graphics and Applications, pp74-84, 2008.7/8
- [7] ISO and ITU, Information Technology - JPEG2000 Image Coding System, ISO/IEC FCD 15444-1:2000, ITU-T Rec. T.800, 2000.3
- [8] 임세윤, 최준림, JPEG2000 DWT 에 기반한 적응형 블록 원터마킹 구현, 전자공학회지 제 44권 SD편 제 11호, pp101-108 2007.11
- [9] 강창수, 서춘원, JPEG2000 코덱을 위한 최적의 데이터 형식 모델링, 전자공학회지 제 42권 TE편 제 4호 pp7-14, 2005.12
- [10] R. Raguram, M.W. Marcellin, A. Bilgin, Improved Resolution Scalability for Bi-Level Image Data in JPEG2000, Data Compression Conference, pp203-211, 2007.3
- [11] Y.-Z. Zhang, C. Xu, L.-B. Chen, A dual-symbol coding arithmetic coder architecture design for high speed EBCOT coding engine in JPEG2000, 6th International Conference On ASIC, Vol. 1, pp261-264, 2005.10
- [12] A. Bilgin, M.W. Marcellin, JPEG2000 for digital cinema, International Symposium on Circuits and Systems, pp3878-3881, 2006
- [13] K.-C. Cho, J.-J. Kim, A comparative study of medical image applications: compression and transmission, Journal of Korean Industrial Information Systems Society, Vol. 12 No. 5, pp14-22, 2007

## 자자소개



이혁재

1987년 2월 서울대학교 전자공학 학사  
 1989년 2월 서울대학교 전자공학 석사  
 1996년 12월 (미)Purdue대학교 전기컴퓨터공학 박사  
 1996년 8월 ~ 1998년 8월 (미)Louisiana 공과  
 대학 컴퓨터공학과 조교수  
 1998년 11월 ~ 2001년 2월 Intel 선임연구원  
 2001년 2월 ~ 현재 서울대학교 전기공학부 교수  
 주관심분야 : 멀티미디어 SOC 설계, 컴퓨터 구조



이광엽

1985년 8월 서강대학교 전자공학 학사  
 1987년 8월 연세대학교 전자공학 석사  
 1994년 2월 연세대학교 전자공학 박사  
 1987년 9월 ~ 1989년 8월 한국실리콘(주) 연구원  
 1989년 9월 ~ 1995년 2월 현대전자산업(주) 선임  
 연구원  
 1995년 3월 ~ 현재 서경대학교 컴퓨터공학과 교수  
 주관심분야 : 그래픽 SOC 설계, 임베디드 시스템

## 자자소개



최준림

1986년 연세대학교 전자공학 학사  
 1988년 (미) Cornell대학교 전기전자공학 석사  
 1991년 (미) Minnesota대교 전기전자공학 박사  
 1991년 ~ 1997년 LG전자기술원 책임연구원  
 1997년 ~ 현재 경북대학교 전자전기컴퓨터공학부  
 교수

주관심분야 : 영상압축코덱 SOC 설계, Network 정  
 보보호 SOC 설계



이재범

1988년 연세대학교 전자공학 학사  
 1990년 서울대학교 전자공학 석사  
 1996년 (미)Columbia 대학 전자공학 석사  
 2000년 (미)Columbia 대학 전자공학 박사  
 1999년 7월 ~ 2001년 2월 C-Cube  
 Microsystems, Senior  
 Engineer  
 2001년 2월 ~ 2001년 10월 SolidStreaming,  
 Engineering Manager  
 2001년 10월 ~ 2003년 10월 Mamurian  
 Design, Engineering Director  
 2003년 10월 ~ 2005년 10월 Intel, Architect  
 2005년 10월 ~ 현재 Sarnoff, Technical Staff  
 주관심분야 : Video standard compression  
 system implementation 및 IPTV