



디스플레이 구동회로 기술

권오경 (한양대학교)

I 서론

1897년 독일의 물리학자 브라운에 의해서 개발된 브라운관은 CRT(cathode ray tube)로 발전하여 1990년대까지 텔레비전, 컴퓨터 모니터를 비롯하여 각종 전자기기의 디스플레이 장치로서 보편적으로 사용되었다. CRT 디스플레이는 1990년대 초부터 등장한 휴대폰, 노트북, PDA와 같은 개인 정보화 기기, 40인치 이상급의 대형 디스플레이 장치와 같은 새로운 시장이 나타나면서 경량화, 소면적화, 저전력화 특성을 갖춘 액정 디스플레이(liquid crystal display; LCD), 플라즈마 디스플레이(plasma display panel; PDP), 유기발광 다이오드(organic light emitting diode; OLED)와 같은 평판 디스플레이로 대체되기 시작하였다.

1990년대 중반에 들어서는 인터넷과 같은 정보망의 발달에 의해 개인이 접할 수 있는 정보의 양이 방대해지고, 그 종류도 다양해짐에 따라 디스플레이는 단순하게 화면만을 보여주는 목적에서 디스플레이를 통한 정보의 수집 및 교환이 가능한 정보 디스플레이로 발전하고 있다. 최근 보급되기 시작한 인터넷과 방송의 통합 형태인

IPTV는 디스플레이 장치를 통해 사용자가 원하는 정보를 얻고 또한 데이터 전송이 가능한 정보 디스플레이의 일례이다. 이 같은 추세에 따라 텔레비전과 같은 용도의 대형 디스플레이에서는 가로 1920 세로 1080개 화소 개수를 갖는 FHD(full high definition) 규격의 16배인 3천 2백만 화소인 UD(ultra definition) 규격의 고해상도, 10비트 이상의 고계조 색 표현이 가능한 디스플레이가, 중소형 디스플레이에서는 휴대기기의 발전과 함께 주변의 빛을 감지하여 화면의 밝기를 조절하고 간단한 명함을 스캔 할 수 있는 등의 스마트 기능이 요구되고 있다. 이처럼 평판 디스플레이 산업은 정보 기술 사회로 진입과 더불어 빠른 속도로 성장하고 있으며, 우리나라의 미래 주요 산업으로서 위치를 확고히 하고 있다.

이러한 평판 디스플레이에 영상을 표시하기 위해서는 우선적으로 대상을 카메라 또는 캠코더 등의 영상획득 장치를 통해 영상 정보를 받아야 한다. 수신된 영상 정보는 디스플레이 시스템으로 전달되어 포맷, 타이밍 정보, 화질 향상을 위한 영상 신호 처리(Image Signal Process) 과정을 거친다. 그 다음으로 영상 신호 처리가 된 전기적 영상신호는 각각의 디스플레이 장치에

맞게 변환이 되어 패널로 전달되게 된다. 디스플레이 구동회로에서 하는 일은 이러한 일련의 과정을 거치면서 전기적 영상신호가 각각의 디스플레이 장치에 맞게 변환이 되어 영상을 구현하게 하는 기술을 의미한다.

LCD, PDP, OLED등의 각각의 디스플레이 장치에서 구동회로는 디스플레이 소자의 특성에 따라서 구동전압 또는 전류가 정하여 진다. 일반적으로 디스플레이 소자는 구동하는데 고전압이 필요하게 되며, 구동회로를 어떻게 구성하느냐에 따라서 화질과 소비 전력 측면에서 큰 차이를 나타낸다. 따라서 우수한 화질과 저 소비 전력의 디스플레이 장치를 구현하는데 있어서 구동회로 기술개발의 중요성이 커지고 있다. 이러한 구동 기술은 구동회로 LSI를 통해 구현이 되기 때문에 구동 LSI용 반도체 공정, 소자 기술과 회로 설계 기술 모두가 요구된다. 특히 구동회로는 고전압 회로와 저전압 회로를 같은 칩 내에 집적할 뿐 아니라 디지털 회로와 아날로그 회로를 같은 칩 내에 집적하는 고전압 혼성모드 집적회로이다. 이 구동LSI는 디스플레이 시스템을 구성하는데 핵심적인 부품으로써 제품 원가에도 큰 영향을 미치기 때문에 저가격화 기술이 요구되고 있는 실정이다. 따라서 구동LSI당 출력단자수의 증대, 칩 면적 감소, 수율 향상 등이 매우 중요한 관건이 된다.

LCD의 구동은 게이트 구동회로와 데이터 구동회로로 구분되며, 게이트 구동 전압은 20~40V 정도이며, 데이터 구동전압은 액정모드에 따라서 10~18V의 전압을 사용하고 있다. PDP의 경우에는 스캔 드라이버 회로와 데이터 드라이버 회로로 구성되며, 스캔전압은 120~180V 정도이며, 데이터 구동전압은 60~80V정도를 사용하고 있다. AMOLED의 구동전압은 화소회로에 따라

서 다르나 LCD의 구동전압보다 낮은 전압으로 구동할 수 있다. 본고에서는 다양한 평판디스플레이의 종류별로 구동회로를 설명하는 것은 지면관계상 바람직하지 않아 가장 많이 사용되고 있는 AMLCD (Active Matrix LCD; TFT-LCD)에 대한 구동회로에 대한 설명을 하고자 한다. AMOLED의 전압기입방식인 경우에는 AMLCD의 구동회로와 유사하다. AMOLED의 전류기입방식의 경우에는 참고문헌^{12,3)}과 PDP의 경우에는 이미 발표된 논문^{4,5)}을 참고하면 쉽게 이해할 수 있을 것으로 본고에서는 생략하고자 한다.

II. LCD의 동작 원리 및 구동 시스템

액정은 한 쪽 방향으로 길고, 전기 분극을 띤 물질로 상판과 하판의 배향막에 액정의 한쪽 끝을 고정시켜 특정한 방향으로 배열될 수 있도록 되어 있다. 액정은 방향에 따라서 전기적 광학적 특성이 다른 이방성을 지니고 있으며, 액정 양단 사이에 인가된 전압에 의하여 전체의 방향으로 배열하려는 특성을 가지고 있다. 이러한 분극현상 때문에 전압을 걸어주면 액정 분자의 배열 기울기가 달라져 빛의 투과율을 조절한다. 자연광 같은 경우 빛은 모든 방향으로 진동하므로, 투과율을 조절할 수 없다. 그래서 액정의 하판과 상판의 양쪽 밖에 편광판을 배치하여 일정한 방향으로 진동하는 빛만 통과시킨다.

상판과 하판의 편광판의 방향을 90도 엇갈리게 배치하게 되면, 액정에 전압이 인가되지 않으면 액정은 <그림 1>(가)에서 보는 바와 같이 하판으로부터 상판까지 90도 꼬이게 된다. 그러면 하판에서 편광판의 배치에 따라서 x축으로 진동하

는 빛이 액정으로 입사되고 입사된 빛은 액정을 통과되면서 90도 꼬이게 되고 상판의 편광판이 y축 방향으로 배열되어 있기 때문에 액정을 통과한 빛은 상판을 통과하여 위로 나오게 된다. 액정 양단에 일정 전압이상이 인가되어 <그림 1>(나)에서 보는 바와 같이 액정이 전계의 방향으로 배열되어 하판의 편광판을 통과한 빛이 상판에 그대로 도달되면, 상판의 편광판이 90도 회전되어 있기 때문에 빛이 통과하지 못하게 된다. 이러한 상태를 정상 화이트 모드(normally white mode) 액정이라고 한다.

상판과 하판의 편광판을 같은 방향으로 배열하게 되면 액정 양단에 전압이 인가되지 않은 경우 하판을 통과한 x축 방향으로 진동하는 빛이 액정을 통과하면서 90도 꼬여서 y축으로 진동하는 빛은 상판의 편광판이 x축 방향으로만 진동하는 빛만 통과하도록 되어 있어 빛은 상판으로 투과하지 못한다. 이러한 배열의 구조를 정상 블랙 모드(normally black mode)라고 한다.

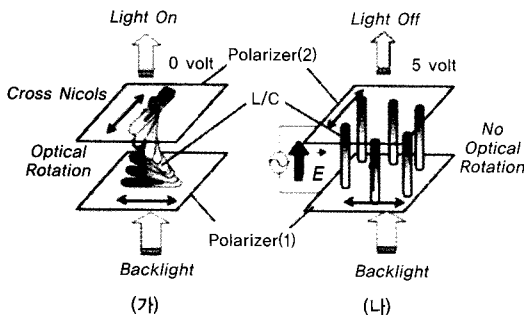
액정은 분극현상으로 인하여 액정은 인가된 전압에 따라서 전계의 방향으로 나열하려는 특

성을 갖는다. 그러나 하판과 상판의 배향막에 한쪽 끝이 고정된 액정은 인가되는 전압에 의하여 꼬이는 각도가 달라진다. 꼬이는 각도가 달라짐에 따라서 빛의 투과도가 달라진다. 따라서 액정의 투과도는 액정 양단에 인가된 전압에 따라서 조절할 수 있다.

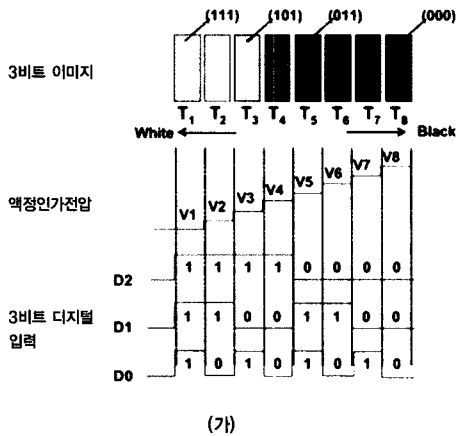
앞에서 설명했듯이, 적절한 전압을 인가하여 액정에서 빛의 투과율을 제어할 수 있는데, 이를 이용하여 빛의 밝기를 조절하여 영상을 표시한다. 정상 화이트 모드 액정에서 전압과 투과율의 관계를 개략적으로 <그림 2>(나)에 나타내었다. 원하는 영상의 밝기에 대응하는 전압을 <그림 2>(나)의 투과도-전압 곡선에서 보는 바와 같이 액정에 인가도록 하면 원하는 계조(gray scale)를 표시할 수 있다.

일반적으로 비디오 신호는 디지털 영상신호를 사용하게 되는데 반하여 액정에 인가하는 전압은 아날로그 전압이다. 예로, <그림 2>(가)는 TN 액정의 3비트 계조 표시에 대하여 나타내고 있다. 즉, 3비트 디지털 정보에 의해 8개의 액정 전압과 계조를 생성한다. 계조사이의 투과율 차이가 일정하게 하기 위해서는 액정 전압과 투과율 사이의 관계가 비선형적인 관계가 있다. 3비트의 디지털 비디오 신호에 대하여 해당되는 아날로그 전압을 <그림 2>(나)의 x축에 기준전압으로 표시하였으며, 이들 8개의 기준전압들은 <그림 2>(나)에서 보는 바와 같이 중간 계조에서는 간격이 작고, 낮은 계조와 높은 계조에서는 간격이 넓은 것을 볼 수 있다.

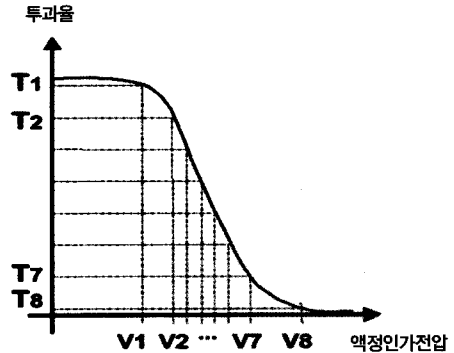
3비트의 디지털 영상신호를 이용하여 R, G, B의 색의 계조를 표시하면, 총 $512(2^3 \times 2^3 \times 2^3)$ 개의 색을 표현 할 수 있다. 따라서, n-비트의 디지털 영상신호로 표현할 수 있는 색의 수는 2^{3n} 이 된다.



<그림 1> 정상 화이트 모드의 (가) 액정 양단에 전압이 인가되지 않은 경우 빛이 하판에서 상판으로 통과하는 경우 (나) 액정 양단에 일정 전압이상이 인가된 경우 빛이 차단되는 경우



(가)



(나)

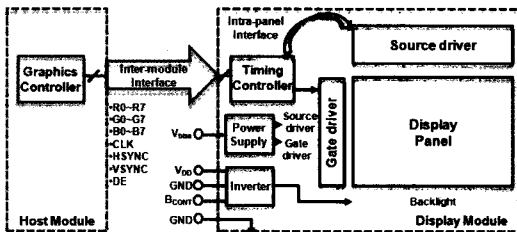
〈그림 2〉 TN 액정에서의 3비트 계조 표현 방법 (가) 3비트 계조 표시에 따른 데이터와 액정 전압의 관계 (나) 액정 전압과 빛의 투과율과의 관계

LCD 구동 시스템은 <그림 3>과 같이 구성되어 있다. LCD 패널은 화소, 구동 드라이버, 그리고 백라이트 램프(back-light lamp)로 구성되어 있다. 외부 입력으로는 패널을 동작시키기 위한 DC 전원이 필요하고, 계조를 표현할 수 있는 디지털 영상신호, 그리고 시스템 동기화를 위한 클럭 등이 있다.

컨트롤 ASIC에서는 클럭과 영상신호를 받아 시스템의 구동 타이밍을 맞추어 화소에 영상신호가 기입될 수 있도록 게이트 구동 회로와 데이터 구동 회로를 제어하는 역할을 한다. DC/DC

컨버터(converter)에서는 시스템에서 필요한 전압을 만들어준다. 게이트 구동 회로와 데이터 구동 회로는 타이밍과 영상신호에 의해서 수많은 화소들을 구동하는 역할을 한다.

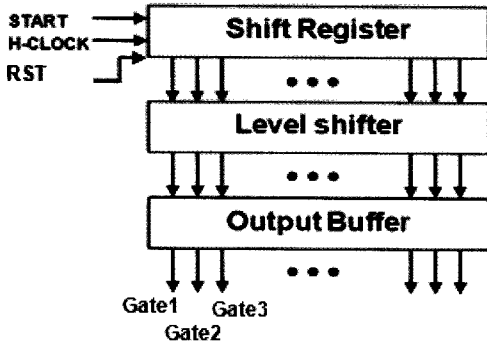
TFT-LCD용 화소 구동원리는 행 신호선에 턴온 신호가 인가되면 한행의 화소의 TFT가 모두 켜지게 된다. 그때 열 신호선에서 들어오는 영상신호가 각각의 화소에 인가되고, 커패시터에 의해 저장된다. 그 후 행 신호선의 턴온 신호는 다음 행으로 넘어가고, 화소의 TFT가 꺼지게 된다. 액정은 한 프레임 시간 동안 커패시터에 저장된 전압이 계속 인가되어 다음 프레임까지 값을 유지하게 된다.



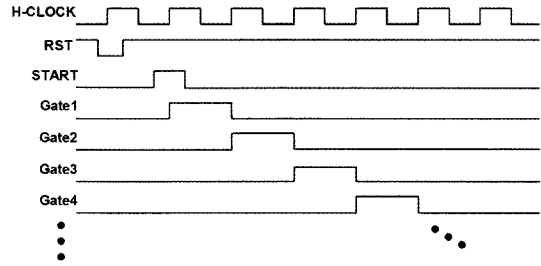
〈그림 3〉 LCD 디스플레이 시스템 구성도

III. 게이트 구동 회로

게이트 구동 회로의 구조는 <그림 4>(가)와 같다. LCD의 화소는 행열 구조를 이루고 있다. 각각의 화소를 구동시키기 위해서, 신호선도 행과 열



(가)



(나)

<그림 4> 게이트 구동 회로의 (가)블록 다이어그램과 (나) 신호의 타이밍도

로 배치가 되어 있는데, 게이트 구동회로는 타이밍에 따라 차례대로 각각의 행 신호선에 전압을 인가하게 된다. 상단부터 하단의 행 신호선 까지 순차적으로 신호를 보내기 위한 시프트 레지스터와 화소를 켜기 위한 전압레벨을 높은 전압으로 만들어주는 레벨 시프터, 그리고 만들어진 전압을 큰 부하를 가진 게이트 라인에 빠르게 충전/방전하기 위한 출력 버퍼로 구성되어있다. 게이트 구동 회로에 대한 출력 파형은 <그림 4(나)>와 같으며 동기 신호에 의해 순차적으로 출력 신호를 발생시킨다.

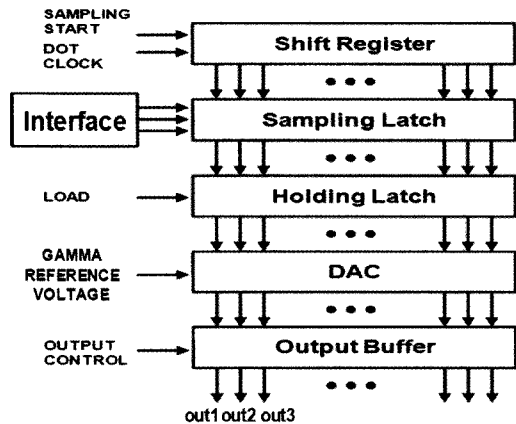
를 통해 변환된 아날로그 신호는 각 channel의 아날로그 버퍼를 통하여 각 채널의 출력 부하를 구동하게 된다. 또한 인접한 chip과의 interface를 위해 사용되는 신호로 구성되어 있다. 각 주요 세부블록에 대해서 알아본다.

1. 인터페이스 시스템

디스플레이의 발달에 따라 표현해야 하는 정보량이 증가하고 이러한 정보를 효율적으로 표

IV. 데이터 구동 회로

<그림 5>은 데이터 구동 회로의 구조를 나타내고 있다. 구동회로는 인터페이스, 디지털 컨트롤, DAC, 그리고 아날로그 버퍼로 구성되어 있다. Timing controller로부터 영상 신호와 제어 신호를 인터페이스를 통해 입력 받아서 내부 control logic을 거치게 된 data는 reference 전압을 이용한 DAC를 거쳐 아날로그 신호로 변환된다. DAC

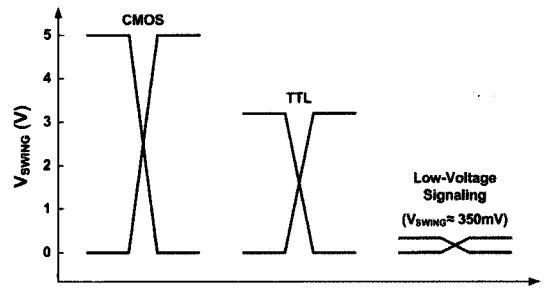


<그림 5> 데이터 구동회로의 블록 다이어그램

현하기 위하여 대화면, 고해상도 디스플레이 장치가 개발되고 있다. 제한된 시간 안에 대량의 정보를 제한된 배선을 통하여 전송하기 위해서는 고속 인터페이스 기술이 중요하다.

이미지 데이터 전송에 있어서 CRT가 아날로그 인터페이스를 적용한 반면에, 평판디스플레이(Flat Panel Display; FPD)는 디지털 인터페이스를 적용하였다. 디지털 인터페이스는 아날로그 인터페이스보다 잡음 특성에 매우 강한 특성을 가지고 있다. 이로 인해 디지털 인터페이스는 데이터 전송에 있어서 에러의 가능성이 매우 적게 나타난다.

초기의 FPD는 CMOS/TTL 크기의 디지털 신호를 이용하였다. 이것은 데이터의 'low'와 'high'의 크기를 접지와 전원 전압을 이용하여 구분하였다. 이러한 CMOS/TTL 크기의 인터페이스 방식은 VGA 해상도 이하의 저계조 표현에는 사용되었으나 디스플레이의 해상도와 계조가 증가함에 따라 이 방식을 적용하는 것은 어렵게 되었다. 화소의 클럭 주파수는 해상도의 증가에 비례하여 증가하게 된다. 예를 들어 60Hz의 8비트 영상신호를 갖는 FHD의 해상도의 경우 클럭 주파수는 $(60 \times 1920 \times R,G,B \times 1080)$ 로 373Mhz를 상회하게 된다. 이런 고속 신호가 PCB 나 케이블을 통해 전송될 경우, 신호 채널(signaling channel)은 전송 라인(transmission lines)으로 보이게 된다. 그리고 신호 무결점(signal integrity)은 반사 잡음과 crosstalk 잡음을 반드시 고려해야 한다. CMOS/TTL 크기의 신호 전송 시스템은 임피던스 매칭(impedance matching)이 없이 좋은 신호 무결점을 유지하기 어렵다. 또한 CMOS/TTL 크기의 신호 전송 시스템은 큰 전압의 변동으로 심각한 EMI/EMC 문제를 발생시키고 전력 소모가 큰 문제가 있다. 이를



<그림 6> CMOS/TTL 레벨 신호 전송 방식과 저전압 신호 전송 방식의 전압폭 비교

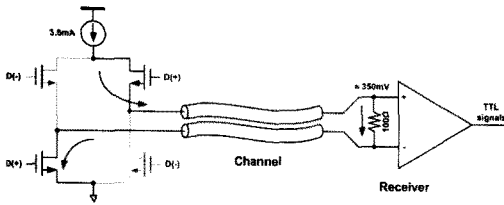
해결하기 위해서 <그림 6>과 같이 CMOS/TTL 레벨 신호 전송 방식에 비해서 전송 신호 폭을 수백 mV로 제한하여, 고속 전송에 유리하도록 하며, 신호의 파워를 감소시켜 EMI문제를 해결할 수 있다.

<그림 3>에서 호스트 모듈과 FPD 모듈간에 고속 인터페이스 방식은 LVDS(low-voltage differential signaling)^[6], DVI(digital video interface)^[7], HDMI(high definition multimedia interface)^[8] 그리고 DisplayPort^[9] 등이 제안되었다. 또한 timing controller와 데이터 구동 LSI 사이에는 RSDS(reduced swing differential signaling)와 mini-LVDS 그리고 PPDS(point-to-point differential)^[10]방식이 제안되었다.

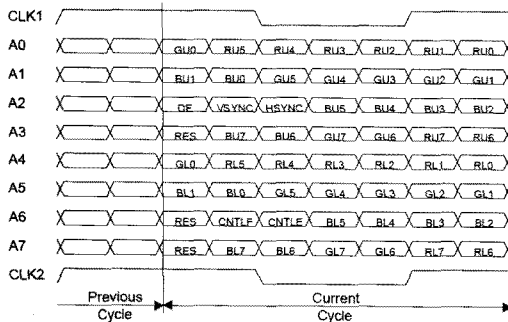
가. LVDS

디스플레이 시스템은 크게 그래픽 제어기와 모듈 사이의 통신과 모듈 내에서 TCON과 패널 사이의 통신으로 구분된다. ANSI TIA/EIA와 IEEE에 의해 표준화 된 LVDS는 그래픽 제어기와 모듈 사이의 통신에 사용되며, 고속 전송 및 EMI(Electromagnetic Interference) 문제를 해결하기 위해서 제안되었다. LVDS는 전송 신호

폭을 250mV~450mV로 제한하여, 고속 전송에 유리하며, 신호의 파워를 감소시켜 EMI문제를 해결할 수 있다. LVDS는 <그림 7>와 같은 전류 push-pull 방식의 송신기와 종단 저항을 이용한 전압 센싱 방식의 수신기로 구성된다. 수신기는 송신기에서 생성된 전류의 방향에 의해서 '0'과 '1' 심볼을 판단한다. LVDS의 전송 신호 폭은 송신기의 전류량과 종단 저항에 의해서 결정되는데, 종단 저항은 임피던스 정합을 위해서 100Ω을 사용하기 때문에, 송신기에서는 3.5mA의 전류를 전송한다. LVDS는 <그림 8>과 같이 한 클럭 주기 동안에 7-bit 신호를 한 패킷으로 하여 다채널로 전송한다. <그림 8>은 24-bit 듀얼 픽셀 전송 시 각 패킷의 구성을 나타낸다. 전체 8패킷을 전송하는데 각 패킷에는 두 개의 24-bit



<그림 7> LVDS 인터페이스의 송/수신기 구성

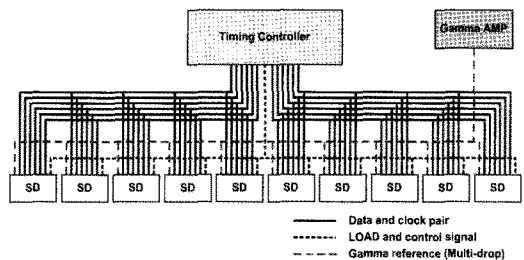


<그림 8> 24-bit 듀얼픽셀 전송 시 LVDS 데이터 프로토콜

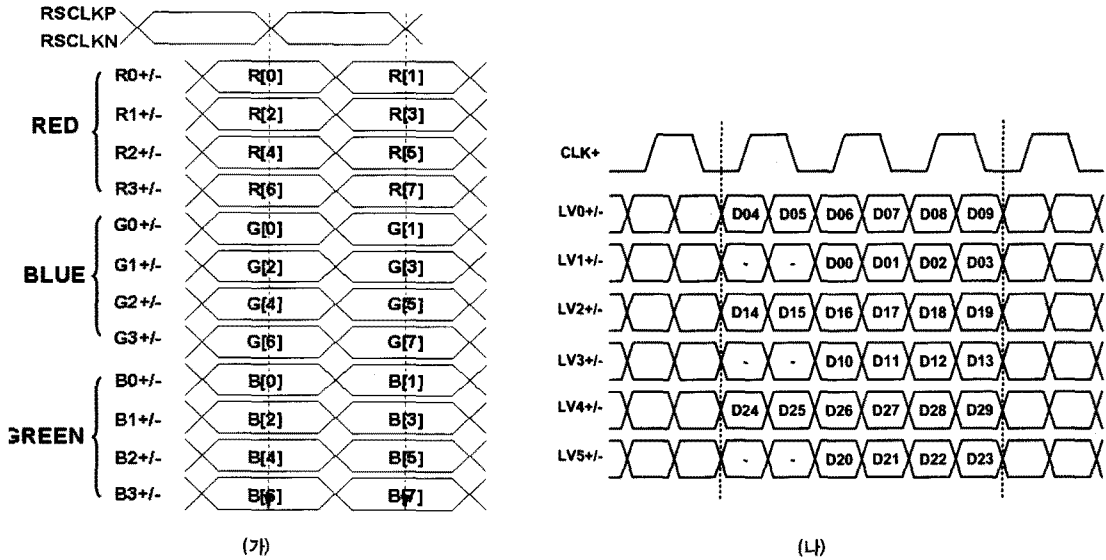
RGB데이터와 DE, VSYNC, HSYNC 등의 신호가 포함되어 있다.

나. RSDS, mini-LVDS

Timing controller (TCON)와 패널 사이의 통신에서 사용되는 대표적인 고속 전송 기술은 RSDS와 mini-LVDS이다. TCON은 다수의 데이터 드라이버와 통신을 하기 때문에 <그림 9>와 같이 multi-drop 방식으로 채널을 구성한다. RSDS와 mini-LVDS는 LVDS를 기반으로 표준화된 기술이기 때문에 전기적인 특성과 신호전달 방식이 같고, 전압의 범위와 세부 특성만 다르다. RSDS는 200mV의 전송 신호폭을 이용하고 170Mbps의 데이터를 전송할 수 있는 반면, mini-LVDS는 200mV~600mV의 전송 신호폭을 이용하고 400Mbps를 전송할 수 있다. 두 기술의 데이터 프로토콜은 <그림 10>과 같으며, 클럭 신호의 상승/하강 시 1-bit 씩의 데이터가 전송된다.



<그림 9> RSDS와 mini-LVDS를 사용한 TCON과 데이터 드라이버 사이의 인터페이스 구성



<그림 10> RSDS와 mini-LVDS 데이터 프로토콜. (가) RSDS 데이터 프로토콜, (나) mini-LVDS 데이터 프로토콜

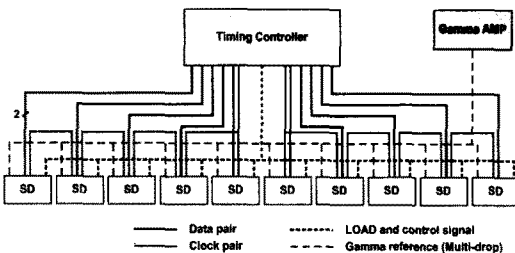
다. PPDS

RSDS와 mini-LVDS는 TCON이 다수의 데이터 드라이버에 데이터를 전송하기 위해서 multi-drop 방식을 사용한다. Multi-drop 으로 채널을 구성하면, stub에 의한 임피던스 불연속점으로 신호의 반사현상이 발생하여, 신호의 전압 및 시간 마진이 감소한다. 이는 데이터의 전송 속도가 높아질수록 심화되어, 고속 전송이 어려워진다.

이를 해결하기 위해서 PPDS는 point-to-point 방식을 이용한다. PPDS는 TCON과 드라이버가 하나씩 연결되어 skew를 없애고, <그림 11>과 같이 동시에 신호가 전달되므로 데이터 기입시간을 확보할 수 있기 때문에 50인치 WUXGA (1920×1200) 이상의 대형패널, 고해상도, 고계조에 적용 가능하다.

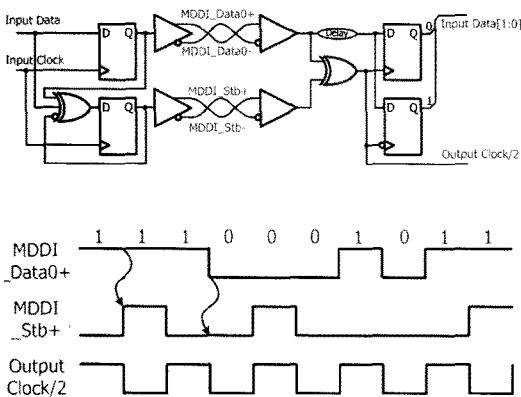
라. MDDI, MIPI

휴대기기용 디스플레이 장치도 연결선 구조를 간단하게 하고 고계조, 고해상도와 같은 디스플레이 요구를 만족시킬 뿐 아니라 카메라 또는 MP3플레이어와 같은 주변기와 연결하는 인터페이스를 하나의 형태로 통합하기 위한 고속 인터페이스 방식이 제안되고 있다. 여러 종류의 모바일 디스플레이용 인터페이스 방식들이 제안되었지만, 최근에는 MDDI와 MIPI의 두 가지 기술



<그림 11> PPDS를 사용한 TCON과 데이터 드라이버 사이의 인터페이스 구성

로 압축되어지고 있는 실정이다. MDDI의 경우 <그림 12>에 나타낸 바와 같이, 클럭 신호와 데이터 신호를 전송하는 대신, 신호의 천이회수가 최소화 되도록 엔코딩 하여 데이터 신호와 스트로브(stb) 신호를 전송하는 방식을 사용하며 이 두 신호간의 관계를 이용하여 클럭 신호를 복원한다. 신호의 천이회수를 줄여 신호를 전달하는데 소요되는 소비전력을 줄일 수 있는 장점은 있으나, 한 쌍의 데이터 전송선의 최대 전송 속도가 400Mbps 정도로 제한되어 있어 더 높은 데이터 전송율을 얻고자 할 때에는 전송 채널의 개수를 증가시켜야 한다. 또한 클럭 신호를 전송하지 않더라도 데이터와 스트로브 신호를 전송해야 하기 때문에 전송선의 개수를 줄이는 측면에서는 큰 장점을 찾을 수 없다. MIPI의 경우, 비교적 저속의 데이터를 전송하기 위한 단일 모드 신호 전송 방식과 고속의 데이터를 전송하기 위한 차동 신호 전송 방식을 지원하는데 아직 그 세부 규격을 완성해 가는 상태이다.



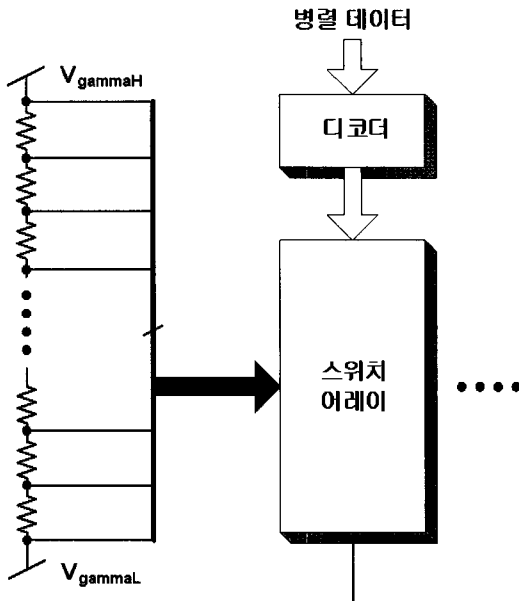
<그림 12> MDDI인터페이스의 물리계층 시스템 구성도 및 데이터신호와스트로브(Stb) 신호의 타이밍도

2. Digital-to-Analog Converter (DAC)

데이터 드라이버로 입력된 디지털 신호는 Digital-to-Analog Converter (DAC)에서 아날로그 신호로 변환되고, 이렇게 변환된 아날로그 신호는 출력 버퍼를 통하여 패널로 전달된다. 일반적으로 많이 사용되고 있는 LCD에서 액정 특성에 의해서 전압과 액정의 빛 투과율은 비선형적인 관계가 있다. 그래서 투과율을 일정한 간격을 유지하도록 계조간 전압을 적절히 설정하게 된다. 또한 인간의 시각 특성이 어두운 화면에서는 밝기 차이를 쉽게 구분하지만, 밝은 화면에서는 밝기 차이는 잘 구분하지 못하기 때문에, 인간의 시각 특성을 고려한 빛 투과율 조절이 필요하다. 이러한 일련의 조정 과정을 Gamma-correction이라고 하며, 이 과정의 수행에 저항열을 이용하여 각 계조간 적절한 전압을 생성하게 된다. 그래서 일반적인 데이터 드라이버에서는 한 개의 저항열을 이용하여 각 채널 별로 디코더(decoder)를 갖는 DAC의 구조가 사용되고 있다.

데이터 드라이버에 적용되는 저항열 DAC를 이용한 구현 방법은 다음과 같다. N-bit DAC를 구현하기 위해서는 저항열을 이용하여 2N개의 전압을 발생시키고, N개의 디지털 입력 신호에 대응하는 디코더를 이용하여 입력에 해당하는 아날로그 신호를 출력하는 것으로 구현되어 있다. 이와 같은 디코더를 사용한 저항열 타입 DAC의 종류는 디코더의 구성에 따라 ROM 형태의 DAC, Tree 형태의 DAC, 그리고 folded 형태의 DAC로 분류된다.

<그림 13>는 저항열과 ROM 타입의 디코더로 구현된 DAC의 회로도이다. 저항열은 외부에서 인가된 기준 전압과 접지 사이에 존재하여 입력 디지털 신호에 의해 오직 하나의 경로만이 선택



〈그림 13〉 ROM 형태의 디코더와 저항열을 이용한 8-bit DAC의 회로도

되고 선택된 경로는 연산 증폭기로 이루어진 출력버퍼를 통해서 출력된다.

이와 같은 저항열을 사용한 DAC의 경우는 1-bit 계조의 증가에 대해 디코더의 면적은 2배로 증가하게 된다. 6-bit 계조를 갖는 드라이버에서 디코더가 갖는 면적은 칩 전체 면적의 약 40%~50% 정도로서 매우 많은 비중을 차지하고 있으며, 이를 10-bit 이상의 계조로 설계할 경우, 디코더 면적이 6-bit 계조의 16배 이상이 되어 chip의 면적이 매우 커지게 된다.

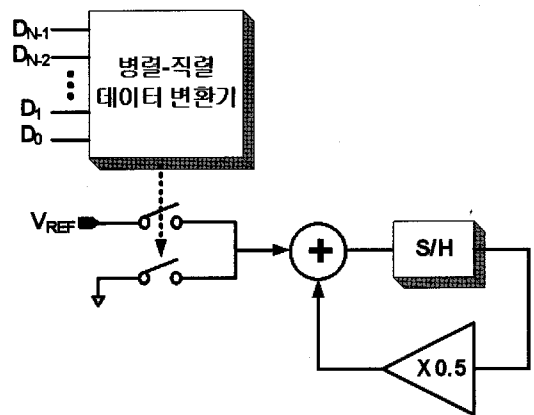
이러한 문제점을 해결하기 위하여 커패시터를 이용한 사이클릭(cyclic) DAC, 두 가지 형태의 DAC를 이용하여 한 개의 DAC를 구현한 하이브리드 DAC가 제안이 되었다. 하이브리드 DAC에는 대표적으로 저항열-커패시터 DAC, 저항열-저항열 DAC, 그리고 DAC를 내재한 연산 증폭기 회로 등이 있다.

가. 사이클릭(Cyclic) DAC

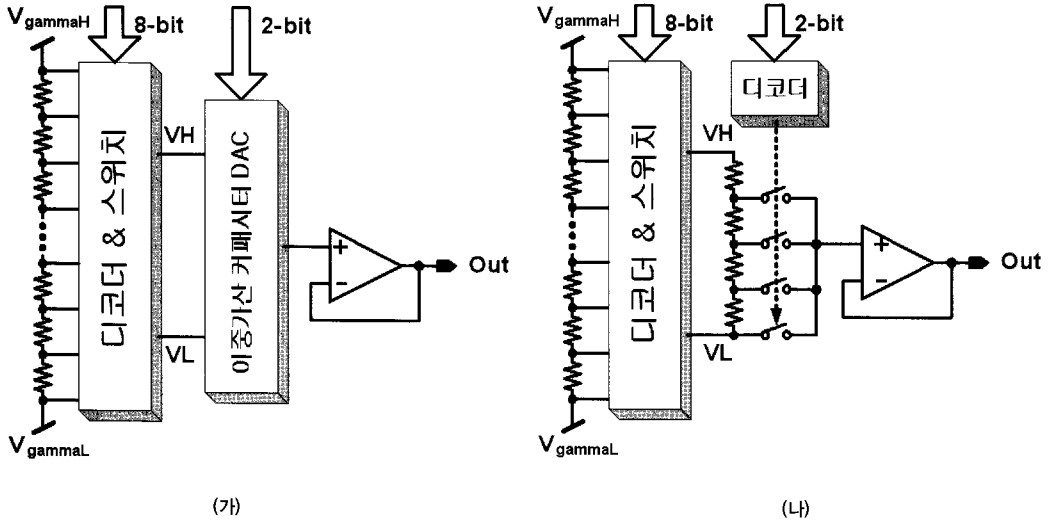
〈그림 14〉는 커패시터를 이용한 사이클릭(cyclic) DAC를 나타낸 그림이다^[11]. 구동회로의 해상도는 DAC에서 주기연산(cycle operation)의 수에 의해서 결정된다. 주기연산은 2단계로 구성이 된다. 첫 번째 단계는 입력 디지털 신호와 관련된 아날로그 전압을 샘플링 한다. 두 번째 단계는 샘플링 커패시터의 저장된 전하를 공유한다. 이 회로는 간단하고 면적 면에서 효율적인 구조이다.

액정의 감마를 보정하기 위하여 사이클릭 DAC의 출력은 디지털적으로 수정이 되어야 한다. 그래서 DAC의 해상도는 2~3bit 정도 증가한다. 병렬 데이터를 입력으로 하는 DAC와는 달리 한번에 1-bit만 처리 할 수 있기 때문에 N-bit 데이터를 변환하는데 N주기(cycle)가 필요하다. 그래서 면적을 늘리지 않고 계조를 증가시킬 수는 있지만, 데이터 변환 시간도 함께 증가한다.

〈그림 15〉는 하이브리드 형태 DAC의 대표적인 예이다. 저항열 형태의 DAC의 경우 8-bit DAC에서 10-bit DAC로 계조를 증가시키면 면



〈그림 14〉 사이클릭(Cyclic) DAC



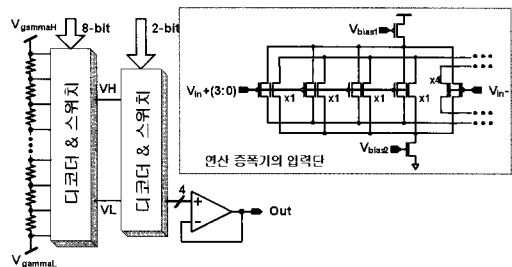
〈그림 15〉 하이브리드(hybrid) DAC (가) 저항열-커패시터 DAC (나) 저항열-저항열 DAC

적이 4배이상 늘어나지만, 하이브리드 형태로 계조를 증가시키면 약간의 면적만 늘어나면서 10-bit DAC를 구현 할 수 있다. <그림15>(가)는 저항열과 이중가중 커패시터로 구현이 된 DAC이다^[12]. 저항열로 상위8-bit을 표현하고 이중가중 커패시터로 하위 2-bit을 표현한다. V_H 과 V_L 은 8-bit저항열 DAC의 인접한 출력값이다. 2-bit 커패시터DAC는 V_H 와 V_L 전압차를 4가지 레벨로 나눈다. 이 회로는단순한 형태이지만 실제 스위치의 사이즈와 커패시터의 사이즈를 최적화 시키는 일이 쉽지 않다.

<그림 15>(나)는 저항열 DAC를 2개 사용하여 하이브리드 형태를 구현하였다^[13]. 두번째 DAC의 저항열을 독립적으로 구현하기 위하여 두개의 DAC사이 에 단위 이득 연산 증폭기를 제거하였다. 그리고 V_H 와 V_L 은 저항열-커패시터DAC에서와 같은 의미이고 두번째 저항열DAC에 의 하여전압이 4가지 레벨로 나누어 진다.

다. DAC를 내장한 연산 증폭기 회로

<그림 16>는 DAC와 DAC 기능을 내장한 연산 증폭기 회로도이다^[14]. 저항열 DAC로 상위8-bit을 구현하였고 출력버퍼의 역할을 하는 단일 이득 연산 증폭기가 하위 2-bit DAC 기능도 함께 수행한다. 이 회로는차등 연산 증폭기의 양쪽 노드의 인가된 전압을 선형적으로 나누기 위하여 차등 증폭기의 컨덕턴스를 사용한다. 회로의 선



〈그림 16〉 DAC를 내장한 연산 증폭기

형적 동작 범위는 100mV~300mV이고 차등 증폭기의 트랜지스터 사이즈에 의존적이다. 연산 증폭기 내에 내장된 DAC는 출력 전압을 구분하기 위해서 따로 저항과 커패시터를 사용하지 않는다.

3. 출력 버퍼

단일 이득 연산증폭기는 FPD의 구동 회로의 최종 출력단을 구성하게 되며, DAC로부터 계조에 따른 영상 신호 전압을 입력 받아 높은 용량성(capacitive) 부하로 모델링 되는 디스플레이 패널의 데이터 라인 및 화소를 구동하는 아날로그 버퍼로서 역할을 하게 된다. 이때 단일 이득 연산 증폭기의 전압 편차(voltage offset)로 인해 DAC로부터 입력 받은 영상 신호 전압과 단일 이득 연산 증폭기의 출력 전압 간에 편차 전압이 발생하게 되면, 정확한 계조를 표현할 수 없게 되며, 계조의 수가 증가 할수록 계조 간 전압 간격이 더욱 작아지게 되므로 매우 낮은 전압 편차를 갖는 단일 이득 연산 증폭기를 필요로 하게 된다.

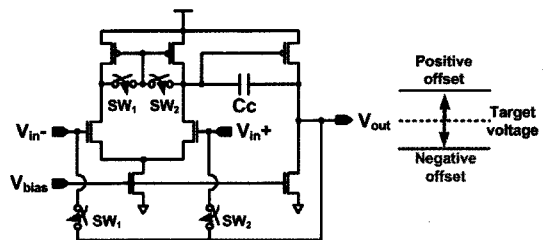
그래서 일반적으로 사용되는 구동용 연산 증폭기는 80dB 이상의 큰 open-loop gain을 갖도록 설계한다. 하지만 1-stage 구조의 연산 증폭기는 open-loop gain이 약 30dB~60dB 정도로 낮고, 슬루율은 정상 상태 전류(quiescent current)의 크기에 비례하며 부하 커패시턴스 값에 반비례하게 되므로 높은 슬루율을 갖기 위해서는 소비전력이 커져야 한다. 따라서, 100dB 이상의 높은 open-loop gain과 낮은 정상 상태 전류에서 높은 슬루율을 가지며, 비교적 간단한 2-stage 구조가 구동용 연산 증폭기로서 널리 사용되고 있다.

디스플레이 구동회로의 연산 증폭기는 다른 응용분야와 다른 독특한 요구조건을 가지게 된

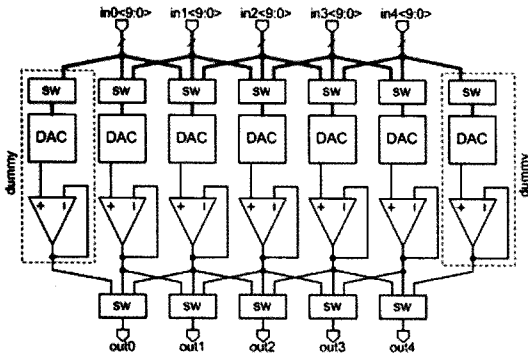
다. 이는 구동회로가 수백 개의 출력을 가지고 있고, 각각의 출력에 하나씩의 연산 증폭기를 필요로 하기 때문이다. 그래서 구동회로의 연산 증폭기는 옅은 전압, 저전력 소모, 소면적을 요구하게 된다. 디스플레이의 각 출력은 디스플레이 화면의 한 행씩을 구동하게 된다. 이로써 각 채널간의 편차는 화질에 바로 영향을 보여준다. 하나의 구동 회로는 수많은 연산 증폭기를 가지고 있기 때문에 각 연산 증폭기의 소비 전력이 조금 증가하면, 구동 회로 전체의 전력소모는 크게 증가하게 된다. 또한 면적 또한 같은 이유로 인하여 최소 면적을 요구하게 된다.

옅은 전압을 제거하는 방법은 auto-zeroing 방법과 chopping^[4] 방법을 두 가지가 널리 알려져 있다. 디스플레이 구동회로에서도 일반적으로 이 두 가지 옅은 제거 방법을 적용하여 사용한다. 먼저 auto-zeroing 방법을 적용할 때는 커패시터가 필요로 한다. 커패시터의 적용하게 되면 구동회로의 연산 증폭기에서 요구되는 소면적에 상충하기 때문에 보통의 경우 적용하지 못한다. 다만, DAC 4.2절에서 설명한 저항열과 커패시터를 이용한 하이브리드 DAC를 적용할 경우, 이진 가중 커패시터를 이용한 DAC의 경우 연산 증폭기와 같이 auto-zeroing 방법을 적용할 수 있다.

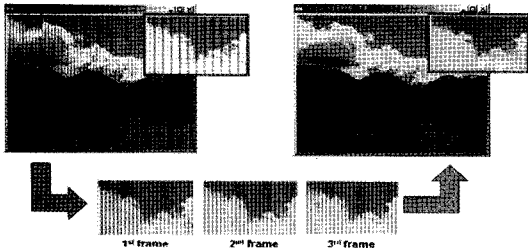
두번째로 chopping 방법을 이용할 경우, 디스



〈그림 17〉 극성 반전을 적용한 연산 증폭기의 회로도 및 출력 전압



<그림 18> 3개의 채널을 공유하는 EDM의 구성도



<그림 19> 3채널을 공유하는 EDM 방식을 적용한 시뮬레이션

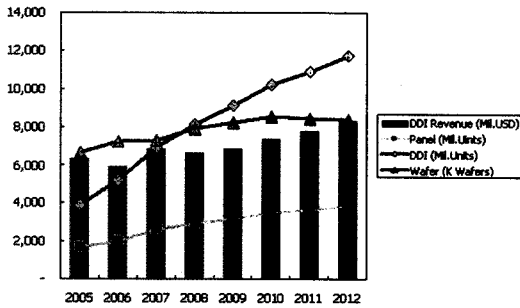
사람 눈을 통해 평균화 하여 옅색 전압이 화상에 보이지 않는 것처럼 나타내는 방식이다.

극성 반전이 각 화소에 극성을 변화시켜 평균화 한다고 하면, 공간적으로 옅색 전압에 의한 에러를 확산시켜 시간적으로 평균화하는 방식도 제안되었다. 이러한 방식을 EDM(error diffusion method)¹⁴⁾라 한다. <그림 18>에서는 EDM을 3채널에 적용한 구성도를 보여준다. 스위치 어레이를 프레임 또는 행시간 변환하여 각 연산증폭기에서 발생한 옅색 전압을 3개의 채널에 확산시키게 된다. 이러한 원리를 이용하여 임의의 에러 결과를 가지는 영상에 대해서 <그림 19>에서 모의 실험의 결과를 보여준다. EDM을 적용하기 전에 화면에는 연산증폭기의 옅색의 의한 영향으로 세로줄 무늬의 에러를 볼 수 있지만, EDM을 적용한 결과 그 에러가 확산되어 보이지 않는 결과를 보여준다.

V. DDI 시장 및 기술 전망

플레이 구동회로는 아날로그 전압을 출력하지만, 각 행의 전압을 기입할 경우 그 전압은 특정 크기의 DC 전압을 출력하게 된다. 그래서 Audio와 같이 아날로그 신호의 출력이 아니어서 chopping 방법을 적용해도 DC 옅색 전압이 제거가 되는 것이 아니다. 그래서 디스플레이에서는 flame이라는 시간 개념을 적용하여 chopping 방법을 사용하게 된다. 이를 극성 반전이라 말한다. 극성 반전¹⁴⁾은 <그림 16>에서 보듯이 chopping 방법을 통해서 옅색 전압을 목적하는 전압의 상, 하로 이동시킬 수 있다. 이러한 이동을 flame 단위로 변화함으로써 출력 전압은 옅색 전압이 상하로 시간적으로 움직이는 것을

DDI(Display Driver IC)는 Flat Panel Display 기기에서 필수적인 부품으로서 FPD 산업의 성장에 힘입어 System 반도체 산업 분야에서 중요한 축을 이루면서 성장해 왔다. 2005년까지 급속히 성장한 DDI 시장은 2005년 이후 공급 과잉 상태가 형성되어 급속한 가격하락과 더불어 2006년에는 소폭의 역 성장을 하면서 업체 사이의 재편이 가속화되었다. 이후 2008년 상반기까지 LCD의 물량 성장과 더불어 다시 매출이 증가되었으나, 하반기 세계 경제의 전반적인 하락세로 다시 어려운 상황을 맞고 있다. 하지만 전반적인 경제상황의 회복을 전제로 업계의 재편이 이루어지고 있고, 또한 2010년 이후 wafer당 매출



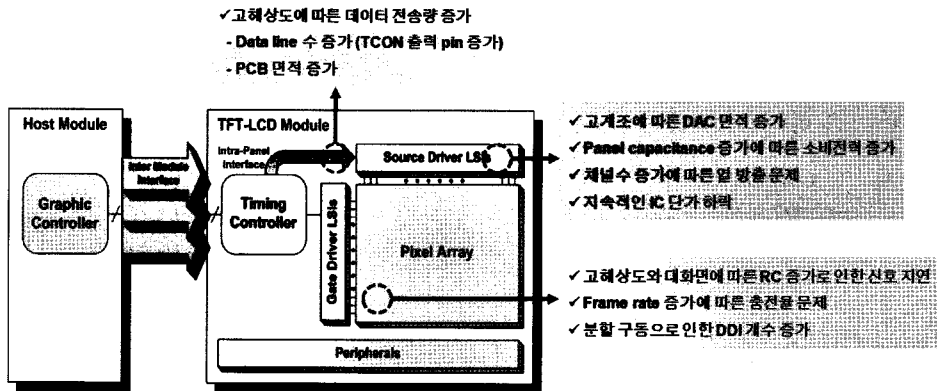
〈그림 20〉 DDI 시장 전망 [17]

은 다시 증가하여 수익성을 회복할 수 있을 것으로 전망된다. 그림에서 보는 바와 같이 DDI 개수는 매년 약 20%의 높은 성장률을 보이고 있으나, 급속한 가격 하락으로 전체 매출은 약 3% 정도의 낮은 성장률을 보이고 있어 지속적인 원가 경쟁력 확보를 위한 노력이 필요하다.

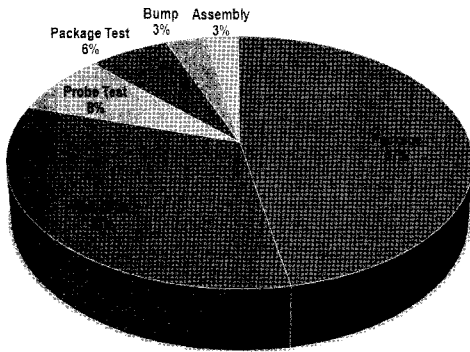
대형 TFT-LCD용 디스플레이의 발전에 따른 드라이버 IC에 대한 당면한 과제를 <그림 21>과 같이 나타낼 수 있다. 고객의 요구에 따라 고해상도, 고계조, 대화면화되어 가고 있고 화질 향상을 위해 프레임 주파수가 증가하고 있다. 이에 따라 화면에 입력되는 데이터 전송량이 증가되고, 드

라이버 IC의 개수가 증가할 뿐만 아니라, 소비 전력의 증가를 초래하고 있다. 이를 해결하려면, 고해상도에 따른 데이터 전송량 증가에 따른 고속 intra-panel interface의 개발이 필요하고, 소오스 드라이버 IC의 가격 경쟁력을 확보하기 위한 작은 면적의 DAC와 저소비전력의 다채널을 갖는 소오스 드라이버 IC를 개발하여 지속적인 단가 하락에 대응해야 한다. 그리고 고해상도, 고계조의 대화면 구동을 위한 새로운 고속의 구동 방식의 개발이 필요하다.

<그림 22>는 대형 TFT-LCD용 드라이버 IC의 칩당 원가 구조를 분석한 것이다. 그림을 보면 하나의 드라이버 IC에서 원가를 가장 많이 차지하는 부분이 웨이퍼 제조비용과 패키지 비용이다. 먼저 웨이퍼 제조비용을 감소하려면, 드라이버 IC에서 지속적인 공정 개발을 통해 DAC부분의 면적을 줄여 웨이퍼당 칩의 개수를 증가시켜야 한다. 그리고 현재의 패키지 업체와 드라이버 IC 업체는 주종의 관계로 되어 있으며, 한정된 패키지 업체에 의해 가격이 결정되는 구조로 되어 있다. 따라서, 새로운 패키지 업체의 발굴이 필요하고 동시에 새로운 재료의 패키지 물질을 개발하



〈그림 21〉 디스플레이 드라이버 IC 당면 과제



〈그림 22〉 8-비트 720채널의 대형 TFT-LCD용 소오스 드라이버 IC의 원가 구조 분석

여 패키지 비용의 부분을 줄여야 한다. 또한 소오스 드라이버의 다채널을 통한 드라이버 IC의 개수를 줄임으로써 칩당 패키지 비용을 줄여야 하는데, 이 경우 발열 문제를 해결할 새로운 재료의 패키지 개발이 동시에 이루어져야 한다.

모바일 TFT-LCD용 드라이버 IC의 경우도 모바일 영상에 대한 고화질의 요구와 저전력 구동을 위해서 모바일용 드라이버 IC는 대형과는 다른 과제를 요구받고 있다. 모바일용 드라이버 IC는 게이트 드라이버, 소오스 드라이버, 전력 회로, 인터페이스 그리고 graphic RAM이 하나의 칩안에 모두 내장되어 one-chip solution의 형태로 구현된다. <그림 23>은 하나의 칩으로 구성된 모바일 TFT-LCD용 드라이버 IC를 보여준다. <그림 23>에서 보듯이 graphic RAM이 드라이버 IC의 50%이상의 면적을 차지하고 있다. 이를 통해 GRAM의 면적은 드라이버 IC의 단가에 직접

적인 영향을 주고 있다. 이를 해결하기 위해서 영상압축기술의 알고리즘이 필요하다. 또한 GRAM을 이용한 화질 개선을 위해, 동영상의 잔상문제를 해결하는 기능의 탑재가 필요하다.

VI. 결론

이상과 같이 디스플레이의 구동 회로에 대하여 살펴 보았다. 수요자의 요구에 의해 LCD의 사양이 점점 고해상도, 고계조, 대화면화이면서 고속 구동에 의한 좋은 품질의 동영상을 표시해야 한다. 이로 인해 많은 데이터 전송 및 패널 구동을 위한 구동 회로의 단가 증가, 전력 소모 증가, 구동 칩의 열 증가, 휘도 감소 등을 해결해야 한다. 이를 해결하기 위한 새로운 인터페이스 기술과 저소비전력의 출력회로를 개발하여야 하며, 휘도 감소를 막기 위한 새로운 구동 방식을 개발하여야 한다. 또한, 지속적인 단가 하락을 극복할 수 있는 공정 개발과 새로운 구동 회로 개발을 통한 원가 경쟁력을 확보해야 한다.



〈그림 23〉 모바일용 드라이버 IC 레이아웃^[18]

 참고문헌

- [1] 권오경 외, 디스플레이공학 개론, 청범출판사, pp. 306-371, 3월, 2006년.
- [2] Y.W. Kim, O.K. Kwon, K.N. Kim, D.Y. Shin, B.H. Kim, H.K. Chung, "A New Current Programmable Pixel Structure for Large-Size and High-Resolution AMOLEDs," IDW 2002 Digest of Technical Papers, pp. 367-370, Dec, 2002.
- [3] I.H. Jeong and O.K. Kwon, "10-Bit Current Driver LSI for Large-Size and High-Resolution Active Matrix Organic Light Emitting Diode Displays," Japanese Journal of Applied Physics, Vol. E90-C, No. 5, pp. 1021-1026, May, 2007.
- [4] T. Kishi, T. Sakamoto, S. Tomio, K. Kariya, T. Hirose, "A New Driving Technology for PDPs with Cost Effective Sustain Circuit," Dig. Soc. Inf. Display' 01, pp.1236-1239, Jun, 2001.
- [5] N. Itokawa, K. Ito, M. Takeuchi, Y. Kimura, T. Kishi, Y. Hashimoto, "Development of advanced ALIS PDP with Hybrid Driving Method," Dig. Soc. Inf. Display' 08, pp.484-487, May, 2008.
- [6] IEEE Standard for Low-Voltage Differential Signaling (LVDS) for Scalable Coherent Interface (SCI), 1596.3 SCI-LVDS Standard, IEEE Std. 1596.3, 1994.
- [7] Digital Visual Interface (DVI) Revision 1.0, Digital Display Working Group (DDWG), Apr, 1999.
- [8] High-Definition Multimedia Interface Specification Version 1.3, HDMI, Jun, 2006.
- [9] DisplayPort Proposed Standard Version 1.0 Draft 1, Video Electronics Standards Association (VESA), Aug. 2005.
- [10] R. I. McCartney, M. J. Bell, and S. R. Poniatowski, "Evaluation results of LCD panels using the PPDSTM architecture," Dig. Soc. Inf. Display' 05, pp. 1692-1695, May, 2005.
- [11] M. Bell, "An LCD Column Driver Using a Switch Capacitor DAC," ISSCC 2005 Digest of Technical Papers, pp 556-557, Feb, 2005.
- [12] J.H. Kim, B.D. Choi, and O.K. Kwon, "1-billion color TFT-LCD TV with full HD format," IEEE Trans. Consumer. Electron, Vol. 51, No. 4, pp. 1042-1050, Nov, 2005.
- [13] Y. C. Sung, O. K. Kwon, and J. K. Kim, "10-bit source driver with resistor-resistor-string digital-to-analog converter," J. Soc. Inf. Display, Vol. 14, pp. 317-377, Apr, 2006.
- [14] J.S. Kang, J.H. Kim, S.Y. Kim, J.Y. Song, O.K. Kwon, Y.J. Lee, B.H. Kim, C.W. Park, K.S. Kwon, W.T. Choi, S.K. Yun, I.J. Yeo, K.B. Han, T.S. Kim, and S.I. Park, "10-bit Driver IC Using 3-bit DAC Embedded Operational Amplifier for Spatial Optical Modulators (SOMs)," J. Solid-state circuits, Vol. 42, No. 12, pp. 2913-2922, Dec, 2007.
- [15] C.C. ENZ and G.C. Temes, "Circuit Techniques for Reducing the Effects of Op-Amp Imperfections : Autozeroing, Correlated Double Sampling, and Chopper Stabilization", Proc. IEEE, pp.1584-1614, Nov. 1996.
- [16] Jin-Ho Kim, Soon-Sung Ahn, and Oh-Kyong Kwon, "Image Quality Enhancement Driving Method of Flat Panel Displays for TV Applications," IEEE Trans. on

Consumer Electronics, Vol. 53, No. 3, pp. 1147-1152, Aug, 2007.

- [17] Displaybank, "Display Driver IC Industry Analysis Report", Nov, 2008.
- [18] 대한전자공학회 반도체 소사이어티, "FPD 구동 LSI 설계 Workshop 제2권 Mobile Display," pp. 97-107, 11월, 2006년.

저자소개



권오경

1978년 한양대학교 전자공학과 학사
 1986년 Stanford University 전기공학 석사
 1988년 Stanford University 전기공학 박사
 1980년 ~ 1983년 금성사 연구원
 1987년 ~ 1992년 Texas Instruments 책임연구원
 1992년 ~ 현재 한양대학교 교수
 2008년 ~ 현재 동 대학 제2공과대학장
 2007년 ~ 현재 공학한림원 정회원

주관심분야 : Flat Panel Display 기술 및
 구동회로 설계
 아날로그/혼성모드 집적시스템 설계
 Smart Power Integrated Circuits
 설계 및 제조 공정
 Imager, MEMS 및 의용공학기술
 전자패키징 및 Interconnection
 설계, 제조 공정 및 테스트기술