

스위칭 모드 E급 주파수 체배기 설계

(The Design of the Class E Switching Frequency Multiplier)

노희정* · 서춘원

(Hee-Jung Roh · Choon-Weon Seo)

요 약

본 논문에서는 고효율 특성을 가지는 E급 주파수 체배기 설계를 제안하였다. 주파수 체배기는 2.9[GHz] 입력신호에 대하여 주파수 체배방식을 사용해 5.8[GHz] 출력신호를 얻도록 설계되어졌다.

또한 본 논문에서는 E급 주파수 체배기를 설계 및 제작하여 그 특성을 연구하였다. 측정결과, 2.9/5.8[GHz] E급 주파수 체배기는 출력전력 24.5[dBm]에서 최대 8.5[dB]의 변환 이득을 가지며 최대 32[%]의 고효율 특성을 보였다. 제작한 E급 주파수 체배기에 디지털 사전왜곡 선형화 기법을 적용하였다. 측정결과, 선형화 후의 출력스펙트럼은 중심주파수에서 각각 +11[MHz], +20[MHz], +30[MHz] offset인 주파수에서 적용형 선형화방식이 아닌 경우와 비교하여 12[dB], 12[dB], 13[dB]의 ACPR 특성이 향상되었으며, IEEE 802.11a 무선랜 송신스펙트럼 마스크 규격을 만족하였다. 54[Mbps] 전송속도를 가지는 64-QAM 변조방식에 따른 선형화 후의 EVM은 3.83[%]로 IEEE 802.11a 송신부 EVM 규격을 만족하였다.

본 논문의 결과는 주파수 체배기를 디지털사전 왜곡 선형화를 통해 선형성과 효율성 모두를 보상할 수 있다는 것을 보여주고 있다. 주파수 체배기를 이용한 WLAN/셀룰러/PCS/WCDMA 등의 다양한 모듈 설계에 유용하게 활용 가능할 것이다.

Abstract

In this paper, we proposed the new class-E frequency multiplier design that include the highest efficient characteristics. The proposed frequency multiplier is designed for 5.8[GHz] output using the frequency multiplier about 2.9[GHz] input signal.

And studying in this paper is for the design and the implementation of the class E frequency multiplier. For the result, the maximum highest efficient characteristics 32[%] which is with output power 24.5[dBm] and 8.5[dB], is shown with frequency multiplier for the 2.9/5.8 [GHz] class E. And we applied the linear method to the implemented class E frequency multiplier.

As a result, the output spectrum for the linear is upgrade to 12[dB], 12[dB], 13[dB] of the ACPR characteristics on the +11[MHz], +20[MHz], +30[MHz] offset frequency in the center frequency. The result is satisfied with the 3.83[%] of the lineared EVM for the 64-QAM modulated method with the 54[Mbps] transmission velocity.

In this paper, we show that the good compensation result of the linearity and the efficiency through the digital pre-linear method of the distortion with the frequency multiplier.

Therefore, we suggested the frequency multiplier method are applying to WLAN, cellular, PCS, WCDMA, and etc.

Key Words : Frequency Multiplier, Class E, IEEE 802.11, Load-Pull

* 주저자 : 김포대학 유비쿼터스IT과 조교수

Tel : 031-999-4208, Fax : 031-999-4775, E-mail : june@kimpo.ac.kr

접수일자 : 2009년 8월 11일, 1차심사 : 2009년 8월 12일, 심사완료 : 2009년 9월 18일

1. 서 론

통신시스템에서는 국부 발진기(LO: Local Oscillator)의 위상잡음이 전체 시스템의 질적 용량을 결정하므로 주파수에 대하여 보다 안정적이고 위상잡음이 낮은 신호원이 필요하다. 특히, 마이크로파 대역이나 밀리미터파 대역에서는 기술의 많은 발전에도 불구하고 높은 주파수에서의 반도체 물성한계 때문에 단일 소자를 이용한 저잡음 특성의 신호원을 얻기가 매우 어렵다. 그러므로 저 위상 잡음의 신호원을 얻기 위하여 주로 주파수 체배기(Frequency Multiplier)를 많이 이용한다. 이러한 경우, 단일 소자를 이용하여 얻은 발진 신호원의 위상잡음 특성보다 동일한 주파수의 신호원에 대하여 발진기와 주파수 체배기를 이용하여 얻는 것이 더 좋은 것으로 보고되고 있다[1].

표 1. 표준 무선 랜 비교
Table 1. Comparison of the wireless LAN standards[2-4]

분 류	IEEE 802.11a	IEEE 802.11b/g		IEEE 802.11n
주 파 수 (GHz)	5.150~5.250 5.250~5.350 5.725~5.825	2.4~2.4835		2.4/5
대 역 폭 (MHz)	300	83.5		40
변조 방식	OFDM	DSSS /CCK	CCK /OFDM	MIMO OFDM
최대 전송률 (Mbps)	54	11	54	320
도달거리 (m)	15~35	70~100	50~80	60~100

무선 통신기술의 발전과 함께 이를 뒷받침할 통신 시스템 및 부품개발도 빠르게 발전하고 있다. 특히 무선 랜(Wireless Local Area Network)은 기존의 유선 랜의 장점을 포함하면서 무선통신기술의 장점인 이동성과 결합하여 고속으로 데이터를 주고받는 기능을 제공한다. 단거리 무선 통신망에서 무선 랜은 이동성, 휴대성, 확장성, 구축의 유연성 등의 장점을 제공하고 있고 별도의 허가가 필요 없는 ISM(Industrial, Scientific and Medical) 및 U-NII

(Unlicensed N-II) 대역을 사용하고 있다. 무선 랜의 대표적인 표준안을 정리하면 표 1과 같다[2-4].

무선랜의 대표적인 표준에는 IEEE에서 제시한 IEEE 802.11a/b/g/n이 있다. IEEE 802.11b/g는 2.4[GHz]대역의 ISM대역을 사용하고 있으며, IEEE 802.11a는 5[GHz] 대역을 사용하고 있다. 또한 IEEE 802.11n 은 2.4[GHz]대역과 5[GHz]대역 모두를 사용하고 있다. IEEE 802.11b기반의 무선랜은 2.4[GHz] DSSS(Direct Sequence Spread Spectrum)방식의 CCK (Complementary Code Keying) 변조기술을 사용하여 최대 11[Mbps]의 전송속도를 제공하고 있다. 1999년 IEEE에서 표준이 제정된 IEEE 802.11a는 5[GHz] 주파수 대역에서 OFDM(Orthogonal Frequency Division Multiplexing) 변조기술을 사용하여 최대 54[Mbps] 전송속도를 가진다. 비교적 최근에 표준이 제정된 IEEE 802.11g는 기존의 IEEE 802.11b의 2.4[GHz] 주파수 대역에 OFDM 변조기술을 사용하여 최대 54[Mbps]로 전송속도를 크게 개선하였다. 여기에 신뢰성, 보안, 속도가 개선된 IEEE 802.11e/f/n 등의 새로운 표준이 제안되고 있으며, 이중 IEEE 802.11n 표준은 기존의 무선 랜 제품의 문제점인 도달거리 제약 및 다른 무선장치로부터의 간섭 문제를 MIMO(다중입력-다중출력) 기술을 접목함으로써 더욱 효과적으로 실내 환경에서 데이터 전송을 제공할 것이다. 그리고 기존 802.11a 또는 802.11g는 최대 54[Mbps] 속도를 지원했으나, 802.11n은 최대 540[Mbps]를 지원하는 것이 특징이다. 속도가 빨라지면서 HD화질 대용량 동영상도 스트리밍으로 전송할 수 있고, 전송거리도 기존에 비해 2배 이상 넓어져 무선랜 환경을 대폭 개선할 것으로 기대되며, 본 논문에서는 2.9[GHz] 입력신호를 비선형 소자에 입력하는 경우에 발생하는 harmonic 주파수중 입력신호에 두 배에 해당하는 5.8[GHz]를 스위칭 동작을 하는 E급 주파수 체배기로 설계하고자 한다. 특히 부하 임피던스는 사용하고자 하는 소자의 내부는 임의의 것으로 가정하고 입력과 출력의 가능한 모든 임피던스를 변화시켜 가면서 출력 특성을 측정하여 최적의 부하 조건을 얻는 기법인 로드 풀 시뮬레이션을 이용하여 설계하고자 한다.

2. 주파수 체배기

주파수 체배기는 소자의 비선형성을 이용하여 입력 신호를 왜곡시켜 하모닉 성분을 발생시킨 후 원하는 하모닉 성분만을 추출하는 회로를 말한다. 주파수 체배기는 마이크로파 및 밀리미터파 통신 시스템에서 고 안정 저 잡음 신호원을 발생기위한 기법으로 많이 사용된다. 마이크로파 통신 시스템에서 주파수가 높아질수록 위상잡음(Phase noise)이 증가하여, 안정적인 신호원을 제작하기 어려운 반면 낮은 주파수를 생성한 뒤 높은 주파수로 변환하면 고 안정의 저 잡음의 신호원을 얻을 수 있다.

표 2. 주파수 체배기의 비교와 응용분야
Table 2. Classification of frequency multipliers and their applications[5]

Diode Multiplier		
Reactive Diode		Resistive Diode
Varactor	Step Recovery Diode	Schottky barrier diod
- microwave 대역 - 낮은 차수의 하모닉 체배 - 낮은 잡음	- UHF or low microwave 대역 - 높은 차수의 하모닉 체배 가능	- 낮은 차수의 하모닉 체배 - 낮은 효율 - 동작범위가 넓음 - Insensitive
- 간단한 회로구성 - 높은 입력 전력을 필요 - 입, 출력 격리도가 나쁨		- 크기가 작음 - 온도변화에 민감하여 기생발진 우려
Transistor Multiplier		
BJTs		FETs
- Reciprocal isolation(S12)이 FET보다 나쁨 - 주파수 및 전력 효율 면에서 제한됨		- 고주파 성능 향상 - 온도에 따른 안전성이 향상
- 낮은 DC 전력소모 - 소자의 열 발생이 음		- 높음 효율 - 회로복잡 - 크기 증가

주파수 체배기는 고조파 출력 주파수에 따라 2체배기(frequency doubler), 3체배기(frequency tripler), 4체배기(frequency quadrupler) 등으로 구분된다. 주파수 체배기의 유형에 따른 특성 및 응용분야를 정리하면 표 2와 같다. 사용되는 소자에 따라 다이오드

주파수 체배기와 능동 주파수 체배기로 나눌 수 있다. 이 중 FET와 BJT를 이용한 능동 주파수 체배기는 다이오드 주파수 체배기보다 회로구성이 복잡하고 크기가 증가하는 단점이 있지만, 낮은 DC전력 소모, 높은 효율, 소자의 열 발생이 적다. 또한 입, 출력 포트 격리도가 좋아 정합이 수월하며 낮은 차수의 체배의 경우는 변환이득을 얻을 수 있다. BJT를 이용한 체배기의 경우 주파수 및 전력 효율 면에서 제한되는 반면 FET를 이용한 체배기는 고주파 성능 향상과 온도에 따른 안전성이 향상되는 장점이 있다[5].

그러나 주파수 체배기를 마이크로파 및 밀리미터파 통신 시스템의 신호원을 얻기 위해 사용할 경우, 주파수 체배되는 차수에 따라 위상잡음이 증가하는 단점이 있다. 따라서 기존의 주파수 체배기의 선형화와 관련된 많은 연구들은 주파수 체배기 설계 시 위상잡음을 최소화하는 설계기법개발에 집중되었다. 본 논문에서는 주파수 체배기를 송신부 종단에 위치시켜 변조된 무선랜 신호가 주파수 체배기에 인가되기 때문에 체배된 신호가 무선랜 송신규격을 만족해야 하며 변조 신호 인가에 따른 주파수 체배기의 비선형 왜곡분석 및 적당한 선형화 기법이 필요하다. 본 논문에서는 주파수 체배기의 선형화를 통하여 무선 랜 송신규격을 만족시키기 위한 선형화 기법에 관한 연구를 진행하였다.

일반적으로 주파수 체배기는 비선형소자의 고조파성분을 이용해 높은 주파수 대역의 통신시스템 신호원을 얻기 위해 사용되며, 주파수 체배기에 진폭 변조된 신호원을 인가하였을 경우에는 주파수 체배기의 비선형 특성으로 인해 신호에 심각한 왜곡이 발생하게 되는 것을 선형화 전의 주파수 체배기의 출력스펙트럼을 통해서 알 수 있다. 따라서 그림 1에서와 같이 주파수 체배기의 비선형 왜곡을 보상하고 개선할 수 있는 적당한 선형화 기법이 수행된다면 주파수 체배기를 이용한 증폭부의 설계가 가능할 것이다[6].

비선형 소자의 왜곡 특성으로 인해 야기되는 문제점을 극복하기 위해 사용할 수 있는 방법은 비선형 소자의 앞단에 선형화기(Linearizer)를 장착하는 것이다. 그중 선형화기 중 가장 보편적으로 사용되어 온 것이 사전왜곡 방식이며, 사전왜곡기란 비선형소

자의 특성과 정확하게 역이 되는 특성을 인가하여 결과적으로 비선형소자의 출력은 선형적인 결과를 얻을 수 있도록 하는 방법이다. 이론적으로 사전왜곡 방식은 RF, IF 또는 기저대역에서 구현이 가능하나, RF대역에서 구현하기 위해서는 각 주파수 대역별로 별도의 회로가 필요하는 등 여러 가지 구현의 복잡성이 존재하게 된다. IF대역이나 기저대역에서 구현하면 이러한 문제점을 해결할 수 있으며, 낮은 주파수 대역에서 운용되기 때문에 더욱 안정적이다[7].

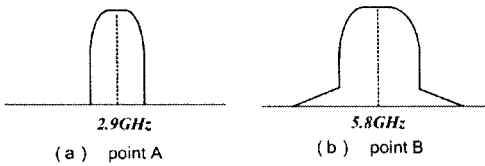


그림 1. 체배기 개념도
Fig. 1. Overview of frequency multipliers

본 논문에서는 고효율 특성을 가지는 E급 주파수 체배기 설계와 주파수 체배기의 비선형 왜곡을 보상하기 위한 디지털 사전왜곡 선형화 기법을 제안하였다.

3. 스위칭 모드 E급주파수 체배기

3.1 주파수 체배기의 기본 이론

주파수 체배기는 하모닉을 발생시킬 수 있는 수동 소자(다이오드)나 능동소자(트랜지스터)의 리액턴스, 저항과 같은 비선형 요소들을 이용한다. 비선형 소자에 단일 주파수 신호(e_i)가 인가되면 비선형 요소에 의해 단일 주파수의 정수배의 하모닉 성분(e_o)이 발생한다.

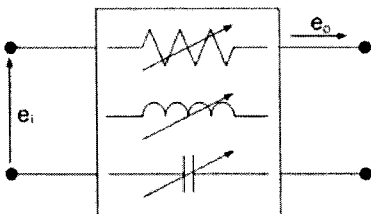


그림 2. 대표적인 비선형 회로
Fig. 2. Typical nonlinear elements

단일 주파수 신호 인가 시 발생하는 하모닉 성분은 다음 식과 같이 나타낼 수 있다. 식 (2)처럼 주파수 체배기는 이러한 출력 하모닉 특성을 가진다[8].

$$e_i = A \cos \omega t \tag{1}$$

$$\begin{aligned} e_o &= k_1 e_i + k_2 e_i^2 + k_3 e_i^3 + k_4 e_i^4 + \dots \\ &= \left[\frac{1}{2} k_2 A^2 + \frac{3}{8} k_4 A^4 \right] \\ &\quad + \left[k_1 A + \frac{3}{8} k_3 A^3 \right] \cos \omega t \\ &\quad + \left[\frac{1}{2} k_2 A^2 + \frac{1}{2} k_4 A^4 \right] \cos 2\omega t \\ &\quad + \frac{1}{4} k_3 A^3 \cos 3\omega t \\ &\quad + \frac{1}{8} k_4 A^4 \cos 4\omega t + \dots \end{aligned} \tag{2}$$

3.2 주파수 체배기의 분류

일반적으로 원하는 주파수를 얻기 위해서는 다이오드나 FET를 이용한 주파수 체배기를 사용한다. 일반적으로 다이오드 체배기는 대역폭은 넓으나 손실이 큰 반면, FET 체배기는 대역폭은 작지만 손실이 적고, 이득을 제공하는 각각의 장점과 단점을 가지고 있다. 또한 FET 주파수 체배기의 경우 입력과 출력간의 분리가 용이하여, 기본 주파수에서 입력 정합하기에 적합할 뿐 아니라, 적은 입력 파워로 원하는 출력 파워를 생성할 수 있다는 장점이 있다. 그리고 주파수 체배수가 증가하게 되면 다이오드를 이용하는 경우, FET를 이용하는 경우보다 성능이 훨씬 나빠진다.

3.2.1 다이오드 주파수 체배기

다이오드 주파수 체배기 중 쇼트키 다이오드는 다이오드의 저항특성으로 광대역 동작을 갖는 특성이 있고 바랙터와 건 다이오드는 낮은 위상잡음 특성을 가지고 있다. 다이오드를 이용한 주파수 체배기는 다이오드의 캐패시턴스 성분과 저항성분에 기인한 비선형성을 이용하여 입력 신호의 하모닉 성분들을 발생시킨다. 발생된 하모닉 성분들중 원하는 하모닉 성분을 얻기 위해 출력단 정합회로를 원하는 하모닉 성분의 주파수 정합시켜 회로를 구성한다.

다이오드 주파수 체배기의 예로서 통신위성에 적

스위칭 모드 E급 주파수 체배기 설계

용되는 9.5[GHz] 오실레이터는 다이오드 체인으로 구성되어 있다[9]. 이 다이오드 체배기는 19[GHz]의 출력신호에서 14.8[dBm]의 출력전력 특성을 가지고 있고, -2.2[dB]의 변환 손실 특성을 보이고 있다. 또한 여섯 개의 바랙터 다이오드를 이용한 40/80[GHz] 발란스 더블러는 200[mW]의 입력신호에 대해 96 [mW]의 출력전력 특성과 -3.2[dB]의 변환손실특성을 가지고 있다. 또한 [10]에서, 20/40[GHz] 다이오드 더블러는 -4.5[dB]의 변환손실과 100[mW]의 출력레벨특성을 가지고 있다. 이와 같이 다이오드 체배기는 일반적으로 입력신호에 대해 변환이득보다 변환손실의 특성을 보인다. 반면에 BJTs(Bipolar Junction Transistors), MESFETs(Metal Semiconductor Field Effect Transistors), HEMTs(High Electron Mobility Transistors)는 다이오드 체배기보다 높은 변환 이득과 출력 전력특성을 가질 수 있다[8].

3.2.2 FET 주파수 체배기

주파수 체배기의 낮은 변환손실 또는 변환이득을 얻기 위해 트랜지스터를 이용한 주파수 체배기의 연구가 지금까지 진행되어 오고 있다. FET를 이용한 주파수 체배기는 MMIC(Microwave Monolithic Integrated Circuit)로 집적화 할 수 있게 된 이후로 더 많은 관심을 받게 되었다. 본 장에서는 지금까지 연구되어 온 트랜지스터를 이용한 주파수 체배기들 중 주파수 더블러의 내용을 주로 다룰 것이다.

FET를 이용한 주파수 체배기는 입력 게이트-소스 커패시터의 비선형성, 비선형적인 트랜스컨덕턴스, 비선형적인 출력 컨덕턴스, 그리고 드레인-소스 전류의 클래핑 등의 몇몇 비선형적 기법을 이용하여 입력 신호에 대한 하모닉 성분들을 발생시킨다. 주파수 더블링을 위한 위와 같은 비선형적인 기법들의 비교는 Gopinath에 의해 연구되었다[11]. 이 연구에서는 다른 비선형 기법들보다 전류-클래핑에 의한 기법이 상당히 높은 2차 하모닉 성분의 레벨을 발생시킬 수 있음을 비교하여 나타내었다. 2차 하모닉 성분을 발생시키는 전류-클래핑은 편치-오프 또는 $V_{gs}=0[V]$ 의 동작점에서 나타난다.

주파수 체배기를 설계하기 위한 비선형 기법 중

전류 클래핑이 2차 하모닉 성분을 발생시키는 주요 기법으로 사용되어, 스위칭 동작을 하는 E급 증폭기의 스위칭 전류는 높은 변환 이득과 높은 드레인 효율을 가지는 주파수 더블러를 설계하는 데에 적합하다. 본 논문에서는 잡음과 이득 특성이 우수한 pHEMT 소자를 사용하여 주파수 2체배기를 설계하고자 한다[8].

4. 제안된 E급 주파수 체배기 설계

2.9[GHz] 입력신호에 대해 스위칭 동작을 하는 E급 주파수 체배기로서의 필요한 5.8[GHz]에서의 부하 임피던스는 사용하고자 하는 소자의 내부는 임의의 것으로 가정하고 입력과 출력의 가능한 모든 임피던스를 변화시켜 가면서 출력 특성을 측정하여 최적의 부하 조건을 얻는 기법인 로드풀 시뮬레이션을 이용하여 값을 구하였다. 그리고 로드풀 시뮬레이션에 의해 구한 부하 임피던스 값은 ADS(Advanced Design System)를 이용하여 기본파(fundamental) 주파수인 2.9[GHz] 신호에 대한 역압특성이 큰 값을 갖도록 하고, 높은 변환이득특성을 얻기 위해 출력 단 반사손실을 최소화 하여 부하 임피던스 값을 최적화하였다.

본 논문에서 설계하고자 하는 주파수 체배기의 목표치는 기존에 나와 있는 주파수 체배기의 설계 값과 비교하여 설계 목표를 정하였으며, 설정 값은 아래 표 3과 같다.

표 3. 제안되는 설계 목표 값
Table 3. Design target

요구 항목	목표 설계 값	switched-mode amplifiers and multipliers[12]
Frequency	5.725~5.825[GHz] (802.11a tandard)	5[GHz]
Pout (Second harmonic)	25[dBm]	25[dBm]
PAE	>30[%]	29[%]
Gain	≒ 8[dB]	2.8[dB]

4.1 로드-풀 시뮬레이션을 이용한 출력 단 회로설계

동작 바이어스를 선정하고 최대 전력전송을 위한 부하의 임피던스 점을 찾기 위해 load-pull 모의실험을 통해서 출력정합회로를 설계했다. 그림 3은 load-pull 시뮬레이션 결과로서 38.798-j7.109 임피던스 점에서 40.07[%]의 효율과 14.99[dBm] 값의 출력전력을 보였다.

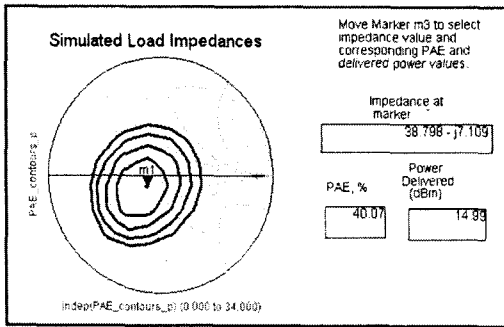


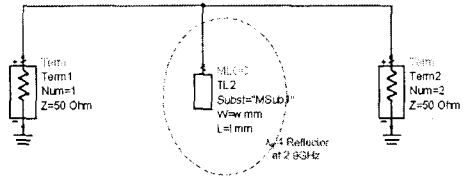
그림 3. 로드-풀 시뮬레이션 결과
Fig. 3. Simulation result of load-pull

또한 주파수 체배기의 동작을 위해 그림 4와 같은 특성을 가지고 있는 2.9[GHz] 리플렉터를 E급 주파수 체배기로 동작하는 출력 단 회로에 추가하였다.

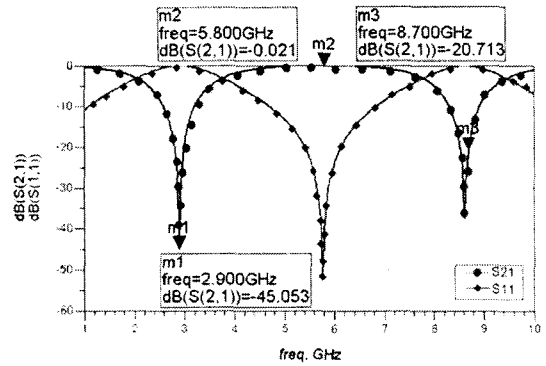
그림 4 (a)의 2.9[GHz] 리플렉터는 입력 된 기본파 주파수를 억압하고 2차 고조파를 출력 신호로 전달하기 위해 필요한 회로이다. 리플렉터의 특성 임피던스 값이 높아지면 입력 신호의 억압특성이 좋아지고 기본파 저지대역이 좁아지는 특성을 보인다.

그림 4 (b)는 2.9[GHz] 리플렉터의 기본파 신호를 억압하는 특성을 나타내고 있다. 본 논문에서 제안한 E급 주파수 체배기를 설계하기 위해 그림 5와 같이 2.9[GHz] 리플렉터를 추가한 출력단 회로를 구성하였다. E급 주파수 체배기로 동작하기 위한 부하단 임피던스 값을 갖는 회로에 2.9[GHz] 리플렉터를 추가하여 구성하였다.

리플렉터를 추가한 후의 부하단 임피던스의 값을 5.8[GHz]에서 E급 주파수 체배기의 부하단 임피던스 값과 같도록 정합회로를 구성한다.



(a) 리플렉터 설계
(a) Schematic of reflector



(b) 리플렉터 특성
(b) Characteristics of reflector

그림 4. 2.9(GHz)에서의 $\lambda/4$ 리플렉터
Fig. 4. $\lambda/4$ reflector at 2.9[GHz]

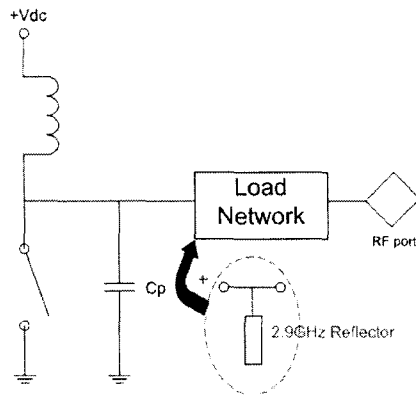


그림 5. 2.9(GHz)에서의 $\lambda/4$ 리플렉터 E 급 주파수 체배기의 블록다이어그램
Fig. 5. Block diagram of class E frequency multiplier with $\lambda/4$ reflector at 2.9[GHz]

4.2 입력 단 회로 설계

load-pull 모의실험을 통해서 입력신호가 트랜지스터에 최대한 전송될 수 있는 부하의 임피던스 점

스위칭 모드 E급 주파수 체배기 설계

을 결정하기 위해 트랜지스터 소스(source)에서 바라본 반사계수를 구한 후, 복소정합(conjugate matching)을 이용하여 입력 정합 회로를 설계하였다. 그림 6은 load-pull 시뮬레이션을 한 결과를 바탕으로 얻어진 임피던스로 입출력 정합을 하였고 설계된 주파수 체배기의 전체 개략도(schematic)을 보여준다. 바이어스 라인과 입출력 정합을 마이크로 스트립 라인으로 구성하였다.

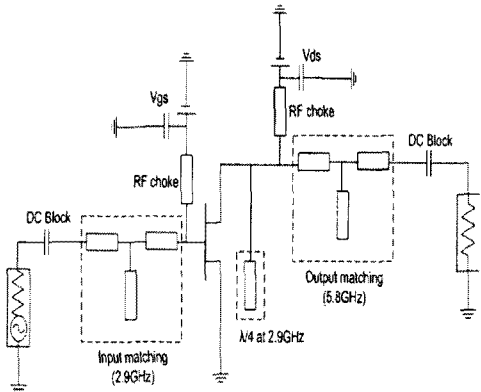


그림 6. 주파수 체배기의 전체 설계도
Fig. 6. Overall schematic of frequency multiplier

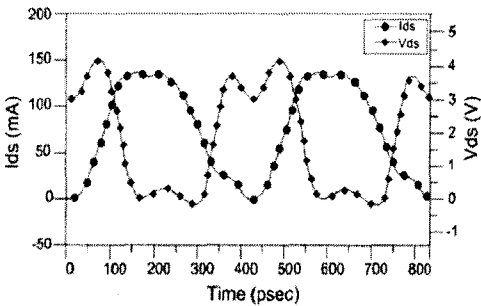
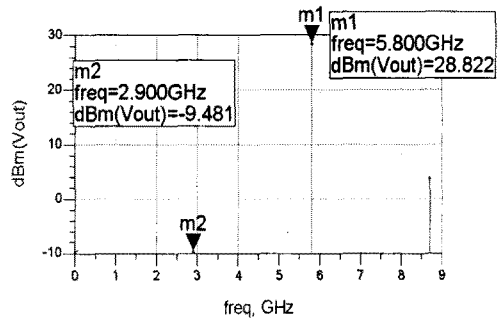


그림 7. 시뮬레이션된 E 급 체배기의 드레인 전압과 전류의 파형
Fig. 7. Simulated drain voltage and current waveform of class E multiplier

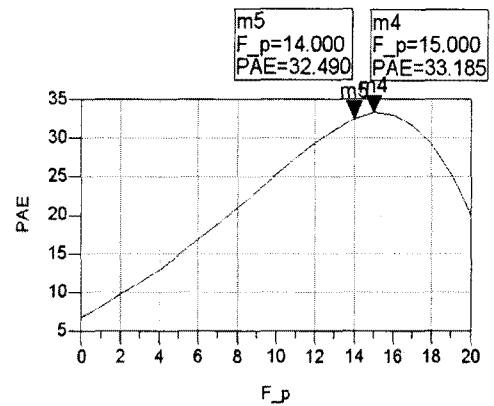
E급 주파수 체배기의 드레인 전압과 전류 V_{ds} 와 I_{ds} 의 시뮬레이션된 출력 파형을 그림 7에 나타내었다. 증폭기의 전압 파형과 전류 파형을 비교하여 보면 스위치에 최대 전압이 흐를 때 전류는 0값에 가깝고 최대 전류가 흐를 때 전압이 0에 가까운 값을 가

지고 있어 트랜지스터의 스위칭 동작을 확인할 수 있다.

그림 8 (a)은 주파수 체배기의 출력 전력을 시뮬레이션 한 결과로 최대 출력전력은 입력전력 15[dBm]일 때 28.8[dBm]이고 -38.1[dBc]의 기본 주파수 억압 특성을 갖는다. 그림 8 (b)는 주파수 체배기의 전력 부가효율을 시뮬레이션한 결과로 33.2[%]의 고효율 특성을 갖는다.



(a) 출력 전력 결과
(a) Output power simulation of frequency multiplier



(b) PAE 시뮬레이션 결과
(b) PAE simulation of frequency multiplier

그림 8. 주파수 체배기 시뮬레이션 결과
Fig. 8. Simulation result of frequency multiplier

4.3 E급 주파수 체배기의 입출력 특성 측정

그림 9에서와 같이 유전율 3.5의 테플론 기판에 마

이크로스스트립 선로를 이용하여 2.9/5.8[GHz] E급 주파수 체배기를 구현하였다. 제작된 E급 주파수 체배기는 E8267C 신호발생기와 스펙트럼 분석기를 사용하여 대신호 특성을 측정하였다.

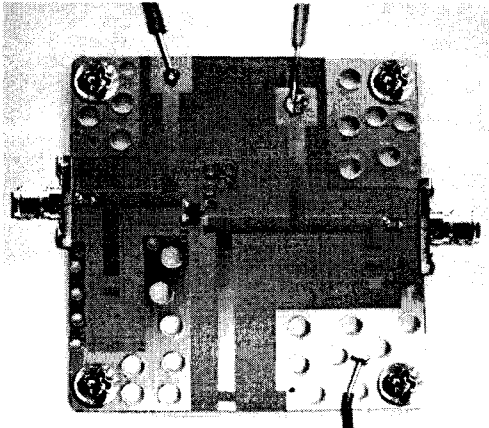


그림 9. 제작된 2.9/5.8[GHz] E급 주파수 체배기 회로 사진
 Fig. 9. Photograph of the fabricated 2.9/5.8[GHz] class E Frequency multiplier

예상된 드레인 전압은 3[V]이며 드레인 전류는 20[mA]이며, 트랜지스터의 IV 특성 곡선을 통해 20[mA]의 전류가 흐르는 게이트 전압이 0.45[V]라는 것을 알 수 있었다. 드레인 전압과 게이트 전압을 입력되는 신호레벨의 크기에 따라 변화시키면서 높은 효율 및 출력전력과 이득 특성을 가지는 바이어스 동작 점을 찾았다. 이 때 드레인 전압은 3.5[V], 게이트 전압은 0.4[V]가 된다.

제작한 주파수 체배기를 2.9[GHz] 입력전력의 크기에 따라 출력전력, 전력부가효율을 측정한 결과를 그림 10과 그림 11에 각각 나타내었다.

낮은 입력전력에서는 변환 손실을 갖으며 동작하고 전력부가효율은 입력전력에 따라 증가하고 출력전력 24.5[dBm]에서는 최대 8.5[dB]의 변환 이득을 가지며 최대 32[%]의 고효율 특성을 보이는 E급 주파수 체배기로 동작하는 것을 확인할 수 있다. 이 때 기본파 성분의 크기는 -14.7[dBm]이므로서 입력된 신호보다 -39.2[dB] 억압된 특성을 그림 12에서 나타내고 있다.

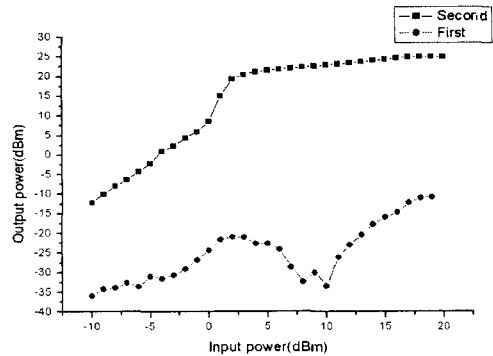


그림 10. 입력전력의 크기에 따른 기저부 전력과 2차 하모닉 출력전력 측정 결과
 Fig. 10. Measured results of fundamental and second harmonic by the input

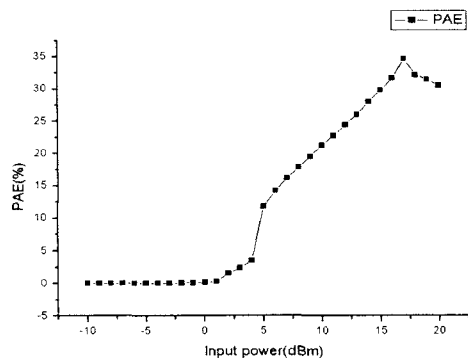


그림 11. 5.8[GHz]에서의 PAE 측정 결과
 Fig. 11. Measured result of PAE at 5.8[GHz]

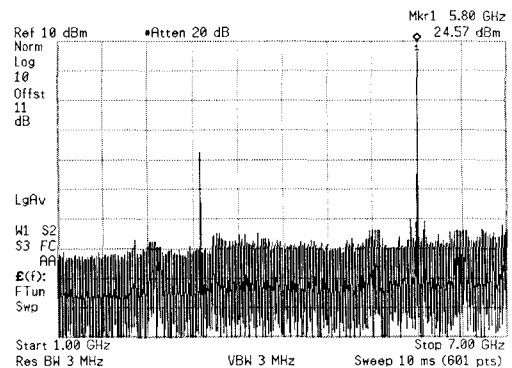


그림 12. (2.9[GHz]에서의 입력 주파수에 대한) 16[dBm] 입력 파워에서의 측정된 출력스펙트럼

Fig. 12. Measured output spectrum at 16[dBm] input power (input frequency at 2.9[GHz])

4.4 결과 분석 및 검토

제작한 E급 주파수 체배기의 측정결과를 표 4에 요약하였다. 2.9[GHz] 입력 신호를 인가하였을 때, 출력전력 24.5[dBm]에서는 최대 8.5[dB]의 변환 이득을 가지며 최대 32[%]의 전력부가효율 특성이므로 목표 사양보다 높은 효율과 높은 이득 값을 갖는 것을 확인할 수 있었다.

표 4. 주파수 체배기의 측정 파라미터 결과
Table 4. Summary of the measured parameters for frequency multiplier

Mode	Parameter	Doubler
	PAE	32[%]
	Fundamental output	-14.7[dBm]
	Second harmonic	24.5[dBm]
	Gain	8.5[dB]

제작한 E급 주파수 체배기의 ACPR 및 EVM 측정결과 또한 표 5에 요약하였다.

표 5. 설계된 주파수 체배기의 측정 결과
Table 5. Measured results of the designed frequency multiplier

Item	ACPR	EVM
5.8[GHz]	@16[dBm]	
IEEE 802.11a	15[dBc]@+11[MHz]	14.6[%]@16 [dBm]
With non-adaptive	26[dBc]@+20[MHz]	
predistortion	33[dBc]@+30[MHz]	
5.8[GHz]	@16[dBm]	
IEEE 802.11a	25[dBc]@+11[MHz]	3.83[%]@16 [dBm]
With adaptive	31[dBc]@+20[MHz]	
predistortion	45[dBc]@+30[MHz]	

적용형 선형화 후의 출력스펙트럼은 중심주파수에서 각각 +11[MHz], +20[MHz], +30[MHz] offset인 주파수에서 적용형 방식이 아닌 경우와 비교하여 12[dB], 12[dB], 13[dB]의 ACPR 특성이 향상되었으며, IEEE 802.11a 무선랜 송신스펙트럼 마스크 규격을 만족하였다. 또한 54[Mbps] 전송속도를 가지는

64-QAM 변조방식에 따른 적용형 선형화 후의 EVM은 3.83[%]로 IEEE 802.11a 송신부 EVM 규격을 만족하였다. 5.8[GHz] 주파수 체배기는 제안한 적용형 방식을 통한 선형화 후의 측정된 I/Q 정상도 및 EVM을 통하여 규격을 만족하는 심볼 검출이 가능함을 알 수 있으며 적용형 방식일 때 IEEE 802.11a 송신부 EVM 및 ACPR 표준을 만족함을 알 수 있다. 본 논문의 결과, 설계된 E급 주파수 체배기는 고선형성과 고효율성의 특성을 갖는 것을 확인할 수 있다.

5. 결론

본 논문에서는 E급 주파수 체배기를 설계 및 제작하고 디지털 사전왜곡 선형화를 이용하여 제작한 E급 주파수 체배기의 비선형 왜곡을 보상하기 위한 디지털 적용형 사전왜곡 선형화 기법을 제안하였다.

주파수 체배기를 이용한 송신부는 2.9[GHz] 입력 신호에 대하여 주파수 체배방식을 사용해 5.8[GHz] 출력신호를 얻도록 설계되어졌다. 2.9/5.8[GHz] E급 주파수 체배기는 능동소자인 pHEMT를 사용하였고 마이크로스트립 선로를 이용하여 제작하였으며, 출력전력 24.5[dBm]에서는 최대 8.5[dB]의 변환 이득을 가지며 최대 32[%]의 고효율 특성을 보이는 E급 주파수 체배기로 동작하는 것을 확인할 수 있었다. 이 때 기본파 성분의 크기는 -14.7[dBm]으로서 입력된 신호보다 -39.2[dB] 억압된 특성을 확인할 수 있었다.

그러나 주파수 체배기에 진폭 변조된 신호원을 인가하였을 경우에는 주파수 체배기의 강한 비선형특성으로 인해 신호에 심각한 왜곡이 발생한다. 따라서 본 논문에서는 주파수 체배기에서 발생하는 비선형 왜곡의 영향을 보상할 수 있는 신호 매핑방식의 기저대역 테이블 참조방식(LUT) 사전왜곡기법을 사용하였다. 대역외 왜곡을 보상하기 위하여 적용형 LUT 사전왜곡기법을 제안하였으며, 이는 출력에서 피드백 된 신호를 복조하고 입력신호와 비교하여 왜곡을 보상할 수 있도록 LUT의 계수(값)를 갱신시켜 주는 방식이다. 제안된 적용형 사전 왜곡기에서 LMS(Least Mean Square) 알고리즘은 대역 외 왜

곡을 보상할 수 있도록 LUT의 계수를 갱신시킨다.

주파수 체배기에 적용된 선형화 기법의 타당함을 제작한 E급 주파수 체배기를 이용하여 보였고 선형화 후의 스펙트럼(ACPR)과 EVM을 통하여 선형화 전과 비교 제시하였다. 측정결과, 적응형 선형화 후의 출력스펙트럼은 중심주파수에서 각각 +11[MHz], +20[MHz], +30[MHz] offset인 주파수에서 적응형 방식이 아닌 경우와 비교하여 12[dB], 12[dB], 13[dB]의 ACPR 특성이 향상되었으며, IEEE 802.11a 무선랜 송신스펙트럼 마스크 규격을 만족하였다. 또한 54[Mbps] 전송속도를 가지는 64-QAM 변조방식에 따른 적응형 선형화 후의 EVM은 3.83[%]로 IEEE 802.11a 송신부 EVM 규격을 만족하였다. 그러나 본 논문의 선형화 시스템에서는 주파수 체배기의 메모리 효과에 의한 영향이 분석되지 않았다. 향후 메모리 효과를 보상한 선형화 시스템이 사용된다면 선형화 후의 ACPR 및 EVM 개선 정도가 향상될 것이다.

본 논문에서는 로드풀 시뮬레이션을 이용한 스위칭모드 E급 주파수 체배기 설계를 하였고, 제작된 주파수 체배기의 비선형 왜곡을 보상하기 위한 기저대역 적응형 사전왜곡 선형화 기법을 제안하였다. 본 논문의 결과, 설계된 E급 주파수 체배기는 고선형성과 고효율성의 특성을 갖는 것을 확인할 수 있었다. 본 논문의 결과는 주파수 체배기를 이용한 WLAN/ WCDMA/ 셀룰러/PCS/IMT-2000 등의 다양한 모듈 설계에 유용하게 활용 가능할 것이다.

이 논문은 2009학년도 김포대학의 연구비 지원에 의하여 연구되었음.

References

[1] J. Ryyanen, K. Kivekas, J. Jussia, A. Parssinen, and K. Halonen, "A dual-band RF front end for WCDMA and GSM applications," IEEE Trans. Microwave Theory Tech., vol.50, no.1, pp.288-301, Jan. 2002.

[2] Wireless LAN Medium Access Control (MAC) and Physical Layer (PHY) Specifications: High-Speed Physical Layer Extension in the 2.4(GHz) Band, IEEE Standard 802.11b, 1999.

[3] Wireless LAN Medium Access Control (MAC) and Physical Layer (PHY) Specifications: High-Speed Physical Layer in the 5(GHz) Band, IEEE Standard 802.11a/D7.0, 1999.

[4] Wireless LAN Medium Access Control (MAC) and Physical Layer (PHY) Specifications: Further Higher Data Rate Extension in the 2.4(GHz) Band, IEEE Standard P802.11g/D8.2, 2003.

[5] Stephen A. Mass, Nonlinear microwave and RF circuits, second edition, Artech House, 2003.

[6] Chung G. Oh, Jae H. Choi and Kyung H. Koo, "Nonlinear Distortion Analysis of 2.4(GHz) Power Amplifier for IEEE 802.11g OFDM Wireless LAN", J. of IEEK, Vol.42-TC, No.3, pp.39-44, 2005.

[7] Chung G. Oh, Jae H. Choi and Kyung H. Koo, "Analysis of Power Amplifier Phase Distortion Characteristics for IEEE 802.11a OFDM Wireless LAN Using Phase Predistortion", J. of IEEK, Vol.42-TC, No.3, pp.75-80, 2005.

[8] Mi K. Jung, "Design and Fabrication of Ku band Local Oscillator using Frequency Multiplier", Thesis of Graduate School, Chungnam National Univ., 2002.

[9] R. Mott, "High performance frequency doublers for the COMSTAR beacon," in COMSAT Technical Review, vol. 7, 1977.

[10] D. W. Portereld, T. W. Crowe, R. F. Bradley, and N. R. Erickson, "A high power fixed tuned millimeter wave balanced frequency doubler," IEEE Trans. Microwave Theory Tech., Vol.47, pp.419-425, Apr. 1999.

[11] A. Gopinath and J. Bruce Rankin, "Single-gate MESFET frequency doublers," IEEE Trans. Microwave Theory Tech., Vol. 30, No.6, pp.869-875, June. 1982.

[12] M. Weiss, M. Crites, E. Bryerton, Z. Popovic, and J. Whittaker, "Time-domain optical sampling of switched-mode amplifiers and multipliers," IEEE Trans. Microwave Theory Tech., Vol.47, No.12, pp.2599-2604, Dec. 1999.

◇ 저자소개 ◇

노희정 (盧熙正)

1961년 7월 7일생. 1985년 2월 아주대학교 전자공학사 졸업. 1995년 7월 서울시립대학교 대학원 졸업(석사). 2003년 7월 인천시립대학교 대학원 졸업(박사). 1989~1998년 (주)한국통신기술 근무. 1998년~현재 김포대학 유비쿼터스IT과 조교수.

서춘원 (徐春源)

1964년 7월 4일생. 1988년 2월 광운대학교 전자공학사 졸업. 1990년 2월 광운대학교 대학원 졸업(석사). 1997년 2월 광운대학교 대학원 졸업(박사). 1998~2000년 서울정보기능대학 전자과 전임강사. 2000년~현재 김포대학 유비쿼터스IT과 조교수.