

RS(23,17) 복호기를 위한 PS-DCME 알고리즘

Pipeline Structured-Degree Computationless Modified Euclidean Algorithm for RS(23,17) Decoder

강 성 진* 홍 대 기**
Sungjin Kang Daeki Hong

요 약

본 논문에서는 MB-OFDM 시스템에서 사용되는 RS(23,17)부호의 복호기에 사용될 수 있는 PS-DCME(Pipeline Structured-Degree Computationless Modified Euclidean) 알고리즘을 제안한다. 제안된 PS-DCME 알고리즘은 다항식의 차수 계산과 차수 비교를 하지 않고 상태(state) 변화만을 이용하여 ME 알고리즘을 수행하기 때문에, 복호기의 하드웨어 복잡도를 줄일 수 있으며, 고속의 RS(Reed-Solomon) 복호기를 구현할 수 있다. Verilog HDL을 사용하여 알고리즘을 구현하였고, 삼성 65nm library를 이용하여 합성한 결과, 400MHz(2.5nsec)에서 timing closure되었기 때문에, 실제 ASIC을 제작했을 경우에 250MHz정도까지는 동작이 보장된다고 볼 수 있으며, gate count는 19,827이다.

Abstract

In this paper, A pipeline structured-degree computationless modified Euclidean (PS-DCME) algorithm is proposed, which can be used for a RS(23,17) decoder for MB-OFDM system. PS-DCME algorithm requires a state machine instead of the degree computation and comparison circuits, so that the hardware complexity of the decoder can be reduced and high-speed decoder can be implemented. We have implemented a RS(23,17) decoder with PS-DCME using Verilog HDL and synthesized with Samsung 65nm library. From synthesis results, it can operate at clock frequency of 250MHz, and gate count is 19,827.

☞ keyword : Reed-Solomon decoder, PS-DCME, MB-OFDM, Modified Euclidean, Degree computationless

1. 서 론

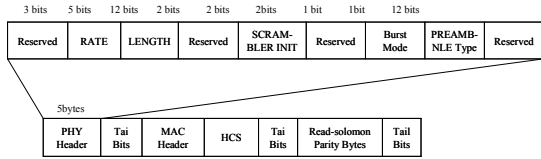
미국 연방 통신 위원회(FCC)는 UWB(Ultra Wide-Band)를 ‘중심주파수의 20% 이상의 점유 대역폭을 가지거나 500MHz 이상의 점유대역폭을 차지하는 무선전송기술’로 정의하였으며, 최근에는 광대역을 사용하여 짧은 거리에서 고속

의 데이터를 전송할 수 있는 WPAN 기술로 주목을 받고 있다. 2007년 3월에 MB-OFDM 기술을 사용하는 UWB 시스템이 ISO/IEC의 국제 표준으로 채택되었다[1]. MB-OFDM UWB의 프레임(PPDU)은 크게 PLCP preamble, PLCP header, PSDU로 구성되며, PLCP header는 그림 1과 같이 PHY header, MAC header, HCS, tail bit, RS parity로 구성되며, Reed-Solomon(RS) (23,17)부호와 convolution 부호를 사용하여 PLCP header를 보호하고 있다[1]. PHY header와 MAC header는 송수신시에 사용되는 중요한 정보들이 포함되어 있다. 특히, PHY header에는 payload의 전송속도, 길이 등의 정보가 들어있기 때문에, 복호 지연이 짧아야하고, 고속으로 동작해야한다.

* 정 회 원 : 한국기술교육대학교 정보기술공학부 조교수
sjkang@kut.ac.kr

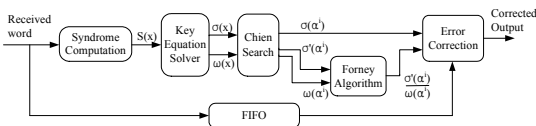
** 정 회 원 : 상명대학교 공과대학 정보통신공학과 조교수
hongdk@smu.ac.kr

[2008/06/19 투고 - 2008/07/01 심사 - 2008/08/06 심사완료]



(그림 1) PLCP header 구조

RS 부호는 연립 오류에 대하여 우수한 오류 정정 능력을 가지고 있어서, 많은 통신시스템에서 널리 사용되고 있다. 일반적인 RS(n,k,t) 부호에서 $t = (n-k)/2$ 는 RS 부호의 오류 정정 능력을 나타낸다[2]. RS 복호기는 그림 2와 같이 신드롬 연산(syndrome computation), 키 방정식 연산(KES, Key Equation Solver), Chien 탐색, Forney 알고리즘, 오류 정정 블록 및 FIFO로 구성된다[3-6]. 이 중에서 오류 위치 다항식(error locator polynomial)과 오류 크기 다항식(error value polynomial)을 찾기 위한 KES 블록이 가장 많은 연산을 필요로 하며, 하드웨어 복잡도가 가장 높다. RS 복호기에 관한 연구는 대부분 키 방정식 연산 알고리즘에 관한 것이며, 많은 복호 알고리즘과 복호기 구조가 연구되어 왔다[3-8]. 이 중에서 ME(modified Euclidean)알고리즘이 하드웨어 규칙성이 우수하여 구현에 적합하기 때문에 많이 사용된다[7,8].



(그림 2) 일반적인 RS 복호기 구조

파이프라인 구조의 ME(PS-ME) 알고리즘은 차수 계산과 다항식 연산을 하는 블록으로 구성되는 $2t$ 개의 processing element(PE)를 사용하여 계산되며, 하드웨어 규칙성 및 경로 지연(critical path)이 작아서 RS 복호기를 고속으로 구현할 수 있다[4-6]. [7]에서는 차수 계산이 필

요치 않는 DCME 알고리즘을 제안하지만, 각 기본 셀(basic cell)내의 feedback되는 부분과 모 든셀에 입력되는 leading coefficient a_i, b_i 가 feedback되므로 상대적으로 고속 구현이 어렵게 된다. [9]에서는 DCME 알고리즘의 지연시간과 basic cell을 개선하여 E-DCME 알고리즘을 제안하였다.

본 논문에서는 RS(23,17)부호의 복호기에 사용할 수 있는 차수 계산 및 비교가 필요 없는 PS-DCME알고리즘을 제안한다. 먼저, [4-6]의 PE의 구조를 수정하여 마지막 단계 PE의 출력 $Q_i(x)$ 에서 오류값 다항식이 출력되고, 출력 $U_i(x)$ 에는 항상 오류위치 다항식을 출력하도록 하여 최종 출력단에서 차수 비교를 하지 않는 구조를 제안한다. 이러한 구조를 사용하게 되면, PE 출력의 $R_i(x)$ 는 항상 $Q_i(x)$ 보다 차수가 같거나 크게 된다. 따라서, PE의 입력에서는 항상 $\deg(R_{i-1}(x)) \geq \deg(Q_{i-1}(x))$ 이 성립하게 되므로, 차수를 계산하거나 비교하지 않아도 되고, 단지 $Q_{i-1}(x)$ 의 leading coefficient가 zero인지 아닌지에 따라 상태를 점검함으로써, PE에서 다항식 연산을 수행할지, shift연산을 할지 그리고, 다항식 스위치를 할지 결정할 수 있다.

본 논문의 구성은 2장에서 PS-ME 알고리즘 블록 구조에 관하여 기술하고, 3장에서 제안된 PS-DCME 알고리즘에 관하여 설명한다. 4장에서는 복호기의 성능 평가 및 verilog HDL를 이용하여 구현된 결과를 제시하고, 5장에서 결론을 맺는다.

2. PS-ME 알고리즘 블록 구조

2.1 MB-OFDM 시스템의 RS(23,17) 부호

MB-OFDM UWB 시스템에서는 RS(255,249)의 축약 형태인 Systematic RS(23,17)부호를 사용한다. Systematic RS(255,249) 부호의 발생다

항식은 다음과 같다[1].

$$g(x) = \prod_{i=1}^6 (x - \alpha^i)$$

$$= x^6 + 126x^5 + 4x^4 + 158x^3 + 58x^2 + 49x + 117 \quad (1)$$

RS(255,249)부호는 RS 부호기에 249byte가 입력된 후, 식(2)와 같은 연산을 수행하여 RS 패리티 6byte를 구한다.

$$p(x) = \sum_{i=0}^5 p_i x^i = x^6 m(x) \bmod g(x) \quad (2)$$

여기에서 $m(x)$ 는 정보 다항식(Information polynomial)이며, 아래 식 (3)과 같다.

$$m(x) = \sum_{i=0}^{248} m_i x^i, \quad \text{where } \mathbf{m} = (m_{248}, m_{247}, \dots, m_0) \quad (3)$$

RS(23,17) 부호는 식 (3)의 입력 정보 벡터에 서 식 (4)와 같이 $m_{248} \sim m_{17}$ 을 0으로 하여 계산된다.

$$\mathbf{m} = (0, \dots, 0, m_{16}, \dots, m_0) \quad (4)$$

따라서, UWB시스템의 RS(23,17)부호기의 출력 코드워드(codeword)는 식 (5)와 같이 정의된다.

$$\mathbf{c} = (c_{22}, c_{21}, \dots, c_0) = (m_{16}, m_{15}, \dots, m_0, p_5, p_4, \dots, p_0) \quad (5)$$

여기에서, c_i 는 8bit이며, GF(28)의 원소이다.

2.2 ME 알고리즘

일반적인 RS 복호기의 구조는 앞서 설명한 바와 같이, 그림 1의 구조를 가지며, ME 알고리

즘은 식 (7)~(10)으로 요약될수 있다. KES 블록은 키 방정식 $S(x)\sigma(x) = \omega(x) \bmod x^{2t}$ 을 계산하여, 오류위치 다항식 $\sigma(x)$ 와 오류값 다항식 $\omega(x)$ 을 찾는다. 이 때, 초기치는 식 (6)과 같다[4,5]. $S(x)$ 는 복호기의 신드롬 계산 블록에서 계산된 신드롬 다항식을 나타내며, $t = \lfloor (n-k)/2 \rfloor$ 는 RS 부호의 오류 정정 능력을 나타내며, $r(x)$ 는 수신된 코드워드 다항식이다.

$$S(x) = s_{2t-1}x^{2t-1} + \dots + s_1x + s_0 = \sum_{i=0}^{2t-1} s_i x^i \quad (6)$$

where, $s_i = r(\alpha^i)$, $r(x) = r_{n-1}x^{n-1} + \dots + r_0$

$$R_0(x) = x^{2t}, \quad Q_0(x) = S(x), \quad L_0(x) = 0, \quad U_0(x) = 1 \quad (7)$$

$$R_i(x) = \left[\sigma_{i-1} b_{i-1} R_{i-1}(x) + \overline{\sigma_{i-1} a_{i-1}} Q_{i-1}(x) \right] - x^{l_{i-1}} \left[\sigma_{i-1} a_{i-1} Q_{i-1}(x) + \overline{\sigma_{i-1} b_{i-1}} R_{i-1}(x) \right] \quad (8)$$

$$Q_i(x) = \sigma_{i-1} Q_{i-1}(x) + \overline{\sigma_{i-1}} R_{i-1}(x) \quad (9)$$

$$L_i(x) = \left[\sigma_{i-1} b_{i-1} L_{i-1}(x) + \overline{\sigma_{i-1} a_{i-1}} U_{i-1}(x) \right] - x^{l_{i-1}} \left[\sigma_{i-1} a_{i-1} U_{i-1}(x) + \overline{\sigma_{i-1} b_{i-1}} L_{i-1}(x) \right] \quad (10)$$

$$U_i(x) = \sigma_{i-1} U_{i-1}(x) + \overline{\sigma_{i-1}} L_{i-1}(x) \quad (11)$$

여기에서, a_{i-1} , b_{i-1} 는 각각 $R_{i-1}(x)$ 와 $Q_{i-1}(x)$ 의 leading coefficients이다. 그리고, l_{i-1} 과 σ_{i-1} 는 다음과 같다.

$$l_{i-1} = \deg(R_{i-1}(x)) - \deg(Q_{i-1}(x)) \quad (12)$$

$$\sigma_{i-1} = \begin{cases} 1, & \text{if } l_{i-1} \geq 0 \\ 0, & \text{if } l_{i-1} < 0 \end{cases} \quad (13)$$

여기에서, $\deg(\cdot)$ 는 다항식의 차수를 나타낸다. ME 알고리즘은 $\deg(R_i(x)) < t$ 가 만족될 때 까지 반복된다.

2.3 PS-ME 알고리즘 블록 구조

ME 알고리즘은 식 (12)의 l_{i-1} 값에 따라서 다항식 차수가 다양하게 바뀌기 때문에, 하드웨어 설계를 어렵게 한다. [4-6]의 PS-ME 알고리즘 블록의 동작 원리는 파이프라인 구조를 사용하여 각 PE에서 입력 $R_{i-1}(x)$ 또는 $Q_{i-1}(x)$ 의 차수가 1씩 감소하게 하여, 하드웨어의 규칙성을 갖게 만들었으며, 이로 인해 고속으로 복호기 설계가 가능하다. 즉, PE에서 $R_{i-1}(x)$ 의 차수가 $Q_{i-1}(x)$ 의 차수보다 크거나 같으면($\sigma_{i-1} = 1$), 다항식 연산을 통해 $R_{i-1}(x)$ 의 최고차 항을 제거하고 남은 다항식 $R_i(x)$ 을 출력하므로, $\deg(R_i(x)) = \deg(R_{i-1}(x)) - 1$ 이 되고, $Q_i(x) = Q_{i-1}(x)$ 가 된다. 만약 $R_{i-1}(x)$ 의 차수가 $Q_{i-1}(x)$ 차수보다 작으면($\sigma_{i-1} = 0$), 다항식 스위치를 해서 같은 과정을 반복한다. 그리고, 만약에 $Q_{i-1}(x)$ 의 leading coefficient가 '0'이면, 다항식 연산을 하지 않고, shift 연산을 하여 '0'인 $Q_{i-1}(x)$ 의 최고차 항을 제거 한다. 이 알고리즘은 $\deg(R_i(x)) < t$ 또는 $\deg(Q_i(x)) < t$ 를 만족하면, stop 신호가 발생하여 이후의 PE는 shift 연산만을 수행하게 된다. 이와 같은 PE 블록 계산 과정을 표 1에 정리하였다.

<표 1> PE 블록 계산 과정

MUX 출력	$\sigma_{i-1} = 1$ (No switch)	$\sigma_{i-1} = 0$ (Switch)
$R_{i-1}(x)$	$R_{i-1}(x)$	$Q_{i-1}(x)$
$Q_{i-1}(x)$	$Q_{i-1}(x)$	$R_{i-1}(x)$
$L_{i-1}(x)$	$L_{i-1}(x)$	$U_{i-1}(x)$
$U_{i-1}(x)$	$U_{i-1}(x)$	$L_{i-1}(x)$
PE 출력	$b'_{i-1} \neq 0$	$b'_{i-1} = 0$

MUX 출력	$\sigma_{i-1} = 1$ (No switch)	$\sigma_{i-1} = 0$ (Switch)
$\deg(R_i(x))$	$\deg(R_{i-1}(x)) - 1$	$\deg(R_{i-1}(x))$
$\deg(Q_i(x))$	$\deg(Q_{i-1}(x))$	$\deg(Q_{i-1}(x)) - 1$
$R_i(x)$	$b'_{i-1}R_{i-1}(x) + a'_{i-1}Q_{i-1}(x)$	$R_{i-1}(x)$
$Q_i(x)$	$Q_{i-1}(x)$	Shift
$L_i(x)$	$b'_{i-1}L_{i-1}(x) + a'_{i-1}U_{i-1}(x)$	$L_{i-1}(x)$
$U_i(x)$	$U_{i-1}(x)$	Shift

표 1에서와 같이, PE는 $\deg(R_{i-1}(x))$ 와 $\deg(Q_{i-1}(x))$ 를 비교하여 $\sigma_{i-1}(x) = 0$ 인 경우에는 입력 다항식을 스위치한 후, $R_{i-1}(x)$, $Q_{i-1}(x)$ 의 leading coefficient a'_{i-1} , b'_{i-1} 에 따라서 다항식 연산 또는 shift 연산을 수행한다. PS-ME의 초기값은 식 (14)를 사용한다.

$$\begin{aligned} \deg(R_0(x)) &= 2t, \quad \deg(Q_0(x)) = 2t-1, \\ R_0(x) &= x^{2t}, \quad Q_0(x) = xS(x) \\ L_0(x) &= 0, \quad U_0(x) = x \end{aligned} \quad (14)$$

3. PS-DCME 알고리즘

3.1 제안된 PS-ME 블록 구조

UWB 시스템에서 사용되는 RS(23,17)부호에 대하여 PS-ME 블록은 $t=3$ 이므로, PE1 ~ PE6까지 6개의 PE 블록을 사용한다[6]. 최종단의 PE6의 출력에서는 식 (15), (16)과 같이 R_6 와 Q_6 의 차수를 비교하여, $\sigma(x)$ 와 $\omega(x)$ 를 얻는다.

$$\sigma(x) = \begin{cases} U_6(x), & \text{if } \deg(R_6(x)) > \deg(Q_6(x)) \\ L_6(x), & \text{otherwise} \end{cases} \quad (15)$$

$$\omega(x) = \begin{cases} Q_6(x), & \text{if } \deg(R_6(x)) > \deg(Q_6(x)) \\ R_6(x), & \text{otherwise} \end{cases} \quad (16)$$

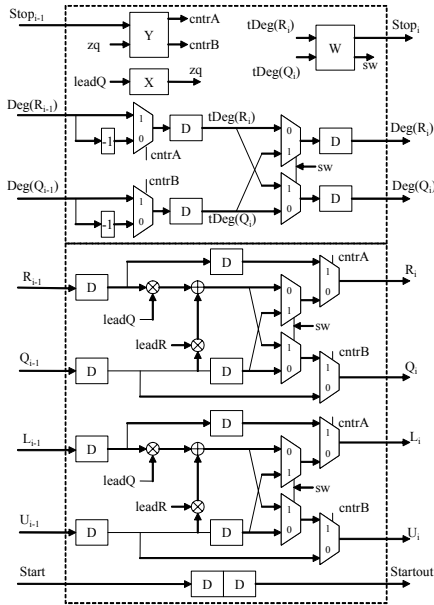
그리고, 짝수번째 PE 블록의 출력 $R_i(x)$ 와 $L_i(x)$ 의 출력은 원래 차수보다 1이 큰 $xR_i(x)$, $xL_i(x)$ 가 출력된다. 따라서, 최종단 PE6의 출력

$R_6(x)$ 와 $L_6(x)$ 에 레지스터를 두어, $R_6(x)$, $Q_6(x)$, $L_6(x)$, $U_6(x)$ 의 차수가 맞게 정렬을 시켜줘야한다. 만약 각 PE의 출력에서 항상 $\deg(R_i(x)) \geq \deg(Q_i(x))$ 가 만족되도록 PE의 구조를 바꾼다면, 식 (15), (16)은 각각 식(17),(18)과 같이 간단하게 됨을 알 수 있다. 이렇게 하면, 출력 단에서 차수를 맞추기 위한 레지스터, 차수 비교 회로, MUX 등이 필요하지 않게 된다.

$$\sigma(x) = U_6(x) \quad (17)$$

$$\omega(x) = Q_6(x) \quad (18)$$

본 논문에서는 각 PE의 출력에서 항상 $\deg(R_i(x)) \geq \deg(Q_i(x))$ 을 만족하도록 하기 위해, $R_{i-1}(x)$, $Q_{i-1}(x)$, $L_{i-1}(x)$, $U_{i-1}(x)$ 로 부터, 식(8)~(11)의 다항식 연산을 한 이후에, $\deg(R_i(x))$ 와 $\deg(Q_i(x))$ 를 비교하여 출력 다항식을 스위치할지 여부를 결정한다. 이러한 구조를 그림 3에 나타내었고, \otimes 는 GF(28) 곱셈기, \oplus 는 GF(28) 덧셈기를 나타낸다.



(그림 3) 제안된 PE 블록 구조

그림 3에서 leadR, leadQ는 각각 $R_{i-1}(x)$ 와 $Q_{i-1}(x)$ 의 leading coefficient를 나타내며, Stop_i와 sw 신호를 발생하는 회로를 나타내는 'W'는 식 (19)와 같다. PE cell 내부 제어신호 zq, cntrA, cntrB를 발생하는 회로 'X', 'Y'는 식 (20)에 정의되어 있다.

$$Stop_i = \begin{cases} 1, & \text{if } (tDeg(R_i) < t) \text{ or } (tDeg(Q_i) < t) \\ 0, & \text{otherwise} \end{cases} \quad (9)$$

$$sw = \begin{cases} 1, & \text{if } tDeg(R_i) < tDeg(Q_i) \\ 0, & \text{otherwise} \end{cases}$$

$$zq = \begin{cases} 1, & \text{if } \leq adQ=0 \\ 0, & \text{otherwise} \end{cases} \quad (20)$$

$$cntrA = Stop_{i-1} \text{ or } zq$$

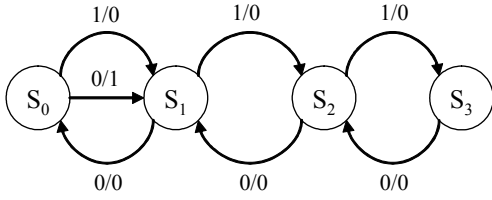
$$cntrB = Stop_{i-1} \text{ or } (\neg zq)$$

3.2 PS-DCME 알고리즘

표 1에 나타나 있는 바와 같이, PS-ME 구조의 각 PE에서 $R_{i-1}(x)$ 또는 $Q_{i-1}(x)$ 의 차수가 1씩 감소하게 된다. 또한, 본 논문에서 제안한 그림 3의 PE 블록 구조에서는 입력에서 항상 $\deg(R_{i-1}(x)) \geq \deg(Q_{i-1}(x))$ 가 성립하기 때문에, 입력 다항식에 대하여 차수를 비교하는 대신에, $|\deg(R_i(x)) - \deg(Q_i(x))|$ 를 관찰함으로써 PE 블록의 제어를 할 수 있다. 또한, 각 PE에서 $|\deg(R_i(x)) - \deg(Q_i(x))|$ 값의 변화는 1이 증가거나 혹은 1이 감소하므로, 스테이트 머신(state machine)으로 표현할 수 있으며, 각 상태 S_k 는 식 (21)과 같이 정의할 수 있다. 식(14)와 같이 $\deg(R_0(x)) = 2t$ 이고, ME 알고리즘 동작이 완료되는 조건이 식(19)와 같기 때문에, 식 (21)의 상태는 $S_0 \sim S_t$ 까지 가능하다. RS(23,17) 복호기에 대하여 그림 4와 같이 표현할 수 있고, 가능한 상태는 $S_0 \sim S_3$ 4가지 경우가 있다.

$$S_k = |\deg(R_i(x)) - \deg(Q_i(x))|, \text{ for } k = 0, 1, \dots, t \quad (21)$$

Legend : zq/sw

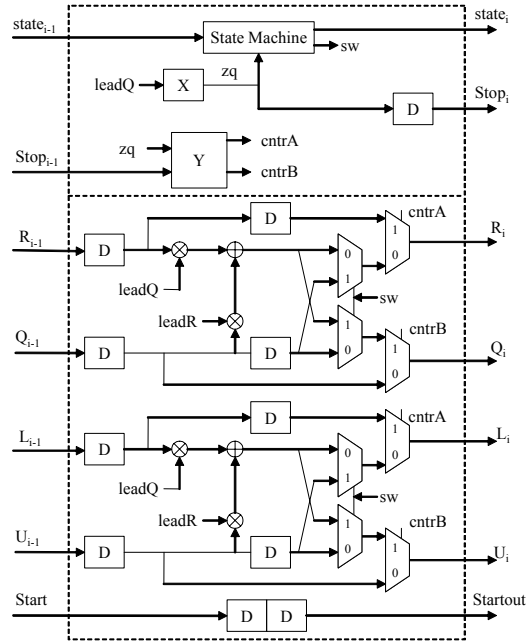


(그림 4) RS(23,17) 복호기에 대한 상태 천이도

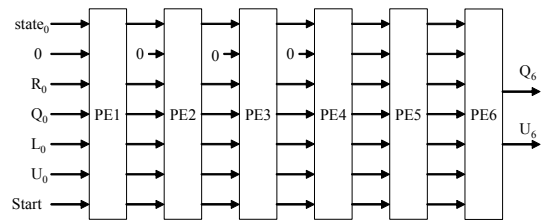
그림 4의 상태 천이도에서 zq는 식(20)에 정의된 것과 같고, sw는 식 (19)에 정의된 것과 달리, 현재 상태와 zq값에 따라 결정된다. i번째 PE의 입력 상태가 S_0 이면, $R_{i-1}(x)$ 와 $Q_{i-1}(x)$ 의 차수가 같다는 것을 의미하기 때문에, zq값과 무관하게, i번째 PE의 출력 상태는 S_1 이 된다. 이 때, 만약 zq=1이면 $Q_{i-1}(x)$ 의 leading coefficient가 '0'이므로, shift 동작만을 하게 되고, zq=0이면 다항식 연산을 통해 $R_{i-1}(x)$ 의 차수가 $Q_{i-1}(x)$ 보다 1이 작아지므로, sw=1이 되고, i번째 PE출력은 $R_i(x)$ 와 $Q_i(x)$ 가 switch되어 출력된다. S_1, S_2 에서는 zq=1이면, 상태가 1 증가하고, zq=0이면 상태가 1 감소한다. S_1, S_2 일 때는 zq와 무관하게 다항식 switch를 할 필요가 없다. S_3 에서는 zq=1인 경우는 발생하지 않는다. 이와 같이 그림 4의 상태도를 이용하면 각 PE블럭을 제어할 수 있다.

PS-DCME 알고리즘을 위한 PE 블럭 구조를 그림 5에 나타내었다. 그림 5에서 $Stop_i$ 신호는 zq와 같으며, 이 zq는 식(19)에서 정의된 바와 같다. sw 신호는 그림 4의 상태도에 따라 출력되고, cntrA, cntrB 신호는 식 (20)과 같다. 그림 6은 그림 5의 PE 블럭 6개를 이용하여 RS(23,17) 복호기를 위한 PS-DCME 알고리즘 블럭도이다. RS(23,17)의 복호기에서 신드롬 $s_5 = s_4 = s_3 = 0$ 인 경우는 발생하지 않으므로, 항상 PE1, PE2, PE3, PE4는 모든 오류 패턴에 대하여 항상 동작을 해야한다. 따라서, $Stop_0, Stop_1, Stop_2, Stop_3$

은 항상 '0'을 입력한다. 그림 6의 초기 상태 $state_0$ 는 식 (14)로부터 S_1 이고, PE6의 출력은 식 (17), (18)이 된다.



(그림 5) PS-DCME 알고리즘을 위한 PE 블럭 구조



(그림 6) PS-DCME 블럭도

4. 성능 평가

PS-DCME 알고리즘을 사용하는 RS(23,17) 복호기를 Verilog HDL을 사용하여 설계하였다. 일반적인 RS 복호기에서는 그림 2에서와 같이, 복호기 전체 지연에 해당하는 크기 만큼의 FIFO를 가지고 있어야 한다. 그러나, UWB 시

시스템에서는 PLCP header에서만 RS 부호를 사용하고 다른 곳에서는 사용되지 않기 때문에, 정보 심볼의 길이인 17Byte 크기의 FIFO를 사용하였고, register로 구현하였다.

설계된 RS(23,17) 복호기를 삼성 65nm library를 이용하여 합성한 결과, FIFO까지 포함한 area estimation이 25,379이므로 gate count는 대략 19,827(=25,379/1.28)로 추정된다. 또한, 400MHz(2.5nsec)에서 timing closure되었기 때문에, 실제 ASIC을 제작했을 경우에 250MHz정도까지는 동작이 보장된다고 볼 수 있다. 이 결과와 [6]에서 제시한 결과를 비교하여 표 2에 나타내었으며, PS-DCME 알고리즘을 이용하여 복호기를 설계할 때, 동작 속도 및 하드웨어 복잡도를 개선할 수 있음을 알 수 있다. 표 3은 KES 블록의 하드웨어 복잡도를 비교한 결과이다. PS-DCME 알고리즘은 pDCME 알고리즘에 비해 하드웨어 복잡도가 줄어드는 것을 볼 수 있다.

(표 3) RS(23,17) 복호기의 합성 결과 비교

	PS-DCME	PS-ME[6]
Technology	65nm	0.18um
Latency(clocks)	39	46
Clock Rate(MHz)	400	232
Gate Count	19,827	27,000

(표 4) KES 블록의 하드웨어 복잡도 비교

	PS-DCME	pDCME[10]	E-DCME[9]
Multipliers	8t	8t	6t
Adder	4t	4t	3t
D-FFs	26t	54t	6t
MUX	16t	20t	6t

기존의 많은 연구 결과가 RS(255,239) 부호에 대하여 결과를 제시하고 있기 때문에, PS-DCME

알고리즘의 성능 비교를 위해 그림 6과 같이 구현되는 KES 블록을 확장하여, 16개의 PE 블록을 갖는 KES 블록을 설계하였다. 표 4는 구현 결과를 정리한 것이다. pDCME와 DCME 알고리즘의 구현 결과는 참고문헌 [10]을, E-DCME 알고리즘의 구현 결과는 참고문헌 [9]를 참조하였다. 표 4에서는 참고문헌 [9]에서 제시되지 않은 값은 빈칸으로 두었다. 그러나, DCME 알고리즘의 구현 결과와 유사할 것이다. 표 4에서 알 수 있듯이, DCME와 E-DCME 알고리즘은 KES블록의 하드웨어 복잡도가 작은 반면, 제어하는 회로의 복잡도가 크다. 또한, 모든 셀에 입력되는 leading coefficient a_i , b_i 가 feedback되므로 상대적으로 고속 구현이 어려워서 동작 속도가 다소 느리게 된다. 제안된 PS-DCME 알고리즘은 pDCME 알고리즘에 비해 하드웨어 복잡도는 개선된 반면, 동작속도는 다소 줄어들게 된다. 복호 지연(Latency)은 E-DCME는 $2t-1$ 을 갖는 반면 파이프라인 구조를 갖는 PS-DCME는 $4t$, pDCME는 $10t$ 를 갖는다. PS-DCME 알고리즘의 동작 속도는 PE 블록 내부에 register를 삽입거나, [5]에 제시된 pipelined fully-parallel multiplier를 사용하면 개선될 수 있다.

(표 5) RS(255,239) 복호기의 구현 결과

	PS-DCME	pDCME [10]	DCME [7]	E-DCME [9]
Technology	65nm	0.13um	0.25um	0.18um
Syndrome	2,900	2,900	2,900	
KES	36,600	46,200	21,760	18,000
Chien, Forney, control	4,100	4,100	17,533	
Gate Count	43,600	53,200	42,213	
Clock Rate(MHz)	550	660	200	
KES Latency	4t	10t	2t	2t-1

5. 결론

본 논문에서는 RS(23,17)부호의 복호기에 사용할 수 있는 PS-DCME 알고리즘을 제안하였다. PS-DCME 알고리즘의 PE 블록 구조의 출력은 항상 $\deg(R_{i-1}(x)) \geq \deg(Q_{i-1}(x))$ 이 성립하여, 차수 계산을 하지 않고, state machine으로 ME 알고리즘 계산을 할 수 있게 하였다. 이로 인해, 하드웨어 복잡도도 감소될 뿐 만 아니라, 고속의 복호기 설계가 가능하다. 또한, PS-DCME 알고리즘의 마지막 단계의 PE 블록 출력에서, 항상 $Q(x)$ 는 오류값 다항식이 되고, $U(x)$ 는 오류 위치 다항식이 되기 때문에, KES 블록의 최종 출력단에서도 차수 비교를 하지 않아도 되고, MUX 및 register가 필요하지 않는다. 합성 결과, 400MHz(2.5nsec)에서 timing closure되었기 때문에, 실제 ASIC을 제작했을 경우에 250MHz정도까지는 동작이 보장된다고 볼 수 있으며, area estimation이 25,379이므로 gate count는 대략 19,827(=25,379/1.28)이다.

참고 문헌

- [1] International Standard, ISO/IEC 26907:2007(E), "Information technology - Telecommunications and information exchange between systems - High Rate Ultra Wideband PHY and MAC Standard"
- [2] S. B. Wicker, Error Control Systems for Digital Communication and Storage, Englewood Cliffs, NJ, Prentice-Hall, 1995.
- [3] H. M. Shao, T. K. Truong, L. J. Deutsch, J. H. Yuen, and I. S. Reed, "A VLSI design of a pipeline Reed-Solomon decoder", IEEE Trans. Comput., vol. C-34, no. 5, pp. 393-403, May 1985.
- [4] H. Lee, "Modified Euclidean algorithm block for high-speed Reed-Solomon decoder", Electron. Lett., 37, pp. 903-904, 2001.
- [5] H. Lee, "High-speed VLSI architecture for parallel Reed-Solomon decoder", IEEE Trans. Very Large Scale (VLSI) Integr. Syst., vol. 11, no. 2, pp. 288-294, Apr. 2003.
- [6] S. W. Choi, S. S. Choi, H. Lee, "RS decoder architecture for UWB," IEEE ICACT 2006, pp. 805-808, 2006.
- [7] J. H. Baek and M. H. SunWoo, "New degree computationless modified Euclid's algorithm and architecture for Reed-Solomon decoder", IEEE Trans. Very Large Integr. (VLSI) Syst., vol. 14, no. 8, pp 915-920, Aug. 2006.
- [8] D. V. Sarwate and N. R. Shanbhag, "High-speed architecture for Reed-Solomon Decoders," IEEE Trans. on VLSI Systems, vol. 9, no.55, pp. 641-655, Oct., 2001.
- [9] J. H. Baek and M. H. SunWoo, "Enhanced degree computationless modified Euclid's algorithm for Reed-Solomon decoders," Electronics Letters, vol. 43, no. 3, pp. 175-176, Feb., 2007.
- [10] S. Lee, H. Lee, J. Shin, J. Ko, "A High-Speed Pipelined Degree-Computationless Modified Euclidean Algorithm Architecture for Reed-Solomon Decoders," ISCAS, pp. 901-904, May, 2007.

◎ 저 자 소 개 ◎



강 성 진

1992년 연세대학교 전자공학과 졸업(학사)
1994년 연세대학교 대학원 전자공학과 졸업(석사)
1998년 연세대학교 대학원 전자공학과 졸업(박사)
2002-2007년 전자부품연구원 통신네트워크연구센터 책임연구원
2007~현재 한국기술교육대학교 정보기술공학부 조교수
관심분야 : WPAN/WLAN, MODEM SoC
E-mail : sjkang@kut.ac.kr



홍 대 기

1997년 광운대학교 컴퓨터공학과 졸업(학사)
1999년 연세대학교 대학원 전자공학과 졸업(석사)
2003년 연세대학교 대학원 전기전자공학과 졸업(박사)
2003-2006년 전자부품연구원 통신네트워크연구센터 선임연구원
2006~현재 상명대학교 공과대학 정보통신공학과 조교수
관심분야 : 무선통신, 이동통신, WPAN, WLAN
E-mail : hongdk@smu.ac.kr