

논문 2009-46TC-1-13

Class F 전력 증폭기의 드레인 전압 변화에 따른 고조파 조정 회로의 최적화

(Optimization of Harmonic Tuning Circuit vary as Drain Voltage of
Class F Power Amplifier)

이종민*, 서철현**

(Chongmin Lee and Chulhun Seo)

요약

본 논문은 EER (Envelope Elimination and Restoration)에 적용된 class F 전력 증폭기의 드레인 전압의 변화에 따른 출력 정합회로의 최적화에 대하여 연구하였다. EER 구조에 적용된 class F PA의 PAE (Power Added Efficiency)를 개선하기 위해 고조파 조정 회로에 Varactor 다이오드를 사용하였다. 포락선의 변화에 따라 2차 고조파는 단락 시키고 3차 고조파는 개방 시키도록 설계되었으며 본 논문에서 제안된 고조파 조정 회로를 통해 드레인 전압이 25 V에서 30 V까지 변화할 때 수 %의 PAE 개선 효과를 얻을 수 있었다.

Abstract

This paper presents the design and optimization of output matching network according to envelope for class F power amplifier (PA) which is to apply to envelope elimination and restoration (EER) transmitter. In this paper, to increase the PAE of class F power amplifier which applies to EER transmitter, the varactor diode has been used on output matching network. As envelope changes, it optimizes constitution of harmonic trap that is short circuit in 2nd-harmonic and is open circuit in 3rd-harmonic. When drain voltage changes from 25 V to 30 V, some percentage is improved in the PAE, put the abstract of paper here.

Keywords : Class F PA, load-pull impedance, envelope tracking circuit, varactor diode, harmonic tuning circuit.

I. 서론

무선 통신 시스템은 매우 빠른 속도로 성장하였으며 변화하는 응용분야에서의 그 필요성은 증가하였다. 무선 통신 시스템에서 전력 증폭기는 매우 중요한 소자로 선형성과 효율측면에서 전체 시스템의 성능을 결정한다. RF 모듈의 저비용 및 낮은 전력 소비 측면에서 전

력 증폭기의 선형성과 효율은 중요한 성능 지표이다. 특히, 전력 증폭기의 효율은 최근 설계 우선순위 중 하나이다. class D나 E, inverse E, F 그리고 inverse F와 같은 스위칭 모드 증폭기들은 과부동 되어 선형성이 나쁘지만 일반적으로 높은 효율을 얻기 위해 사용된다^[1]. 따라서 일반적인 송신기구조에 이런 증폭기들을 위치시킬 경우에 LINC나 EER과 같은 선형성 및 효율 특성을 개선할 수 있는 구조에 적용하는 것이 일반적인 설계 방법이다^[2~3].

본 논문에서는 EER 구조에 적용된 class F 전력 증폭기의 PAE 개선에 대해 연구하였다. EER 구조에 적용된 class F 전력 증폭기의 경우 포락선의 변화에 의

* 학생회원, ** 정회원, 송실대학교 정보통신공학부
(Information and Telecommunication Engineering,
Soongsil University)

※ 이 연구는 2008학년도 송실대학교 대학 연구비의
지원으로 연구되었음.

접수일자: 2009년1월8일, 수정완료일: 2009년1월19일

해 드레인 전압이 변화하게 된다. 이때 드레인 전압의 변화에 의해 최대 출력을 갖는 load-pull 임피던스점이 변화하게 되는데 이러한 영향으로 PAE가 악화되는 결과를 가져온다^[4~7]. 본 논문에서는 class F 전력 증폭기에 고조파 조정 회로를 적용하므로 효율의 변화를 실험하였다.

II. 포락선에 따른 load-pull 임피던스의 변화

그림 1은 제안된 EER구조를 보여준다. 일반적으로 포락선 검출 회로는 directional coupler, 포락선 검파기, op-amp, DC-DC 변환기 등으로 구성된다. Directional coupler에 의해 입력된 신호는 검출되고 그 크기가 감소한다. 이렇게 검출된 신호는 다시 포락선 검파기에 의해 DC 전압으로 변환되고 op-amp와 DC-DC 변환기에 의해 class F 전력 증폭기의 드레인 전압을 조정하기 위해 증폭된다. 이러한 포락선 검출 회로를 통해 얻어진 드레인 전압은 25 V에서 30 V이다.

Load-pull 임피던스는 드레인 전압의 변화에 의해 변화된다. 그림 2에서 보는 것처럼 load-pull 임피던스는 최대 출력과 최대 효율을 얻기 위해 4.367-j13.6 Ω에서 3.781-j19.4 Ω까지 변화된다. 이런 load-pull 임피던스의 변화는 출력 전력 등고선 (contours)을 고려할 때 매우 큰 변화로 EER 구조에서 최대 출력 및 효율 그리고 선형성까지 영향을 준다.

따라서 class F 전력 증폭기의 변화하는 load-pull 임피던스에 적합한 고조파 조정 회로를 적절히 설계해야 한다. 일반적으로 class F 전력증폭기의 고조파 조정 회로는 짝수 고조파 성분은 단락 시키고 홀수 고조파 성분은 개방 시키도록 설계된다^[8]. 이러한 고조파 조정 회

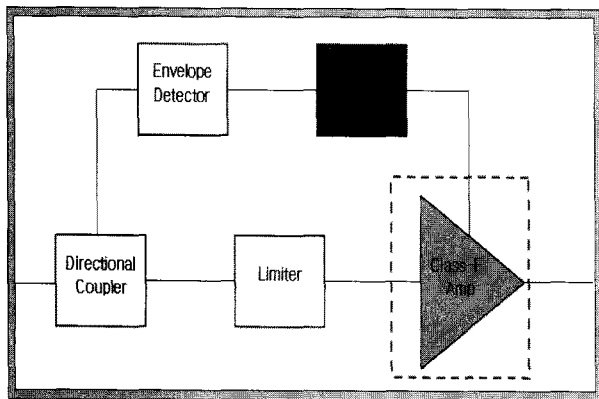
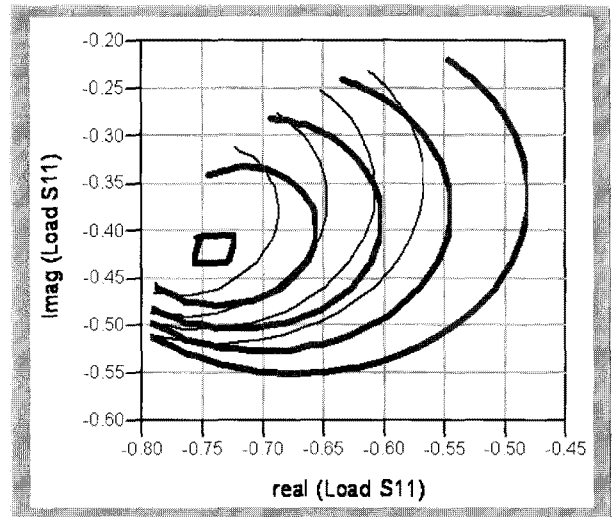
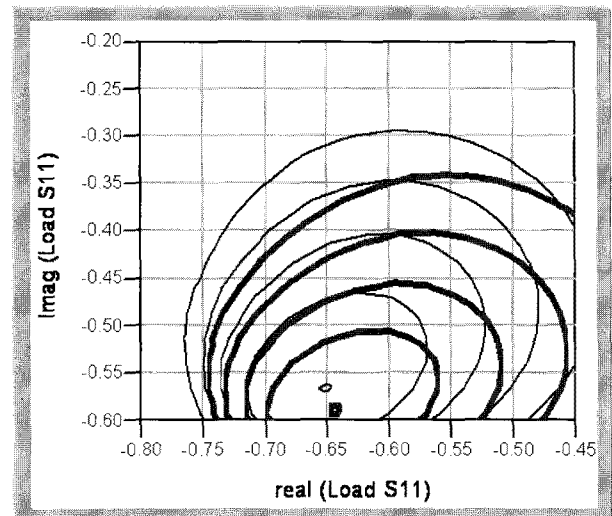


그림 1. 제안된 EER 구조
Fig. 1. Proposed EER structure.



(a) $Z_{opt}=4.367-j13.6 \Omega$ at $V_{ds}=25 \text{ V}$



(b) $Z_{opt}=3.781-j19.4 \Omega$ at $V_{ds}=30 \text{ V}$

그림 2. 포락선에 따른 load-pull 임피던스의 변화
Fig. 2. Variance of load-pull impedance according to envelope.

로를 사용한 드레인 전압과 전류의 파형은 각각 구형파 및 반파 정류된 형태로 나타나게 된다. 이상적으로 시공간에서의 전류, 전압 파형은 1 사이클 동안에 180°의 위상차를 가지게 되므로 PAE는 100 %이며 소자에서 소비된 전력은 0 이다.

III. 버렉터 다이오드를 사용한 고조파 조정회로 설계

일반적인 50 Ω 부하에서 최대 PAE를 얻기 위해서는 출력 정합회로에 의해 그 소자의 임피던스인 Z_{opt} 로 변환해야 한다. class F 동작 조건에서 능동 소자의 출력

단 임피던스는 식 (1)과 같다^[8~10].

$$Z_{\infty} = \begin{cases} Z_{opt} & \text{at } f_o \\ 0 & \text{at } 2f_o \\ \infty & \text{at } 3f_o \end{cases} \quad (1)$$

본 논문에서는 식 (1)에서 보는 것과 같이 2차 고조파와 3차 고조파 성분을 단락, 개방 시키도록 하였다. 이와 같은 이유는 3차 고조파 이상의 더 많은 고조파를 조정하여 고조파 조정 회로를 구현한다 할지라도 성능 개선에 비해 회로의 복잡성이 증가하여 오히려 단점으로 작용될 수 있기 때문이다.

그림 3은 식 (1)에서 표현된 고조파 조정 회로의 설계 블록도를 보여주고 있다. 그림 3에서 보여주고 있는 길이는 중심 주파수에서의 전기적 길이를 나타내고 있다. Box I의 $\lambda/4$ 길이의 단락 회로는 2차 고조파를 단락 시킬 뿐만 아니라 드레인 바이어스를 인가하는 역할을 한다. 2차 고조파는 Box I의 낮은 임피던스로 인해 Box II나 Box III에 영향을 주지 않는다. Box II의 $\lambda/2$

길이의 직렬 전송 선로와 $\lambda/12$ 길이의 병렬 전송 선로는 3차 고조파 성분을 개방 시키는 역할을 한다. 또한 Box II의 $\lambda/12$ 길이의 전송 선로는 3차 고조파 성분을 낮은 임피던스 상태에 두므로 Box III에는 영향을 주지 않는다. 여기서 전송 선로의 길이는 2차, 3차 고조파에서 임피던스 단독으로 결정되어지진 않는다.

본 논문에서는 상용 벡터 다이오드를 사용하여 class F를 위한 고조파 조정 회로를 설계하였다. 벡터 다이오드는 최적의 정합 조건에 부합하기 위해 0 V에서 20 V까지 조정되었다.

그림 4는 고조파 조정 회로에 의해 정합된 중심 주파수 및 2차, 3차 고조파에서의 임피던스를 보여주고 있다. 벡터 다이오드의 제어 전압이 0 V 일 때 중심 주파수에서의 임피던스는 $4.367-j13.6 \Omega$ 이며 만약 벡터 다이오드의 제어 전압이 20 V 일 때 중심 주파수에서 입력 임피던스는 $3.781-j19.4 \Omega$ 이다. 그 밖에 2차, 3차 고조파의 입력 임피던스의 크기는 각각 0.148Ω , $4.2 \text{ k}\Omega$ 이다. 결과적으로 고조파 조정 회로에 의해 각 중심 주파수 및 2차, 3차 고조파에서 최적화되었음을 보여준다.

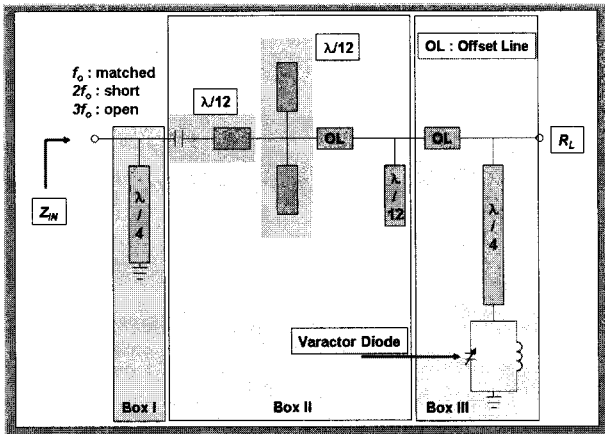


그림 3. 제안된 고조파 조정 회로
Fig. 3. Proposed harmonic tuned circuit.

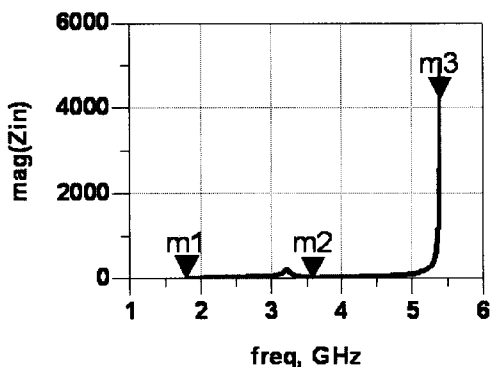


그림 4. 벡터 다이오드 제어 전압에 따른 Z_{in} 그래프
Fig. 4. Z_{in} graph by controlling V_{ctrl} of varactor diode.

IV. 제작 및 측정

1.8 GHz 중심 주파수를 갖는 class F 전력 증폭기는 그림 3에서 보인 제안된 고조파 조정 회로를 통해 최적화 되었다. 제안된 구조는 최적의 효율을 얻기 위해 전송 선로의 길이 및 폭이 조정되었고 포화 영역에서 구동되도록 바이어스를 인가하였다. 그밖에 최대 전력 전달을 위해 소신호 기술에 의한 적당한 입력 정합회로가 첨가되었다.

제안된 고조파 조정 회로를 사용한 class F 전력 증폭기는 그림 5에서 보는 것처럼 설계되었다. 여기서 사용

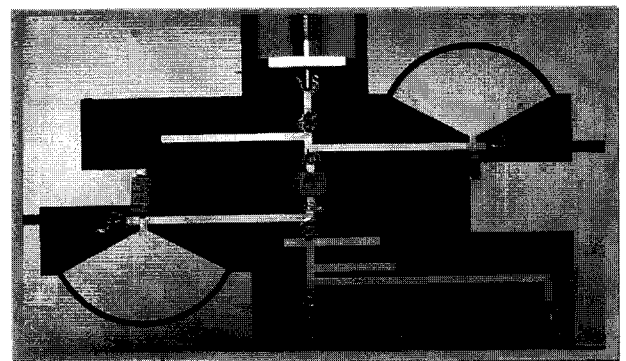


그림 5. 제작된 1.8 GHz class F 전력 증폭기
Fig. 5. Photo of fabricated 1.8 GHz class F PA.

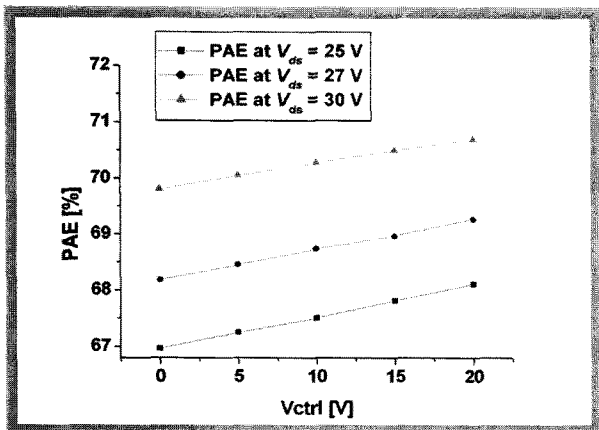


그림 6. 버랙터 제어 전압에 따른 PAE의 측정
Fig. 6. Measured PAE versus varactor control voltage.

된 기관은 TLC-32이다. 전력증폭기의 높은 효율을 위해 $V_{gs} = 3.2$ V, $V_{ds} = 25 \sim 30$ V 까지 조정되었으며 드레인 전압의 경우 실제로 EER 구조의 포락선 검파기에 의해 얻어진 전압의 변화폭이다.

제안된 class F 전력증폭기를 적용할 EER 구조의 경우 포락선 검파 회로는 AD8313을 사용하여 제작되었다. 이 소자의 입력으로 $-55 \sim -35$ dBm이 인가되면 출력 전압으로 0.88 V에서 1.28 V까지 출력된다.

이렇게 출력된 전압은 op-amp와 DC-DC 변환기를 통해 증폭되어 class F 전력증폭기의 드레인 전압으로 인가되게 된다.

본 논문은 EER 송신 구조에 적용하기 위해 버랙터 다이오드를 사용한 고조파 조정회로를 통해 변화하는 드레인 전압에 적합한 출력 정합회로를 적용한 class F 전력증폭기를 제안하였다. 제안된 class F 전력증폭기는 그림 6에서 보는 것과 같이 PAE의 향상을 가져왔다. 고조파 조정회로의 버랙터 다이오드가 0 V에서 20 V까지 조정될 때 드레인 전압의 각 25 V, 27 V, 30 V에서의 PAE 변화를 보여주고 있으며 전체적으로 약 3%의 PAE 개선 효과를 얻을 수 있었다.

V. 결 론

본 논문에서는 EER 송신기에서 포락선에 따른 class F 전력증폭기를 위한 최적의 출력 정합회로를 구현하는 방법에 대하여 나타내었다. EER 송신기에 적용된 전력증폭기의 드레인 전압은 포락선 검파기에 의해 변화 되는데 이것의 영향으로 출력 임피던스점이 변화하여 최적의 고조파 조정회로를 구현하는 것이 때

우 어렵다.

본 논문에서는 버랙터 다이오드를 사용한 고조파 조정회로를 통해 PAE를 증가하는 방법을 실험하였다. PAE의 측정 결과는 제안된 모델이 EER 송신기 구조 및 적용형 바이어스 회로에 매우 적합한 방안을 입증하였다.

제안된 class F 전력증폭기의 버랙터 다이오드의 제어 전압이 0 V에서 20 V까지 변화 할 때 PAE는 최대 70.7%를 얻었다. 결과적으로 PAE는 제안된 고조파 조정회로를 통해 3%의 향상된 결과를 얻을 수 있었다.

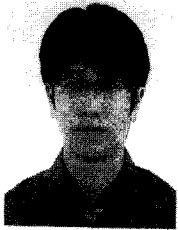
참 고 문 헌

- [1] A. Grebennikov and N. O. Sokal, *Switchmode RF Power Amplifiers*, Massachusetts: Elsevier, 2007.
- [2] L. R. Kahn, "Single Sideband Transmission by Envelope Elimination and Restoration," *Proc. IRE*, Vol. 40, No. 7, pp. 803-806, July 1952.
- [3] F. Raab, P. Asbeck, S. Cripps, P. Kenington, Z. Popovic, N. Potheary, J. Sevic, and N. Sokal, "Power amplifiers and transmitters for RF and microwave," *IEEE Trans. Microwave Theory Tech.*, vol. 50, no. 3, pp. 814 - 826, March 2002.
- [4] S. Cripps, *RF power amplifiers for wireless communications 2nd*, Massachusetts: Artech house, 2006.
- [5] J. F. Sevic, K. L. Burder, and M. B. Steer, "Novel Envelope-Termination Load-Pull Method for ACPR Optimization of RF/Microwave Power Amplifiers," *1998 IEEE MTT-S Int. Microwave Symp. Dig.*, Baltimore, MD, pp. 723-25, June 1998.
- [6] P. Fedorenko and J. S. Kenney, "Analysis and Suppression of Memory Effects in Envelope Elimination and Restoration (EER) Power Amplifiers," *IEEE Trans. Microwave Theory Tech.*, vol. 3, no. 8, pp. 1453 - 1456, June 2007.
- [7] J. S. Kenney and P. Fedorenko, "Identification of RF Power Amplifier Memory Effect Origins using Third-Order Intermodulation Distortion Amplitude and Phase Asymmetry," *2006 IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 13-18, June 2006.
- [8] F. Raab, "Class-E, Class-C, and Class-F power amplifiers based up on a finite number of harmonics," *IEEE Trans. Microwave Theory Tech.*, vol. 49, no. 8, pp. 1462 - 1468, August

2001.

- [9] R. Negra and W. Bachtold, "Lumped-element load-network design for class-E power amplifiers," *IEEE Trans. Microwave Theory Tech.*, vol. 54, no. 6, pp. 2684 - 2690, 2006.
- [10] R. Negra, F. Ghannouchi, and W. Bachtold, "Study and design optimisation of multiharmonic transmission-line load networks for class-E and class-F K-band MMIC power amplifiers," vol. 55, pp. 1390 - 1397, June 2007.

저 자 소 개



이 종 민(학생회원)

2005년 숭실대학교 정보통신전자
공학과 졸업 (공학사)

2005년~2007년 숭실대학교 정보
통신공학과 석사과정

2007년 3월~현재 숭실대학교
정보통신공학과 박사과정

<주관심분야 : RF Front_End System 및 소자>

서 철 현(정회원)

대한전자공학회논문지
제31권 TC편 6호 참조