논문 2009-46SP-1-13

고정 소수점 연산을 이용한 WCDMA 중계기에서의 귀환 신호 제거 알고리즘의 개발

(Development of Interference Cancellation Algorithm for WCDMA Repeater under Fixed-Point Operation)

정 희 석*, 윤 기 방**, 김 기 두***

(Hee-Seok Jung, Kee-Bang Yun, and Ki-Doo Kim)

요 약

본 논문에서는 WCDMA RF 중계기 시스템에서 송신안테나에서 전송 증폭된 중계신호가 수신안테나로 귀환되는 현상을 제거하고자 고정 소수점 연산의 ICS 알고리즘을 이용하여 중계기의 성능을 향상시킨다. 귀환 신호의 제거를 위한 LMS 기반의 ICS 알고리즘은 고속 DSP 프로세서나 대용량 FPGA를 사용하며, 이때 부동 소수점 연산을 위한 처리장치는 가격이 고가인 단점이 있다. 본 논문에서는 고정 소수점 연산 프로세서를 사용하여 ICS 알고리즘을 구현할 수 있도록 고정 소수점 연산용 ICS 알고리즘을 개발하고, 알고리즘의 성능검증을 위하여 부동 소수점 연산을 사용한 경우와 비교 시뮬레이션을 수행한다.

Abstract

We improve the performance of WCDMA repeater by cancelling the feedback interference radio signal under the fixed -point implementation. Floating-point DSP or FPGA to implement the ICS algorithm may have an disadvantage of high cost, To solve this problem, we suggest the ICS algorithm based on LMS under fixed point operation, and show the validity of our results by comparing with the floating-point results through numerical simulation.

Keywords: WCDMA, ICS, LMS, Fixed Point Operation, Repeater

I. 서 론

본 논문에서는 WCDMA RF 중계기 시스템에서 송신안테나에서 전송 증폭된 중계신호가 수신안테나로 귀환(feedback)되는 현상을 제거하고자 고정 소수점 연산(fixed point operation)의 ICS(Interference Cancelation System) 알고리즘을 이용하여 중계기의 성능을 향상시키기는 것을 목적으로 한다. 동일 대역 무선 중계기는 수신 신호와 송신 신호가 서로 동일한 주파수를 사용하므로 송신 안테나와 수신 안테나 사이에 격리(isolation)가 충분히 확보되어 있어야 한다. 그렇지 않으면 송신 안테나로부터 수신 안테나로 귀환된 간섭 신호가 원 신호와 결합하여 무선 중계기의 성능을 저하시키고, 발진의 원인이 된다. 따라서 귀환 간섭신호를 제거하는 것은 무선 중계기의 성능 향상에 매우 중요하다[1].

중계기에서 발생하는 귀환 신호의 제거를 위한 ICS 알고리즘은 고속 DSP 프로세서나 대용량 FPGA를 사용해 실행된다. 이 중 부동 소수점 연산을 위한 처리장치는 가격이 고가인 단점이 있다. 따라서 본 논문에서는 고정 소수점 연산 프로세서를 사용하여 ICS 알고리즘을 구현할 수 있도록 고정 소수점 연산용 ICS 알고리

* 학생회원, *** 정회원, 국민대학교 전자공학부
(School of Electronics Eng., Kookmin University)
** 정회원, 인천시립전문대학 디지털정보전자과
(Department of Electronics Eng., Incheon City College)
※ 본 연구는 국민대학교 2007년 교내 연구비와 한국과학재단 특정기초연구(R01-2008-000-20570-0) 지원으로 수행되었음.
접수일자: 2008년7월26일, 수정완료일: 2008년12월11일

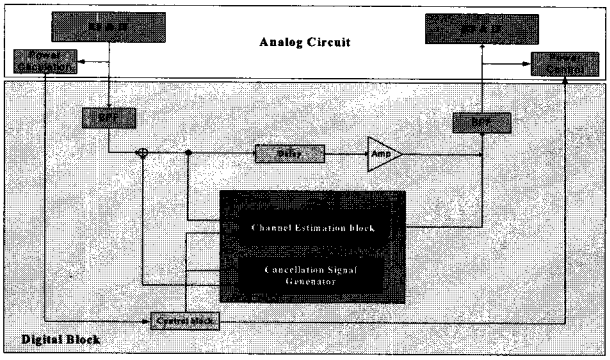


그림 1.1 WCDMA용 ICS 중계기 디지털부 내부 구조도
Fig. 1.1 Internal structure of digital part of ICS repeater for WCDMA.

즘을 개발하고, 알고리즘의 성능검증을 위하여 부동 소수점 연산[1]을 사용한 경우와 비교 시뮬레이션을 수행한다. 본 논문에서 제안하는 WCDMA 통신용 ICS 중계기는 최대 지연시간인 6μsec 미만의 귀환 신호를 제거하도록 고려하였으며, 귀환 신호가 단일경로(single-path) 뿐만 아니라 다중경로(multi-path)로 입력되는 경우에도 제거 하도록 설계하였다. 그림 1.1은 WCDMA 통신용 ICS 중계기를 위한 디지털부의 내부 구조도를 나타낸다[2].

Ⅱ. 제안한 알고리즘

2.1 ICS 디지털 부

귀환 채널을 추정하기 위한 적응 알고리즘은 LMS(Least Mean Square)를 사용하였다[3]. 그림 2.1은 구현된 ICS 알고리즘의 블록 다이어그램을 보여주며, 시뮬레이션에서는 채널 추정 및 생성 부분이 LMS 탭 600개(=6μsec)로 구성되어 있다. 각 숫자는 고정 소수점 연산일 때 할당 비트를 나타낸다(부동 소수점 연산은 32 비트로 계산)[4].

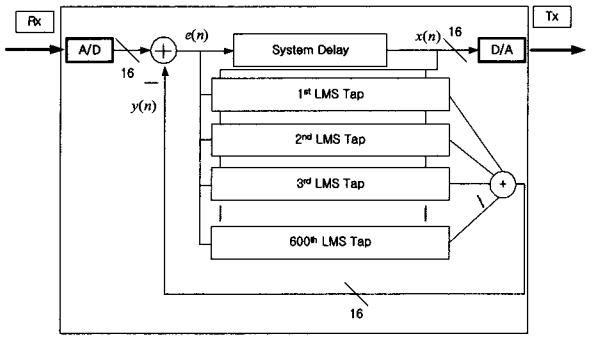


그림 2.1 ICS 알고리즘 블록다이어그램
Fig. 2.1 Block diagram of ICS algorithm.

그림 2.2는 LMS 1탭 블록 다이어그램을 나타낸 것이며, 채널 추정 신호($y(n)$)는 각 LMS 탭에서의 출력 신호를 더해서 생성된다.

2.2 ICS 동작

ICS의 동작은 InitMode, BypassMode, IncreaseMode,

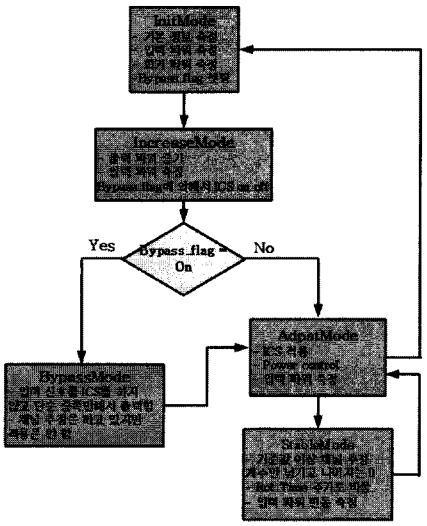


그림 2.3 상태 별 기능 정의
Fig. 2.3 Functional definition of each state.

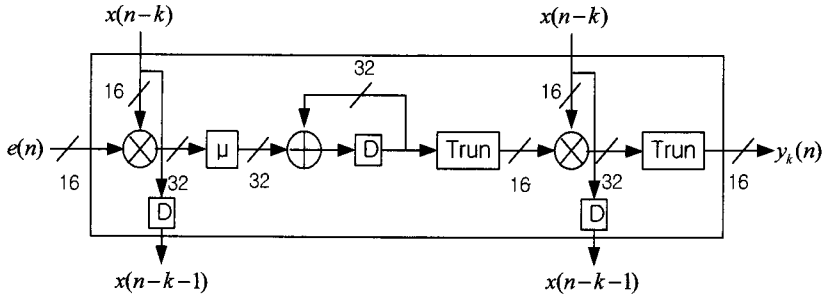


그림 2.2 LMS 1탭 블록 다이어그램
Fig. 2.2 One-tap block diagram for LMS.

AdaptMode 및 StableMode로 구분하고, 각 모드의 기능은 그림 2.3에 나타난 바와 같다.

Ⅲ. 시뮬레이션 환경

본 연구에서는 중계기 시스템에서 발생하는 송수신 안테나간의 단일경로 귀환 신호와 다중경로 귀환 신호를 제거하는 목적으로 그림 3.1과 같은 시뮬레이션 환경을 구성하고 고정 소수점 연산을 이용한 ICS 중계기의 알고리즘을 구현하였다.

그림 3.1에서 $d(t)$는 중계기의 수신안테나로 입력되는 기지국 신호 $r(t)$와 중계기의 출력이 증폭되고 귀환된 신호 $f(t)$가 합쳐진 중계기의 수신신호이다. ICS 알고리즘은 중계기 수신신호 $r(t)$를 아날로그-디지털 변환하여 중계기 디지털 수신신호 $d(n)$을 생성한 후 시작된다. ICS 알고리즘에 의해 귀환 신호를 추정하여 추정 귀환 신호 $y(n)$을 생성하고 디지털 중계기 수신신호에서 귀환 신호를 제거하는 과정을 반복한다.

귀환 신호에서 추정된 귀환 신호를 제거하고 남은 신호인 오차신호 $e(n)$은 귀환 신호의 추정이 제대로 이루어 졌다면 기지국 신호와 같아지기 때문에 ICS 중계기는 이 신호를 아날로그 신호로 변환한 후 증폭하여 전송한다.

본 논문에서 시도한 고정 소수점 연산을 하는 ICS 알고리즘은 WCDMA 시스템의 4 FA 신호에 대해 귀환 신호를 제거하는 것으로 설정하였기 때문에 중계기의 RF 다운 컨버터는 중심 주파수가 25 MHz이고, 대역폭이 20 MHz인 IF 밴드로 다운 컨버젼을 수행하였다고 가정하고 시뮬레이션을 수행하였다.

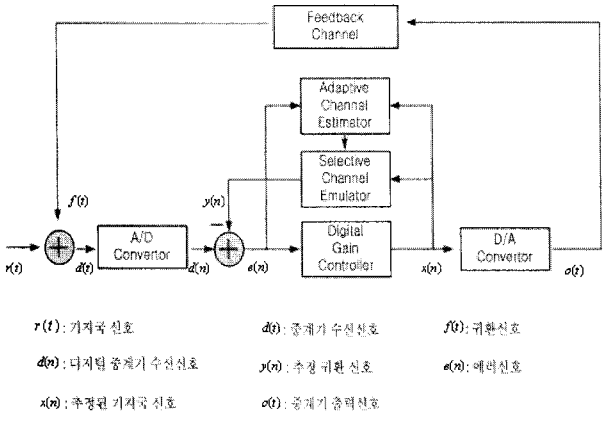
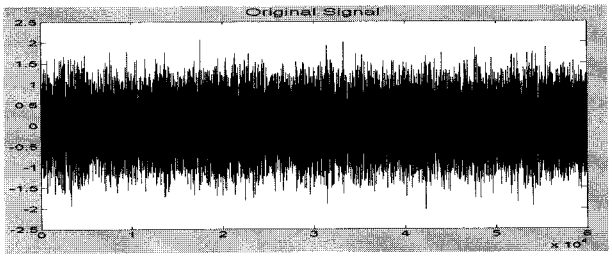


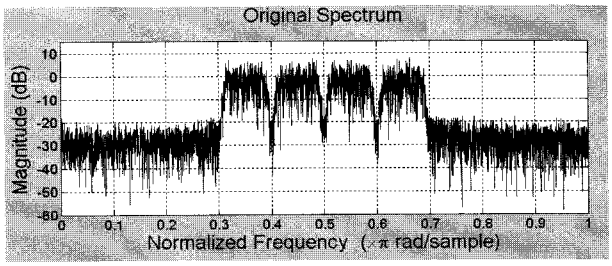
그림 3.1 시뮬레이션 환경 구조
Fig. 3.1 Simulation block diagram.

3.1 시뮬레이션에 사용한 기지국 신호

그림 3.2는 ICS 중계기의 성능을 시뮬레이션 하기 위해 사용한 시간 영역과 주파수 영역에서의 기지국 신호(original signal)를 나타낸다. 4FA(= 20MHz)의 대역폭을 갖는 기지국 신호를 100 MHz로 샘플링한 신호이다.



(a) 시간영역에서의 기지국 신호



(b) 주파수영역에서의 기지국 신호

그림 3.2 시뮬레이션에 사용된 기지국 신호
Fig. 3.2 BS signal used for simulation.
(a) Time-domain (b) Frequency domain

3.2 귀환 신호를 생성하기 위한 채널모델의 구현

중계기 시스템의 송·수신안테나 사이에서 발생하는 단일경로 귀환 신호와 다중경로 귀환 신호를 생성하기 위해 Tapped-Delay Line 필터를 사용하여 귀환채널 모델을 구성하였다. 각 탭의 지연은 10 nsec이며, 각 탭마다 디지털 게인(gain)을 적용하여 귀환 신호의 크기 및

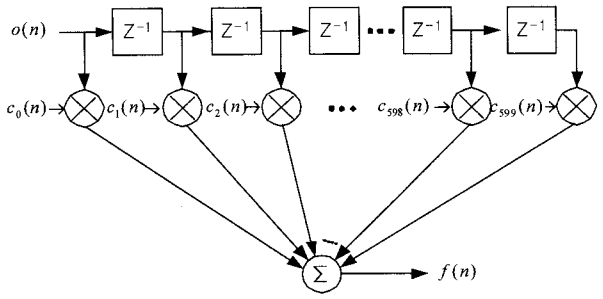


그림 3.3 귀환 신호를 생성하기 위해 사용된 Tapped-Delay Line 필터구조
Fig. 3.3 Tapped-delay line filter structure for generating feedback signal.

지연을 조절할 수 있도록 구성하였다. 그림 3.3은 귀환 신호를 생성하기 위해 사용한 Tapped-Delay Line 필터의 구조이다.

$o(n)$은 중계기의 송신안테나를 통해 전송되는 중계기 출력신호이고, $c_k(n)$은 귀환채널 모델을 통해 생성된 귀환 신호의 진폭을 조절할 수 있는 Tapped-Delay Line 필터 계수 값이며, $f(n)$은 생성된 귀환 신호를 나타낸다. 앞서 언급한 바와 같이 이 귀환 신호와 기지국 신호 $r(t)$가 더해져 ICS 중계기의 수신신호가 된다.

3.3 아날로그-디지털 변환기와 디지털-아날로그 변환기의 구현

중계기의 수신안테나를 통해 입력되는 귀환 신호와 기지국 신호간의 진폭 차이는 귀환량이 적을 경우에는 차이가 없지만, 귀환량이 많을 경우 약 40~50배 이상 차이가 날 수 있다. 따라서 보다 효율적인 ICS 알고리즘의 연산을 위해서는 아날로그-디지털 변환기의 변환 영역에 합쳐진 기지국신호와 귀환 신호를 효율적으로 합산하여 아날로그 신호를 디지털 신호로 변환해야 한다. 디지털 신호를 표현하는 방법에는 부동 소수점 방식과 고정 소수점 방식이 있으며, 본 논문에서는 고정 소수점 연산을 사용하는 DSP를 사용하는 ICS 알고리즘을 개발하기 위하여 고정 소수점 연산용 16bit(MSB: 부호비트) 아날로그-디지털 변화기를 사용하였다.

앞서 언급한 바와 같이 제안된 ICS 알고리즘의 효율적인 동작을 위해서는 부동 소수점으로 표현된 기지국 신호를 아날로그-디지털 변환하는 과정뿐만 아니라 귀환 신호 역시 아날로그-디지털 변환 비트 수에 표현 가능하도록 하는 것이 중요하다.

기지국 신호의 진폭은 -2.5 ~ +2.5의 범위로 설정한다. 이 기지국 신호를 고정 소수점 표현으로 나타내기 위해 256을 곱하여 디지털 신호로 변환하였다. 기지국 신호를 아날로그-디지털 변환 크기의 1/50으로 제한한 이유는 귀환 신호를 고려해야 하기 때문이다. 따라서 16비트의 ADC는 귀환신호를 기지국 신호의 50배까지 수용할 수 있다.

본 논문에서 사용한 ICS 알고리즘은 모두 600 탭으로 구성된 LMS(Least Mean Square) 연산을 사용하였다. 각 탭마다 모두 3번의 곱셈 연산이 필요해서 총 1800(= 3 × 600)번의 곱셈연산이 필요하다. 곱셈 연산을 줄이기 위해 $e(n)x(n-k)$와 μ의 곱셈 대신 오른쪽 시프트 연산(right shift operation)을 이용해 구현하였기 때문에 실질적으로 매 탭마다 2번 곱셈이 수행되어 총 1200번의 곱셈 연산이 수행된다[5].

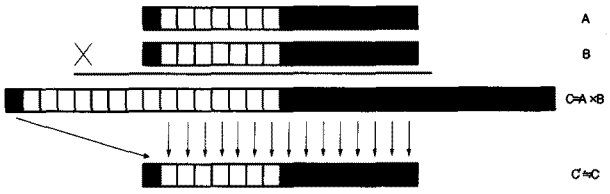


그림 3.4 16×16비트 곱셈결과를 16 비트로 제한하는 방법의 예(256배)

Fig. 3.4 Extracting a field from the result of 16x16 multiplication.

그리고 각 곱셈 연산에서 승수와 피승수는 모두 16 비트를 사용하기 때문에 곱셈 결과를 다시 16 비트로 제한(truncation) 하는 작업이 필요하다. 32 비트 곱셈 결과를 256으로 나눈 후 16 비트로 제한하는 방법을 그림 3.4에 나타내었다.

32비트 곱셈결과를 16비트로 변환하는 경우 32비트 결과 값에서 원하는 데이터를 추출해야 하는데, 본 연구에서는 그림 3.4와 같이 32비트의 중간부분 데이터를 16비트로 변환하였다. A/D변환 전의 두 데이터를 각각 a, b라고 하고 A/D변환 후의 데이터를 A, B라고 한다면 변환 후의 데이터들의 곱 C는 변환전의 데이터들의 곱 c 보다 65536(256 x 256) 배 크다. 디지털 단 내부에서는 입력을 256배 한 데이터로 계산하고 있는데 곱셈 결과는 65536배인 데이터이기 때문에 256으로 나눠야 한다. 여기서 256으로 나누는 연산은 오른쪽 시프트 연산을 사용하였다[5].

IV. 시뮬레이션 결과 및 분석

본 논문에서 제안한 고정 소수점 연산을 사용한 ICS 중계기 알고리즘의 성능은 부동 소수점 연산을 하는 경우와 비교 시뮬레이션을 하여 성능을 확인하였다. 표 4.1은 시뮬레이션을 위해 설정한 파라미터를 나타낸다.

시뮬레이션에 필요한 귀환 신호는 지연시간과 기지국 신호 대비 진폭의 크기를 설정함으로써 생성할 수 있다. 예를 들어 지연시간이 1μsec이고, 기지국 신호 대비 20 배의 진폭을 갖는 단일경로(Single Path) 귀환 신호를 생성하기 위해서는 Tapped-Delay Line 필터의 100번째 탭에 계수 값을 20으로 설정한다. 이와 같은 설정에 의해 중계기에서 출력된 출력 신호의 20배가 된 귀환 신호가 1μsec 후에 중계기 수신안테나에 도착하

표 4.1 시뮬레이션을 위해 설정된 파라미터
Table4.1 Parameters used for simulation.

파라미터	값	비고
귀환 신호의 최대 지연	6 μsec	
샘플링 율	100 MHz	
귀환 신호 구성 탭수	600개	
Analog-Digital 변환	16 Bit	
Digital-Analog 변환	16 Bit	
귀환 신호의 최대 진폭	50	기지국신호 대비
신호 대역폭	20 MHz	4 FA
중심 주파수	25MHz	
다중 경로수(m)	1 ~ 8	

표 4.2 단일경로 귀환신호의 파라미터 설정 값
Table 4.2 Values used for single-path feedback signal.

실험 순서	귀환 신호 지연	귀환 신호 크기
(1)	0.5 μsec	33.0dB(x 45)
(2)	2 μsec	35.0dB(x 55)

표 4.3 다중경로 귀환 신호(8 path)의 파라미터 설정 값
Table 4.3 Values used for multi-path(8) feedbak signal.

실험 순서	delay (μsec)	gain	delay (μsec)	gain	total gain (dB)
(3)	0.3	×35	0.8	×12	34
	2.24	×20	3.28	×30	
	1.21	×28	1.84	×2	
	4.21	×6	4.8	×4	
(4)	0.3	×45	0.8	×12	36
	2.24	×20	3.28	×30	
	1.21	×28	1.84	×2	
	4.21	×6	4.8	×4	

는 것으로 간주한다. 성능은 단일경로 귀환 신호만 존재하는 경우와 다중경로(Multipath) 귀환 신호가 존재하는 두 가지 경우에 대해서 부동 소수점 연산과 비교하여 시뮬레이션을 수행하고 성능을 비교 분석하였다.

표 4.2는 단일경로 귀환 신호만 존재하는 경우, 단일경로 귀환 신호를 생성하기 위한 실험 파라미터를 나타내며, 표 4.3은 다중경로 귀환 신호의 경우 실험 파라미터 설정 값을 나타낸다.

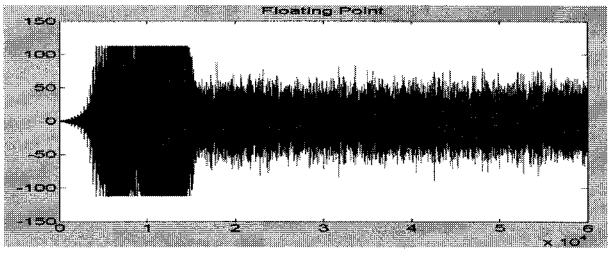
단일경로 귀환 신호의 크기는 표 4.2에서와 같이 기지국 출력신호 대비 33dB~35dB(×45~×55)가 되도록 하였으며, 다중경로 귀환 신호의 크기는 표 4.3에서와 같이 8개의 다중경로 귀환 신호의 크기를 합하여 전체 귀환량이 기지국 신호 대비 34dB ~ 36dB가 되도록 설정하였다.

4.1 시뮬레이션 실험 (1)의 결과 분석

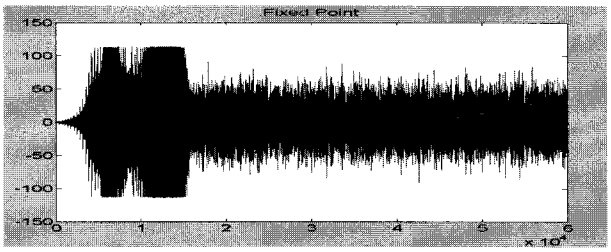
그림 4.1은 시뮬레이션 실험(1)을 부동 소수점 연산과 고정 소수점 연산으로 실행한 경우를 나타낸다. 옅은 색의 신호는 중계기 입력신호이며, 진한 색은 단일경로 귀환 신호를 추정한 추정 귀환 신호를 나타낸다. 고정소수점 신호는 부동 소수점 신호와 비교하기 위하여 256으로 나눈 값이다. 중계기의 출력신호는 중계기의 동작이 시작되면 기지국 신호 대비 1/40 크기로 줄여 송출하고, 300샘플(3 μsec)마다 기지국 신호 대비 1/40씩 전력을 증가시켜 전송한다. 따라서 동작시작 이후로 120,000샘플(120 μsec) 후에 기지국 신호와 같은 크기로 전송한다.

그림 4.2는 샘플링 시간 25,000~30,000사이에서 부동 소수점 연산을 사용한 시뮬레이션 실험(1)의 기지국 신호, 귀환 신호 그리고 추정된 귀환 신호의 오차신호의 결과 스펙트럼을 나타내며, 그림 4.3은 고정 소수점 연산을 사용한 시뮬레이션 결과이다.

부동 소수점 연산을 사용하는 경우 귀환 신호를 추정하고 제거한 추정오차가 -20dB가 된다. 따라서 33dB의 귀환 신호 대비 53dB의 귀환 신호 제거능력을 확인할

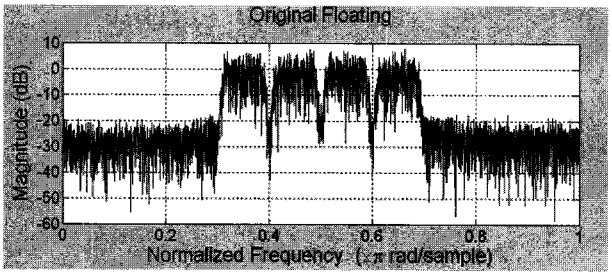


(a) 부동 소수점 연산의 경우

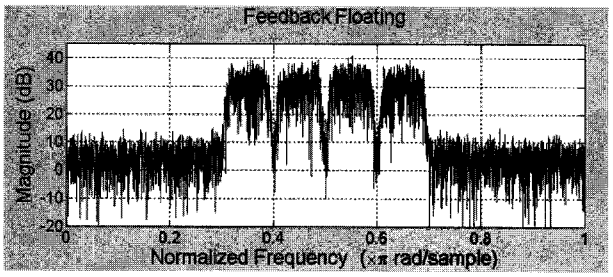


(b) 고정 소수점 연산의 경우

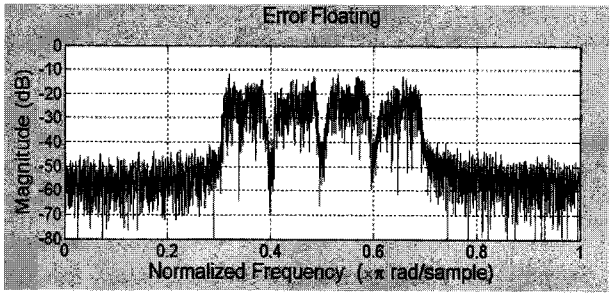
그림 4.1 시뮬레이션 실험(1)의 결과
Fig. 4.1 Simulation results for experiment(1).
(a) Floating-point operation
(b) Fixed-point operation



(a) 기지국 신호의 스펙트럼(0dB)
(a) Spectrum of BS signal(0dB)

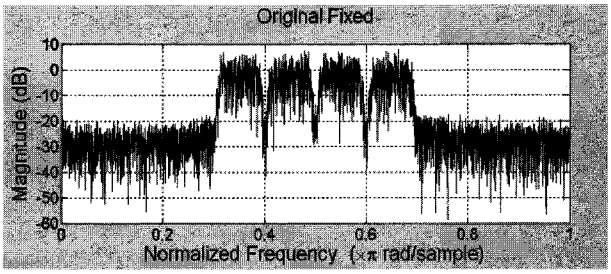


(b) 귀환 신호의 스펙트럼(33dB)
(b) Spectrum of feedback signal(33dB)

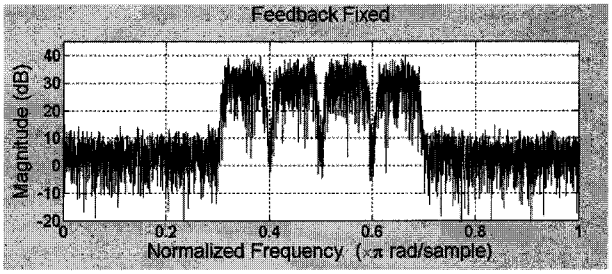


(c) 추정오차 신호의 스펙트럼(-20dB)
(c) Spectrum of estimated error signal(-20dB)

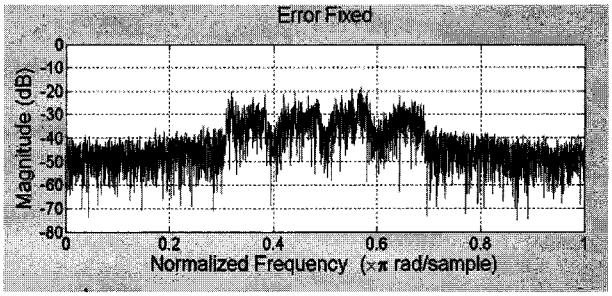
그림 4.2 부동 소수점 연산에 의한 신호스펙트럼_실험(1)
Fig. 4.2 Spectrum of Experiment(1) by floating-point operation.



(a) 기지국 신호의 스펙트럼(0dB)
(a) Spectrum of BS signal(0dB)



(b) 귀환 신호의 스펙트럼(33dB)
(b) Spectrum of feedback signal(33dB)



(c) 추정오차 신호의 스펙트럼(-28dB)
(c) Spectrum of estimated error signal(-28dB)

그림 4.3 고정 소수점 연산에 의한 신호 스펙트럼_실험(1)
Fig. 4.3 Spectrum of Experiment(1) by fixed-point operation.

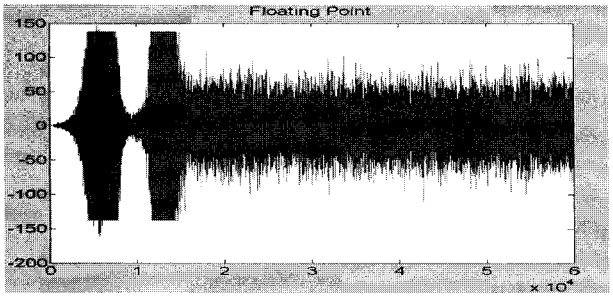
수 있다. 고정 소수점 연산을 사용하는 경우도 유사한 귀환 신호 제거능력을 확인할 수 있다.

4.2 시뮬레이션 실험 (2)의 결과 분석

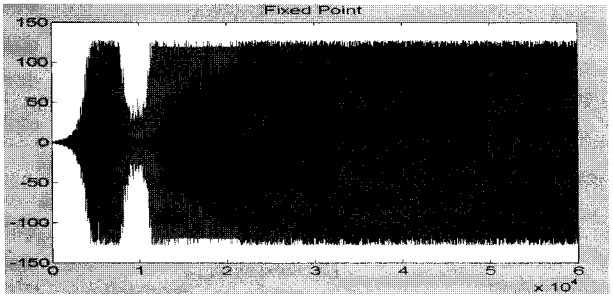
그림 4.4는 시뮬레이션 실험(2)의 결과를 나타낸다. 부동 소수점 연산의 경우 양호한 수렴성을 보여주는 반면 고정 소수점 연산을 사용한 경우 표현 범위를 넘어가며 이것은 ICS 알고리즘이 추정한 값과의 차이가 발생하게 되고 에러를 누적 발생시켜 ICS알고리즘이 수렴하지 못해 발산한 것을 확인 할 수 있다. 따라서 고정 소수점 연산을 사용한 경우 단일경로 귀환 신호의 크기가 약 35dB이상인 경우 귀환 신호를 제거하지 못하고 발산한다고 잠정적으로 결론지었다.

그림 4.5는 샘플링 시간 25,000~30,000 사이에서 부동 소수점 연산으로 시뮬레이션 실험(2)의 귀환 신호와 추정된 귀환 신호의 오차신호에 대한 결과 스펙트럼을 나타낸다.

부동 소수점 연산을 사용하는 경우 귀환 신호를 추정하고 제거한 추정오차가 -18dB이므로 귀환 신호 대비 53dB의 귀환 신호 제거능력을 확인할 수 있다. 그러나 고정 소수점 연산을 사용하는 경우는 귀환 신호를 제거하지 못하고 발산하므로 스펙트럼 결과 그림은 생략하였다.

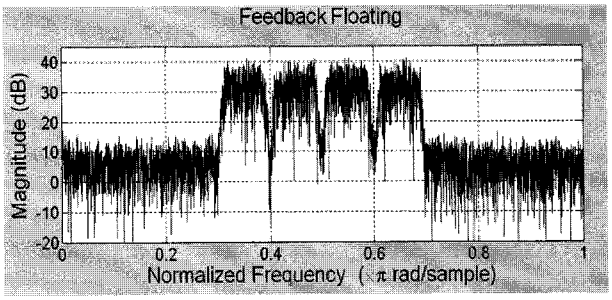


(a) 부동 소수점 연산의 경우
(a) Floating-point operation

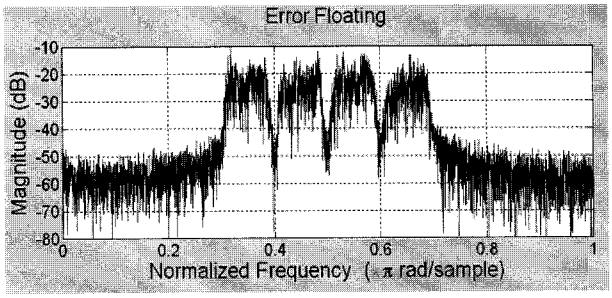


(b) 고정 소수점 연산의 경우
(b) Fixed-point operation

그림 4.4 시뮬레이션 실험(2)의 결과
Fig. 4.4 Simulation results of experiment(2).

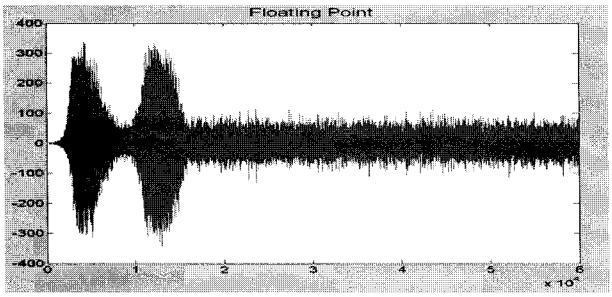


(a) 귀환 신호의 스펙트럼(35dB)
(a) Spectrum of feedback signal(35dB)

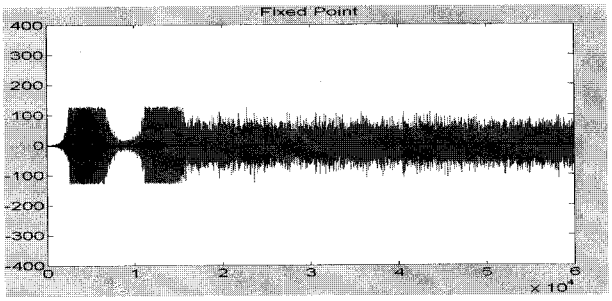


(b) 추정오차 신호의 스펙트럼(-18dB)
(b) Spectrum of estimated error signal(-18dB)

그림 4.5 부동 소수점 연산의 경우 신호 스펙트럼_실험(2)
Fig. 4.5 Spectrum of experiment(2) under floating-point operation.



(a) 부동 소수점 연산의 경우
(a) Floating-point operation



(b) 고정 소수점 연산의 경우
(b) Fixed-point operation

그림 4.6 시뮬레이션 실험(3)의 결과
Fig. 4.6 Simulation results of experiment(3).

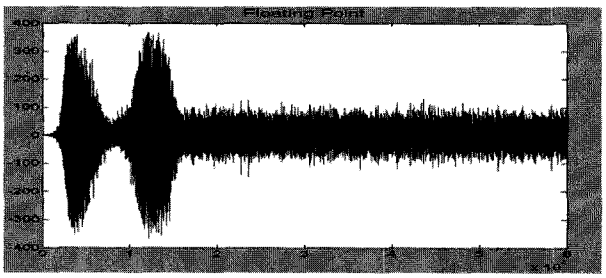
4.3 시뮬레이션 실험 (3)의 결과 분석

그림 4.6 (a)와 (b)는 각각 부동 소수점 연산과 고정 소수점 연산을 이용한 경우를 나타낸다. 시뮬레이션에서 사용된 귀환 신호는 표 4.3에서 정의된 바와 같이 귀환 신호가 8개의 다중경로로 구성되고, 전체 귀환 신호의 전력은 34dB를 갖는다.

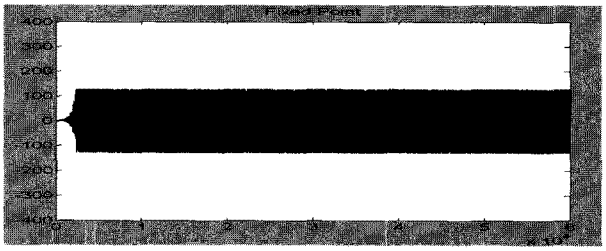
부동 소수점 연산을 사용하는 경우 귀환 신호 전체 전력이 34dB이고, 추정오차의 전력이 -20dB이기 때문에 54dB의 귀환 신호 제거 능력을 갖는 것을 확인하였다. 고정 소수점 연산을 사용하는 경우도 유사한 귀환 신호 제거능력을 갖는 것을 확인하였다.

4.4 시뮬레이션 실험 (4)의 결과 분석

그림 4.7은 시뮬레이션 실험(4)의 결과를 부동 소수점 연산을 이용한 경우와 고정 소수점 연산을 이용한 경우를 나타낸다. 이번 시뮬레이션에서 사용된 귀환 신



(a) 부동 소수점 연산의 경우
(a) Floating-point operation



(b) 고정 소수점 연산의 경우
(b) Fixed-point operation

그림 4.7 시뮬레이션 실험(4)의 결과
Fig. 4.7 Simulation results of experiment(4).

호 역시 표 4.3에서 정의된 바와 같이 귀환 신호가 8개의 다중경로로 구성된 경우이며, 전체 귀환 신호의 전력은 36dB 이다.

부동 소수점 연산을 사용하는 경우 귀환 신호는 36dB, 추정 오차는 -17dB여서 53dB의 귀환 신호 제거 능력을 확인하였지만, 전체 귀환 신호의 전력이 36dB 이상에서 고정 소수점 연산을 사용하는 경우 표현범위를 넘어가게 되어 수렴하지 못하고 발산하는 결과를 얻었다.

V. 결 론

본 논문에서는 WCDMA RF 중계기 시스템의 설계와 관련하여 송신안테나에서 전송된 증폭된 중계신호가 수신안테나로 귀환되는 현상인 다중경로 귀환신호를 제거하는 ICS 알고리즘을 개발하였다.

기존에는 이러한 ICS 알고리즘을 이용한 중계기가 모두 부동 소수점 연산을 기본으로 하는 고속 DSP 프로세서나 대용량 FPGA를 사용하였다. 반면에 본 논문에서는 고정 소수점 연산을 사용할 수 있는 프로세서를 사용하기 위한 ICS 알고리즘을 개발하고, 알고리즘의 성능검증을 위하여 부동 소수점 연산을 사용한 경우와 비교 시뮬레이션을 수행하였다.

알고리즘의 성능검증은 단일경로 귀환신호의 경우와 다중경로 귀환신호에 대해서 시뮬레이션을 통해 성능을 검증하였으며, 시뮬레이션 결과 단일경로 귀환신호와 다중경로 귀환신호 모두 35 dB의 귀환신호 제거능력을 갖는 것을 확인하였다.

참 고 문 헌

[1] 문우식, 임성빈, 김종훈, "WCDMA용 무선중계기에서 상관도를 이용한 적응적 궤환 간섭 제거," 전자공학회논문지,제44권 TC편, pp. 35-40, July. 2007.
[2] 김준환, "디지털 중계기에서의 간섭 신호 제거 알고리즘 연구," 석사논문, 국민대학교, 2007.
[3] Simon Haykin, "Adaptive Filter Theory," Prentice Hall, 2002.
[4] L. K. Ting and R. Woods, "Vertex FPGA Implementation of a Pipelined Adaptive LMS Predictor for Electronic Support Measures Receivers," IEEE Trans. on VLSI Systems, Vol. 13, No. 1, January 2005.
[5] 미카미 나오키, "C언어에 의한 디지털 신호처리 입문," 성안당, 2006.

저 자 소 개

정 희 석(학생회원)
2006년 2월 국민대학교 전자공학과 학사 졸업
2008년 2월 국민대학교 전자공학과 석사
2008년 3월~현재 국민대학교 전자공학과 박사과정 재학중

김 기 두(평생회원)-교신저자
국민대학교 전자공학부 교수
대한전자공학회 논문지
제 44권 TC편 7호 참조

윤 기 방(평생회원)
시립 인천전문대학
디지털 정보전자과 교수
대한전자공학회 논문지
제39권 TE편 4호 참조