

SiO₂/Si₃N₄ 터널 절연막의 적층구조에 따른 비휘발성 메모리 소자의 특성 고찰

Study of Nonvolatile Memory Device with SiO₂/Si₃N₄ Stacked Tunneling Oxide

조원주^{1,a}
(Won-Ju Cho^{1,a})

Abstract

The electrical characteristics of band-gap engineered tunneling barriers consisting of thin SiO₂ and Si₃N₄ dielectric layers were investigated for nonvolatile memory device applications. The band structure of band-gap engineered tunneling barriers was studied and the effectiveness of these tunneling barriers was compared with the conventional tunneling SiO₂ barrier. The band-gap engineered tunneling barriers composed of thin SiO₂ and Si₃N₄ layers showed a lower operation voltage, faster speed and longer retention time than the conventional SiO₂ tunnel barrier. The thickness of each SiO₂ and Si₃N₄ layer was optimized to improve the performance of non-volatile memory.

Key Words : Nonvolatile memory, SiO₂/Si₃N₄, Band gap engineered tunnel barrier

1. 서 론

플래시 메모리는 디지털 카메라, 휴대전화기와 같은 각종 휴대용 정보기기 및 대용량 하드 디스크에 널리 이용되는 비휘발성 메모리 소자로서, 유비쿼터스 정보사회의 막대한 정보량을 저장 및 처리하기 위하여 소자의 동작 속도 및 집적도를 향상시키고 동작 전압을 줄이기 위해서 터널링 절연막의 특성을 확보해야만 한다. 만약, 터널링 절연막이 너무 얇을 경우에는 프로그램 속도는 빠르게 할 수 있지만, 데이터를 유지하는 데이터 유지(retention) 특성에서는 치명적인 문제가 발생한다. 현재의 기술로서 쓰기(program)/지우기(erase) 속도와 데이터 유지 특성을 모두 만족할 수 있는 플래시 메모리의 터널링 산화막 두께의 이론적인 한계는 약 8 nm 이며, 이러한 두께의 한계가 플래시 메모리의 스케일링을 가로막는 가장 큰 장벽이 되고 있다[1-3].

본 연구에서는 기존 플래시 메모리의 터널링 절연막에 사용되는 단층의 실리콘 산화막(SiO₂)를 대신하여 유전율과 밴드 갭이 서로 다른 절연막들을 적층시킴으로써 게이트 전계에 대한 터널링 전류의 민감도를 개선시키고, 낮은 전압에서 쓰기/지우기 속도와 데이터 유지 특성을 만족시킬 수 있는 SiO₂/Si₃N₄ 적층 구조의 밴드갭 엔지니어드 터널링 절연막[4-7]의 전기적 특성에 대해서 시뮬레이션을 통해서 조사하였다.

2. 실험

터널링 베리어 엔지니어드 소자 시뮬레이션에 이용된 절연막은 그림 1과 같이 역셉터 농도가 $1 \times 10^{15} \text{ cm}^{-3}$ 인 p-type의 실리콘 기판 위에 실리콘 산화막(SiO₂)과 실리콘 질화막(Si₃N₄)을 적층시킨 구조이다. 이때, 적층된 터널링 절연막의 등가 산화막의 두께(EOT: Equivalent Oxide Thickness)는 30 nm급 이하의 플래시 메모리 소자에서 필요할 것으로 예상되는 5 nm로 설정하였다[8]. 이와 같은 적층구조의 절연막에 전압을 인가하면 그림 2와 같이 유전 상수의 차이에 의하여 각 절연막에서의

1. 광운대학교 전자재료공학과

(서울시 노원구 월계동 447-1)

a. Corresponding Author : chowj@kw.ac.kr

접수일자 : 2008. 11. 12

1차 심사 : 2008. 12. 15

심사완료 : 2008. 12. 19

전압 강하 및 전계 분포가 달라지게 된다. 즉, 낮은 유전상수($\epsilon_r=3.9$)를 가지는 SiO_2 층에서의 전압 강하가 크고 강한 전계가 걸리지만, 높은 유전상수($\epsilon_r=7.6$)를 가지는 Si_3N_4 에서는 전압 강하가 작고 전계가 작게 걸린다.

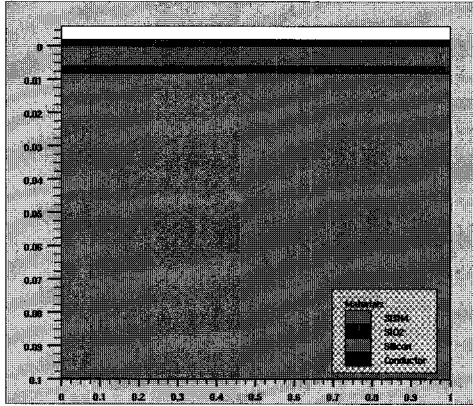


그림 1. 시뮬레이션에 이용된 터널링 절연막 구조.
Fig. 1. Tunnel barrier structure for simulation.

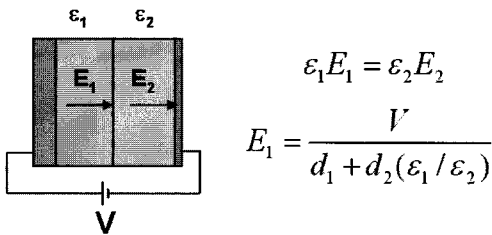


그림 2. 유전 상수가 다른 유전막을 적층시킨 경우의 전계분포.
Fig. 2. Electrical field distribution in stacked dielectrics with different dielectric constants.

따라서, 비휘발성 메모리 소자에 게이트 전압을 인가하면 그림 3과 같이 쓰기 동작에서는 SiO_2 층의 에너지 밴드가 Si_3N_4 층의 에너지 밴드보다 크게 휘어지고, 채널로부터 전하축적층 방향으로 전자가 터널링할 수 있는 절연막의 두께가 감소하여 전류가 크게 증가한다. 한편, 지우기 동작에서는 Si_3N_4 층의 에너지 밴드가 SiO_2 층의 에너지 밴드보다 장벽 높이가 낮기 때문에 전하 축적층으로부터 채널

방향으로 전자의 터널링이 보다 쉽게 일어나게 된다. 따라서, $\text{SiO}_2/\text{Si}_3\text{N}_4$ 를 적층시키는 터널 절연막은 기존의 SiO_2 단일층 구조의 터널 절연막을 이용하는 경우보다 낮은 전압에서도 빠른 쓰기 및 지우기 동작이 가능하게 된다. 한편, 전하유지 동작에서는 $\text{SiO}_2/\text{Si}_3\text{N}_4$ 적층터널 절연막이 동일한 EOT의 SiO_2 터널 절연막보다 물리적인 두께가 증가한다. 따라서, 전자에 대한 터널링 장벽 두께가 증가하므로 누설전류도 감소하게 되고 데이터 유지 특성이 개선되게 된다.

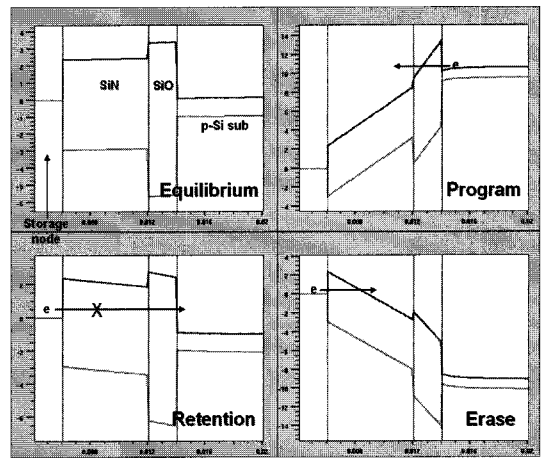


그림 3. 동작조건에 따른 에너지 밴드 구조 및 전자 터널링 상태.
Fig. 3. Energy band structures and electron tunneling for operation modes.

3. 결과 및 고찰

그림 4는 쓰기 동작에서 SiO_2 및 Si_3N_4 의 두께 조합에 따른 터널링 전류를 나타낸다. 동일한 EOT를 가지더라도 SiO_2 단일층으로 이루어진 절연막은 낮은 전압에서 큰 누설전류를 보이므로 데이터 유지 특성에 문제가 있음을 알 수 있다. 한편, $\text{SiO}_2/\text{Si}_3\text{N}_4$ 적층으로 이루어진 절연막은 낮은 전압에서는 낮은 누설전류를 보이는 반면, 전압에 터널링 전류의 증가가 커지는 것을 볼 수 있다. 또한, SiO_2 의 두께가 감소할수록 전계에 대한 터널링 전류의 감도를 개선되는 것을 확인할 수 있다.

그림 5는 지우기 동작에서 SiO_2 및 Si_3N_4 의 두께 조합에 따른 터널링 전류를 나타낸다. 동일한 EOT 조건 하에서 SiO_2 단일층으로 이루어진 터널

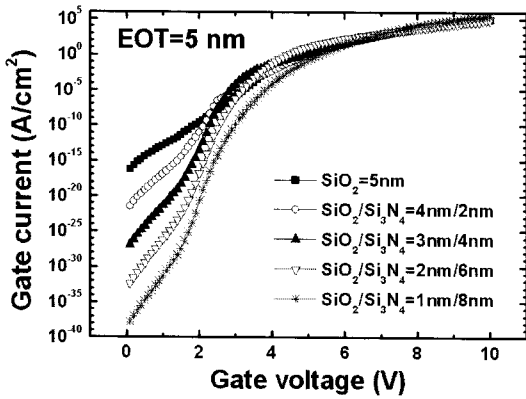


그림 4. SiO₂ 및 Si₃N₄의 두께 조합에 따른 터널링 전류.

Fig. 4. Dependence of tunneling current on SiO₂/Si₃N₄ thicknesses.

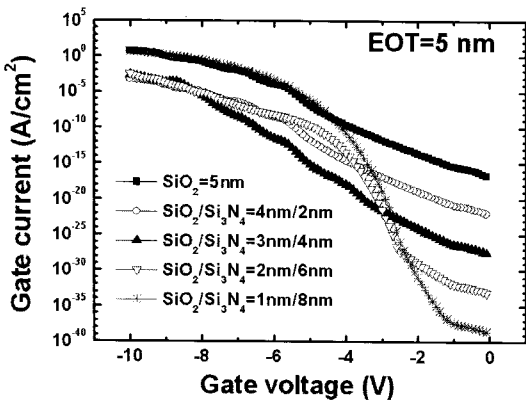


그림 5. SiO₂ 및 Si₃N₄의 두께 조합에 따른 터널링 전류.

Fig. 5. Dependence of tunneling current on SiO₂/Si₃N₄ thicknesses.

절연막은 낮은 전압에서 큰 누설전류를 보이고 있으며, 인접 셀 간의 작은 간섭 전압에 의해서도 데이터 유지 특성이 안정하지 못하다는 것을 알 수 있다. 반면, SiO₂의 두께가 감소하고 Si₃N₄의 두께가 증가하면 낮은 전압에서의 누설전류가 급격하게 감소하기 시작한다. 먼저, SiO₂가 5-3 nm의 범위에서는 SiO₂ 두께의 감소에 따라서 낮은 전압에서의 누설 전류 감소와 함께 높은 전압에서도 게이트 전류가 같이 감소하는데, 이는 지우기 특성의 열화를 초래하게 된다. 왜냐하면, 빠른 지우기 동

작 특성을 확보하기 위해서는 터널링 전류가 클수록 유리한데, SiO₂ 두께가 5-3 nm의 범위에서는 낮은 전압에서 누설 전류가 감소하면서 인접 셀에 의한 간섭을 줄이는 좋은 효과도 있지만, 높은 전압에서 터널링 전류가 감소하면 지우기 속도가 늦어지는 문제가 발생하게 된다.

그러나, SiO₂가 2 nm 이하가 되면 낮은 전압에서 누설전류가 감소하고 높은 전압에서는 터널링 전류가 오히려 증가하는 현상을 보인다. 특히, 1 nm의 SiO₂와 8 nm의 Si₃N₄으로 적층된 터널 절연막의 경우에는 낮은 전압에서 가장 낮은 누설 전류를 가지면서 동시에 높은 전압에서도 가장 큰 게이트 전류를 가지는 것을 볼 수 있다. 따라서, 동일한 EOT를 가지면서 SiO₂의 두께를 감소시키고 Si₃N₄의 두께를 증가시키는 것이 인접 셀에 의한 간섭을 줄이면서 동시에 지우기 동작의 개선에도 유리한 방향이라는 결론을 내릴 수가 있다.

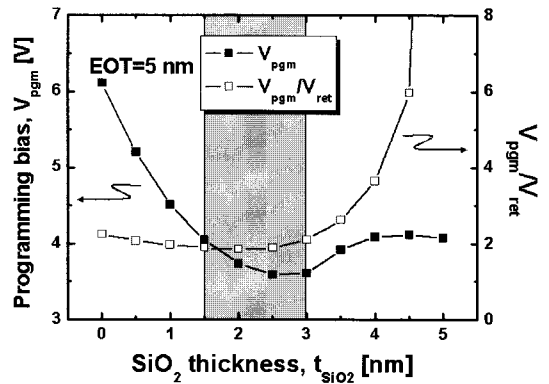


그림 6. SiO₂ 및 Si₃N₄의 두께 조합에 따른 쓰기 전압 및 disturb margin.

Fig. 6. Disturb margin for thickness combination of SiO₂ and Si₃N₄ layers.

한편, 그림 6은 SiO₂ 및 Si₃N₄의 두께 조합에 따른 쓰기 전압 및 program disturb margin을 나타내고 있다. Program disturb margin은 쓰기 전압 (V_{pgm})/데이터 유지 전압(V_{ret})로 정의하였으며, 쓰기와 지우기 동작 간의 확실한 구분을 위하여 2 이상의 값이 필요하다. 메모리가 100 us의 동작 속도를 달성하기 위해서는 0.01 A/cm², 1 us의 동작 속도를 달성하기 위해서는 1 A/cm², 1 ns의 동작 속도를 달성하기 위해서는 100 A/cm²의 메모리 셀 당 터널링 전류가 필요하며 V_{pgm}은 이때의 게이트

전압이다. 한편, 메모리 셀이 10년간의 데이터를 유지하기 위해서는 누설전류가 10^{-16} A/cm² 이하가 되어야 하며, V_{ret} 는 이때의 게이트 전압이다[9-11]. SiO₂층의 두께가 증가함에 따라서 쓰기 전압은 감소하다가 다시 상승하는 경향을 보인다. 최소 쓰기 전압은 SiO₂ 두께가 2.5 nm에서 얻을 수 있다. 한편, program disturb margin은 그림 3에서 보는 게이트 전압에 따라서 게이트 전류가 얼마나 빨리 증가하는가를 나타내며 쓰기전압과 유지전압의 비 (V_{prg}/V_{ret})로서 결정되며 낮을수록 유리하다. 절연막의 두께 조합에 따른 program disturb margin은 SiO₂층의 두께가 증가함에 따라서 쓰기 전압은 증가하는 경향을 보인다. 따라서, 이 두 관계를 이용하여 최적의 절연막 두께 조합을 찾으면 그림에서 회색으로 나타낸 영역으로 SiO₂는 1.5-3 nm, Si₃N₄는 6.8-3.9 nm의 범위이다.

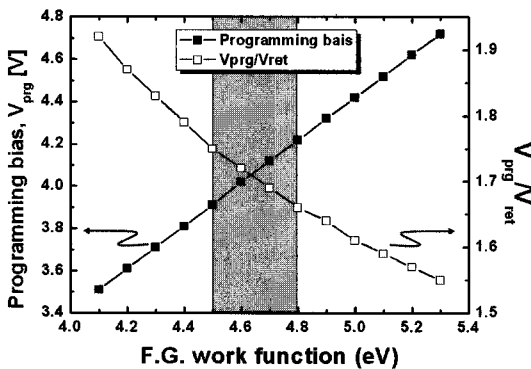


그림 7. Floating gate workfunction에 따른 쓰기 전압 및 disturb margin.

Fig. 7. Programming voltage and disturb margin as a function of floating gate workfunction.

그림 7은 전하를 축적하는 전하축적 노드의 일함수에 따른 쓰기 전압 및 program disturb margin을 나타내고 있다. 폴리 실리콘 플로팅 게이트나 나노점을 이용한 비휘발성 메모리 소자의 경우에는 플로팅 게이트나 나노점 축적층의 일함수가 메모리 소자의 동작 특성에 영향을 줄 수 있는데, 시뮬레이션의 결과를 보면 일함수가 증가할수록 쓰기전압은 커지지만, program disturb margin은 개선되는 특성을 보이고 있다. 즉, 전하축적 노드의 일함수에 따라서 trade-off의 관계를 가지는데 최적의 일함수는 그림에서 보는 것처럼 페르미 준위

가 밴드갭 중앙 근처에 있는 midgap 재료라고 할 수 있다. 이와 관련하여 일함수가 다른 여러 종류의 금속 나노점 입자들을 전하축적 노드로 이용한 최근의 연구결과에서는 midgap. 근처의 일함수를 가지는 NiSi₂ (4.71±0.1 eV)와 CoSi₂ (4.70±0.1 eV) 나노점들이 가장 좋은 메모리 특성을 나타낸다고 보고하였으며, 본 연구 결과와도 잘 일치하는 것을 알 수 있다[12].

4. 결론

본 연구에서는 유전율과 밴드 갭이 서로 다른 절연막들을 적층시킴으로서 게이트 전계에 대한 터널링 전류의 민감도를 개선시켜서 낮은 전압에서 쓰기/지우기 속도를 증가시키고 데이터 유지 특성을 만족시키도록 고안한 밴드갭 엔지니어드 터널링 절연막에 대해서 연구하였다. 동일한 EOT에서 SiO₂ 단층으로 이루어진 터널 절연막은 낮은 전압에서 큰 누설전류를 보이므로 데이터 유지 특성에 문제가 있지만, SiO₂/Si₃N₄ 적층으로 이루어진 터널 절연막은 누설전류가 감소되므로 데이터 유지 특성이 개선되었다. 또한, 쓰기/지우기 전압, 데이터 유지 특성 및 program disturb margin을 모두 만족시키기 위해서는 SiO₂/Si₃N₄ 두께 조합의 최적화가 필요하다. SiO₂/Si₃N₄ 적층 터널 절연막에서 SiO₂는 1.5-2.5 nm, Si₃N₄는 6.8-4.9 nm의 범위에서 가장 좋은 특성을 보였으며, 전하축적 노드로서는 midgap 재료를 이용하는 것이 가장 바람직하다는 것을 확인하였다. 따라서, SiO₂/Si₃N₄ 적층 터널링 절연막을 적용하면 낮은 전압에서 쓰기/지우기 속도가 향상되고, 데이터 유지 특성이 개선된 고성능의 플래시 메모리 소자를 제작할 수 있음을 보였다.

감사의 글

본 연구는 지식경제부 주관 차세대 테라비트급 비휘발성메모리 개발 사업의 지원에 의해 수행되었음.

참고 문헌

[1] K. Naruke, S. Taguchi, and M. Wada, "Stress induced leakage current limiting to

- scale down EEPROM tunnel oxide thickness", IEDM Tech. Dig., p. 424, 1988.
- [2] G. Atwood, "Future directions and challenges of ETox flash memory scaling", IEEE Trans. Device Mater. Rel., Vol. 4, No. 3, p. 301, 2004.
- [3] J. Kim, J. D. Choi, W. C. Shin, D. J. Kim, H. S. Kim, K. M. Maeng, S. T. Ahn, and O. H. Kwon, "Scaling down of tunnel oxynitride in NAND flash memory: oxynitride selection and reliabilities", Reliability Physics Symposium 1997, p. 12, 1997.
- [4] K. K. Likharev, "Layered tunnel barriers for nonvolatile memory devices", Appl. Phys. Lett., Vol. 73, No. 15, p. 2137, 1998.
- [5] E. M. Vogel, K. Z. Ahmed, B. Hornung, W. K. Henson, P. K. McLarty, G. Lucovsky, J. R. Hauser, and J. J. Wortman, "Modeled tunnel currents for high dielectric constant dielectrics", IEEE Trans. Electron Devices Vol. 45, No. 6, p. 1350, 1998.
- [6] G. D. Wilk, R. M. Wallace, and J. M. Anthony, "High-k gate dielectrics: Current status and materials properties considerations", J. Appl. Phys., Vol. 89, No. 10, p. 5243, 2001.
- [7] 정종완, 조원주, "고성능 플래시 메모리를 위한 터널 배리어 엔지니어링", 전기전자재료학회지, 21권, 5호, p. 42, 2008.
- [8] Internatioanl Technolgy Roadmap for Semiconductors, 2007 Edition. [Online]. Avaiable: <http://public.itrs.net>
- [9] B. Govoreanu, P. Blomme, M. Rosmeulen, J. Van Houdt, and K. De Meyer, "VARIOT: A novel multilayer tunnel barrier concept for low-voltage nonvolatile memory devices", IEEE Electron Devices Lett., Vol. 24, No. 2, p. 99, 2003.
- [10] M. Specht, M. Städele, and F. Hofmann, "Simulation of high-K tunnel barriers for nonvolatile floating gate memories", ESSDERC 2002, p. 599, 2002.
- [11] J. Buckley, B. De Salvo, G. Molas, M. Gély, and S. Deleonibus, "Experimental and theoretical study of layered tunnel barriers for nonvolatile memories", ESSDERC 2005, p. 509, 2005.
- [12] P. H. Yeh, L. J. Chena, P. T. Liu, D. Y. Wang, and T. C. Chang, "Metal nanocrystals as charge storage nodes for nonvolatile memory devices", Electrochimica Acta, Vol. 52, p. 2920, 2007.