

## NAND 전하트랩 플래시메모리를 위한 p채널 SONOS 트랜지스터의 특성

### The Characteristics of p-channel SONOS Transistor for the NAND Charge-trap Flash Memory

김병철<sup>1,a</sup>, 김주연<sup>2</sup>

(Byung-Cheul Kim<sup>1,a</sup> and Joo-Yeon Kim<sup>2</sup>)

#### Abstract

In this study, p-channel silicon-oxide-nitride-oxide-silicon(SONOS) transistors are fabricated and characterized as an unit cell for NAND flash memory. The SONOS transistors are fabricated by 0.13  $\mu\text{m}$  low power standard logic process technology. The thicknesses of gate insulators are 2.0 nm for the tunnel oxide, 1.4 nm for the nitride layer, and 4.9 nm for the blocking oxide. The fabricated SONOS transistors show low programming voltage and fast erase speed. However, the retention and endurance of the devices show poor characteristics.

**Key Words** : p-channel SONOS, NAND flash memory, Charge-trap flash, Low programming voltage, Fast erase speed

#### 1. 서론

NAND 플래시메모리는 NOR 플래시메모리보다 셀 면적을 작게 할 수 있기 때문에 고집적적화에 유리하며, 비트단가를 싸게 할 수 있는 장점이 있기 때문에 최근 비약적으로 스케일링이 진행되고 있다[1]. 그러나 플래시메모리를 위한 소자구조로서 현재 주류를 이루고 있는 부유게이트(floating-gate)는 셀의 크기를 축소함에 따라서 다결정실리콘 게이트 간의 커플링효과가 더욱 더 심각해지기 때문에 스케일링 한계에 직면하고 있다[2,3]. 따라서 45 nm 이하의 스케일링에서는 본질적으로 다결정 실리콘게이트 커플링 간섭이 없는 SONOS (silicon-oxide-nitride-oxide-silicon) 소자가 또 다른 대안으로 주목받고 있다[3-5].

터널 산화막의 두께가 3.0 nm 이상인 SONOS

NAND 플래시메모리는 FN(Fowler-Nordheim) 터널링에 의해 쓰기와 지우기 동작을 하기 때문에 높은 프로그래밍 전압이 필요하며, 지우기 속도가 느린 것이 단점이다[6]. 따라서 본 연구에서는 NAND 플래시메모리를 위한 기본 셀로서 낮은 프로그래밍 전압과 빠른 지우기 속도를 갖도록 2.0 nm 의 아주 얇은 터널 산화막을 가진 p채널 SONOS 트랜지스터를 제작하고 이것의 프로그래밍 특성, 기억유지특성, 그리고 endurance 특성을 조사하였다.

#### 2. 제작 공정

p채널 SONOS 제작은 0.13  $\mu\text{m}$  low power standard logic 공정기술을 기본으로 한 cobalt salicide dual gate 공정을 적용하였다. 공정순서는 그림 1과 같다.

터널산화막은 NO annealed oxidation을 실시하였으며, 두께는 1.8 nm이었다. LPCVD 질화막은 780  $^{\circ}\text{C}$ 에서 6.3 nm를 증착하였으며, 블로킹산화막은 래디컬 산화에 의해 6.0 nm가 되도록 ONO(oxide-nitride-oxide) 게이트 절연막 공정을 진행하였다. 래디컬 산화공정 후 최종적인 ONO의 두께는 터널

1. 진주산업대학교 전자공학과  
(경남 진주시 칠암동 150)  
2. 울산과학기술대 반도체응용전공  
a. Corresponding Author : bckim@jinju.ac.kr  
접수일자 : 2008. 11. 13  
1차 심사 : 2008. 12. 12  
심사완료 : 2008. 12. 19

산화막 2.0 nm, 질화막 1.4 nm, 블로킹산화막 4.9 nm의 두께를 얻을 수 있었다.

ONO 게이트 절연막의 TEM사진을 그림 2에 나타내었다. TEM 사진으로부터 질화막의 두께가 1.4 nm로 확인되었으나 블로킹산화막과 질화막 사이에 약 2.0 nm의 SiON 막이 있을 것으로 추정된다.

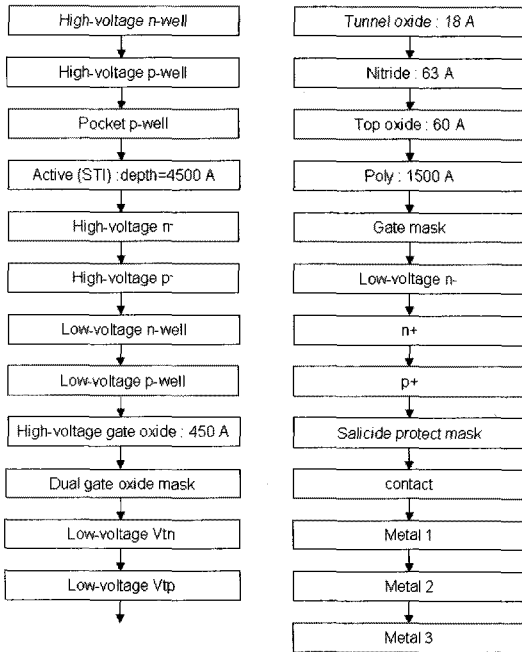


그림 1. 제작공정 흐름도.  
Fig. 1. The flowchart of fabrication process.

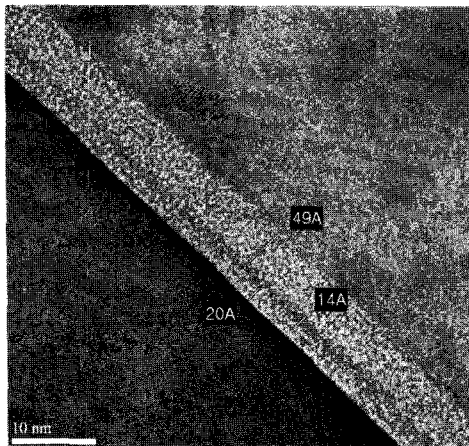


그림 2. ONO 게이트 절연막의 TEM 사진.  
Fig. 2. TEM image of ONO gate insulator.

### 3. 결과 및 고찰

제작된 p채널 SONOS 트랜지스터의 쓰기 특성을 그림 3에 나타내었다.

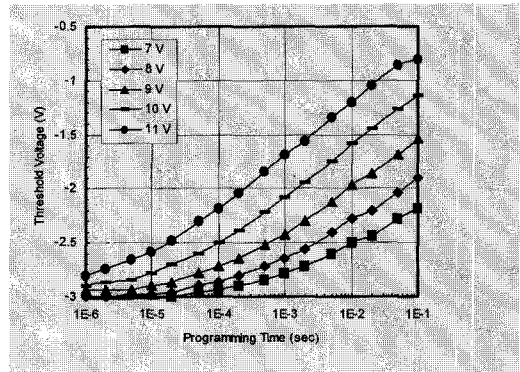


그림 3. p채널 SONOS 트랜지스터의 쓰기 특성.  
Fig. 3. The write characteristics of p-channel SONOS transistor.

x축은 쓰기를 위하여 게이트에 인가된 +펄스전압의 시간이며, y축은 쓰기 후 측정된 SONOS 트랜지스터의 문턱전압을 나타내고 있다. 쓰기 동작을 위한 SONOS 트랜지스터의 초기문턱전압은 -3.1 V이다. +11 V/200  $\mu$ s의 쓰기 조건에서 1 V 정도의 메모리 윈도우 (memory window)를 나타내었다. 제작된 SONOS 트랜지스터의 터널 산화막이

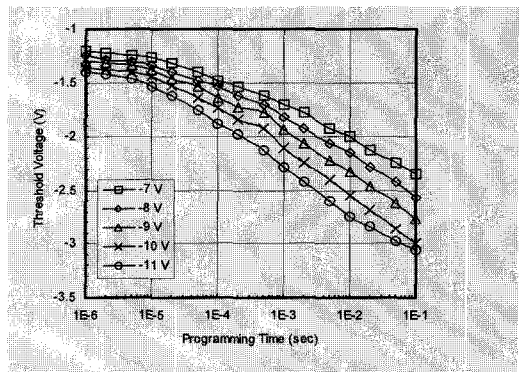


그림 4. p채널 SONOS 트랜지스터의 지우기 특성.  
Fig. 4. The erase characteristics of p-channel SONOS transistor.

2.0 nm로 매우 얇기 때문에 프로그래밍은 direct 터널링에 따른다[7]. 따라서 FN 터널링에 의한 프로그래밍 전압(~20 V)보다는 훨씬 낮은 전압에서 프로그래밍 할 수 있음을 나타내고 있다.

그림 4에는 지우기 특성을 나타내었다. x축은 지우기를 위하여 게이트에 인가된 -펄스전압의 시간이며, y축은 지우기 후 측정된 SONOS 트랜지스터의 문턱전압을 나타내고 있다. 지우기 동작을 위한 SONOS 트랜지스터의 초기문턱전압은 -1.0 V이다. -11 V/200  $\mu$ s의 지우기 조건에서 1 V 정도의 메모리 윈도우(memory window)를 나타내었다.

그림 3과 그림 4의 쓰기와 지우기 특성으로부터 제작된 SONOS 트랜지스터의 프로그래밍 성능을 그림 5에 나타내었다.

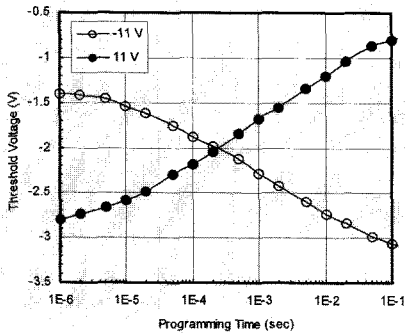


그림 5. p채널 SONOS 트랜지스터의 프로그래밍 성능.

Fig. 5. The programming performance of p-channel SONOS transistor.

SONOS 트랜지스터는  $\pm 11$  V/200  $\mu$ s에서 쓰기와 지우기 동작이 가능함을 나타내고 있다. +11 V/1 s의 쓰기 전압 인가 후 SONOS 트랜지스터의 문턱전압이 -0.6 V로 측정되었으며, 그 결과로 부터 최대 메모리 윈도우는 2.7 V임을 알 수 있다.

프로그래밍 시간에 따른 쓰기와 지우기 전압에 의한 문턱전압 변화를 그림 6에 나타내었다.

11 V의 프로그래밍 전압에서 지우기 전압(-)보다 쓰기전압(+)에 의해 트랜지스터의 문턱전압이 더 크게 변화되는 현상을 나타내었다. 쓰기 동작에서 실리콘 기판의 전자가 direct 터널링에 의해 실리콘 질화막의 트랩으로 주입되는 동시에 게이트로부터도 홀이 실리콘 질화막으로 주입된다. 반대로 지우기 동작에서는 실리콘 질화막내의 전자를 실리콘기판

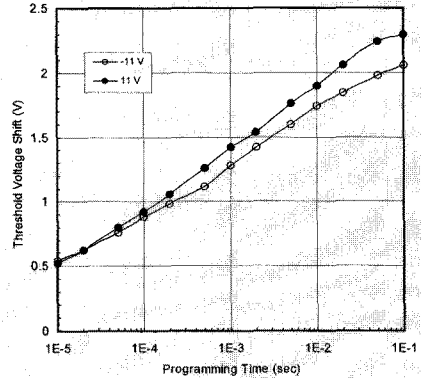


그림 6. 프로그래밍 시간에 따른 쓰기와 지우기 전압에 의한 문턱전압 변화의 비교.

Fig. 6. The comparison of the threshold voltage shift between the write and erase voltage according to programming time.

으로 밀어내는 동시에 기판의 홀을 실리콘 질화막내로 트랩시킨다. 또한 게이트로부터도 전자가 실리콘 질화막내로 주입된다. 이때 게이트 전극으로부터 주입되는 홀은 가전자대의 에너지장벽이 전도대의 에너지장벽보다 크므로 상대적으로 무시할 수 있다.

p채널 SONOS 트랜지스터의 기억유지특성을 그림 7에 나타내었다. SONOS 트랜지스터를 프로그래밍 한 후 상온에서 시간이 경과함에 따라서 질화막내에 축적되어 있는 전하의 손실정도를 조사한 것으로서 SONOS 트랜지스터의 문턱전압을 측정하여 평가한다.

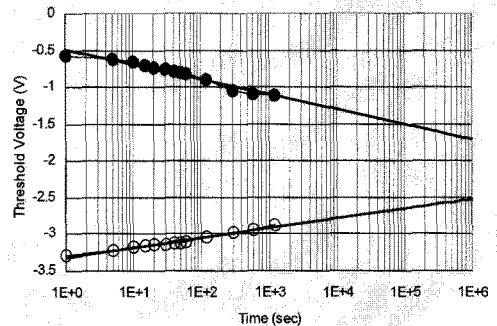


그림 7. p채널 SONOS 트랜지스터의 기억유지특성.

Fig. 7. The retention characteristics of p-channel SONOS transistor.

초기의 메모리 윈도우는 2.7 V이었으며, 1,200초의 시간이 경과한 후 측정된 메모리 윈도우는 1.76 V로 감소되었다. 제작된 SONOS 트랜지스터의 터널 산화막이 2.0 nm로 매우 얇기 때문에 질화막에 주입되었던 전자가 다시 실리콘으로 쉽게 터널링 할 확률이 높아지며, 이로 인해 기억유지특성이 우수하지 못한 것으로 판단된다. 측정결과로부터 기억유지특성을 예측한 결과, 쓰기상태의 감소율은 88 mV/ decade이며, 지우기상태의 증가율은 57 mV/ decade이다. 쓰기상태의 감소율이 지우기상태의 증가율보다 더 높은 이유는 전자트랩의 에너지 준위가 홀의 트랩 준위보다 낮기 때문이다. 기억유지특성을 더욱 더 향상시키기 위하여 터널 산화막의 두께를 증가시키면 기억유지특성은 향상되지만 direct 터널링을 이용할 수 없기 때문에 프로그래밍 전압이 높아지게 된다. 따라서 FN 터널링에 의해 프로그래밍이 되므로 지우기 속도는 느려지게 된다[6].

p채널 SONOS 트랜지스터의 endurance특성을 그림 8에 나타내었다.

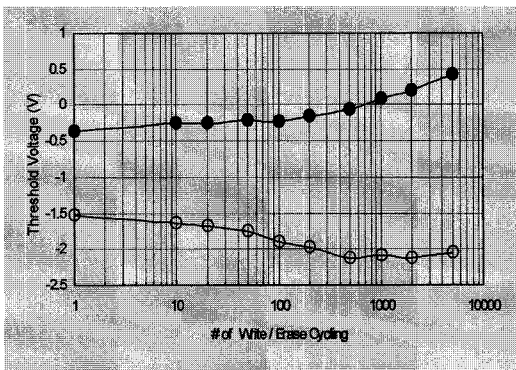


그림 8. p채널 SONOS 트랜지스터의 endurance 특성.

Fig. 8. The endurance characteristics of p-channel SONOS transistor.

SONOS 트랜지스터의 게이트에 쓰기와 지우기 전압을 각각 반복하여 인가 한 후 SONOS 트랜지스터의 문턱전압을 측정하였다. 여기서 쓰기 전압은 +11 V, 지우기 전압은 -11 V이었으며, 프로그래밍 시간은 100 ms이다. 쓰기와 지우기를 반복함에 따라서 쓰기와 지우기 상태의 문턱전압이 모두

증가하는 경향을 나타내었다. 초기의 메모리윈도우는 1.16 V이었으며, 5,000회의 쓰기와 지우기를 반복한 후에 메모리 윈도우는 1.64 V로 증가하였다. 쓰기상태의 문턱전압이 증가하는 것은 실리콘-산화막 계면에 전자트랩이 생성되기 때문이며, 지우기상태의 문턱전압이 음의 값으로 증가하는 이유는 홀트랩이 생성되기 때문이다.

본 연구에서는 p채널 SONOS 트랜지스터를 이용한 2비트 동작에 대한 실험결과를 논의하지 않지만 p채널 SONOS 트랜지스터를 2비트 메모리 셀로 응용할 때 p채널 SONOS 트랜지스터는 읽기 동작에서 채널 핫 홀의 영향을 무시할 수 있기 때문에 읽기간섭이 발생하지 않는다는 큰 장점을 가지고 있다[8].

#### 4. 결론

NAND 플래시메모리를 위한 기본 셀로서 p채널 SONOS 트랜지스터의 적용 가능성을 조사하였다. 2.0 nm의 얇은 터널 산화막을 가진 SONOS 트랜지스터는 direct 터널링 메커니즘을 따르기 때문에 FN 터널링에 의한 프로그래밍 전압(~20 V)보다 훨씬 낮은 전압(11 V)에서 빠른 속도(200 μs)로 지우기가 가능함을 알 수 있었다. 그러나 기억유지특성과 endurance 특성은 만족할 만한 결과를 얻지 못하였다. 향후 낮은 프로그래밍 전압, 빠른 지우기 속도와 더불어 우수한 기억유지특성과 endurance 특성을 갖는 메모리 셀에 대한 연구와 2비트 동작에 대한 연구가 진행될 예정이다.

#### 감사의 글

이 논문은 2006년도 진주산업대학교 기성회회의 중기연수 지원에 의하여 연구되었습니다.

#### 참고 문헌

- [1] J. H. Park, S. H. Hur, J. H. Lee, J. T. Park, J. S. Sel, J.W. Kim, S. B. Song, J. Y. Lee, J. H. Lee, S. J. Son, Y. S. Kim, M. C. Park, S. J. Chai, J. D. Choi, U. I. Chung, J. T. Moon, K. T. Kim, K. Kim, and B. I. Ryu, "8 Gb MLC(multi-level cell) NAND Flash Memory using 63 nm Process Technology", in IEDM

- Tech. Dig., p. 873, 2004.
- [2] J. D. Lee, S. H. Hur, and J. D. Choi, "Effects of floating gate interferences on NAND flash memory cell operation", *IEEE Electron Device Lett.*, Vol. 23, No. 5, p. 264, 2002.
- [3] K. Kim, "Technology for sub-50 nm DRAM and NAND Flash Manufacturing", in *IEDM Tech. Dig.*, p. 323, 2005.
- [4] 김주연, 김문경, 김병철, 김정우, 서광열, "테라비트급 나노 스케일 SONOS 플래시 메모리 제작 및 소자 특성 평가", *전기전자재료학회논문지*, 20권, 12호, p. 1017, 2007.
- [5] H.-M. An, K.-Y. Seo, J.-Y.n Kim, B. C. Kim, "Realization of two-bit operation by bulk-biased programming technique in SONOS NOR array with common source lines", *Trans. EEM*, Vol. 7, No. 4, p. 180, 2006.
- [6] H. T. Lue, Y. H. Shih, K. Y. Hsieh, R. Liu, and C. Y. Lu, "Novel soft erase and re-fill methods for a P+-poly gate nitride-trapping non-volatile memory device with excellent endurance and retention properties", in *Proc. IRPS*, p. 168, 2005.
- [7] M. L. French and M. H. White, "Scaling of multielectric nonvolatile SONOS memory structures", *Solid-State Electronics*, Vol. 37, No. 12, p. 1913, 1994.
- [8] H.-T. Lue, S.-Y. Wang, E.-K. Lai, M.-T. Wu, L.-W. Yang, K.-C. Chen, J. Ku, K.-Y. Hsieh, R. Liu, and C.-Y. Lu, "A novel p-channel NAND-type Flash memory with 2-bit/cell operation and high programming throughput (>20 MB/sec)", in *IEDM Tech. Dig.*, p. 341, 2005.