

다목적실용위성3호 탑재체 CCD 제어클럭 드라이버 설계 및 시뮬레이션

김영선*, 공종필**, 허행팔***, 박종억****, 용상순*****

Design and Simulation of KOMPSAT-3 Payload CCD Clock Driver

Youngsun Kim*, Jong-Pil Kong**, Haeng-Pal Heo***, Jong-Euk Park****, Sang-Soon Yong*****

Abstract

The camera electronics in the KOMPSAT-3 payload provides the several control clocks in order to move the charges, which are converted from the light in the pixel, in the vertical and horizontal direction. Generally, the control clocks depend on the CCD internal design in the system. The KOMPSAT-3 payload uses the CCD controlled by 3-phase vertical clocks and 4-phase timing. The camera generates the various clocks such as the vertical clocks, the horizontal clocks, the summing clocks, the reset clocks and so on. The vertical clocks are deeply related to the camera performance and synchronized with satellite scan-rate even though they are relatively slow. Also, it gives the horizontal clocks without distortion under the very fast pixel-rate. This paper shows the design and simulation of the CCD clocks driver for the KOMPSAT-3 payload.

초 록

다목적실용위성3호 탑재체내의 카메라전자부는 CCD에 적절한 제어클럭을 공급하여 빛 에너지로부터 생성된 전하를 이동시키고 영상데이터를 획득, 처리하는 장치이다. 특히 제어클럭은 전하전달효율이나 확산 등과 같은 영상성능에 직접 관련하므로 정확한 신호 생성이 매우 중요하다. 일반적으로, CCD 제어클럭은 사용하는 센서 구조에 따라 종류 및 특성이 달라진다. 다목적실용위성3호 탑재체 CCD는 수직방향 이동을 위하여 3위상 제어신호, 수평방향 이동을 위한 4위상 제어신호로 동작한다. 이를 위해 카메라전자부는 수직 및 수평 방향 이동클럭과 각방향의 서밍클럭, 리셋 클럭 등을 공급해야한다. 수직방향 클럭은 비교적 느린 신호이지만 영상성능에 가장 민감한 신호로 위성의 움직임과 동기 되어 정확한 라인 타이밍의 클럭 생성이 필요하다. 또한, 수평이동 클럭은 매우 빠른 픽셀레이트로 신호 왜곡 없이 제어신호를 생성해야한다. 본 논문에서는 다목적실용위성3호 탑재체의 CCD 각방향의 제어클럭 드라이버를 설계한 후, 시뮬레이션을 통하여 검증하고 그 결과를 기술한다.

키워드 : CCD(영상검출기), 클럭 드라이버(clock driver), 설계 및 시뮬레이션(design and simulation)

접수일(2008년12월17일), 수정일(1차 : 2009년 6월 5일, 2차 : 2009년 6월 17일, 게재 확정일 : 2009년 7월 1일)

* 3호탑재체팀/yskim1203@kari.re.kr

** 3호탑재체팀/kjp123@kari.re.kr

*** 3호탑재체팀/hpyoung@kari.re.kr

**** 3호탑재체팀/pje@kari.re.kr

***** 3호탑재체팀/ssyong@kari.re.kr

1. 서론

CCD(Charge Coupled Device)는 빛에너지를 전하로 변화시켜 영상을 얻도록 하는 검출기의 한 종류이다. 광학계로부터 들어온 광자(photon)는 CCD 실리콘 내부에서 전하로 변환되어 축적된다^{1,2)}. CCD로부터 영상을 얻기 위해서는 카메라 전자부가 적절한 제어클럭을 제공하여 전하를 해당 출력포트로 이동시켜야한다. 그림1은 수직방향 3위상 전형적인 CCD의 일반구조를 보여준다.

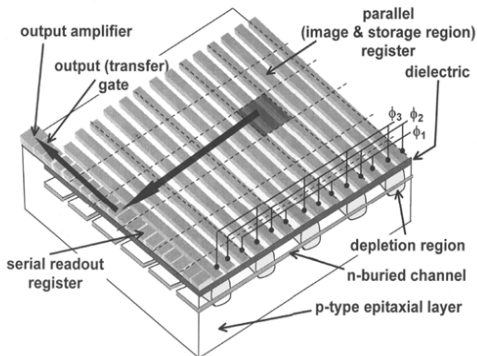


그림 1. CCD의 일반구조

제어클럭은 CCD에 따라 그 종류 및 특성이 달라지며 카메라전자부에 있는 클럭 드라이버는 최적의 성능을 위해 CCD가 규격에 맞춰 신호를 생성해야한다. 다목적실용위성3호 탑재체에서 사용하는 CCD는 수직방향으로는 3위상 제어신호로 동작하고 수평방향으로는 4위상 제어신호로 동작한다. 수직방향 클럭은 수평방향에 비해 상대적으로 느린 신호이지만 전하전달효율이나 확산 등과 같은 카메라 성능에 직접 관련하므로 정확한 라인 타이밍의 클럭 생성이 요구된다. 또한, 수평이동 클럭은 빠른 스캔레이트에 부합하도록 신호 왜곡 없이 수십 MHz대의 매우 빠른 신호를 생성해야한다. 이밖에도 카메라전자부는 리셋 클럭, 서밍클럭(summing clock), 전달클럭(transfer clock)과 같은 추가적인 제어클럭을 제공해야한다. 본 논문에서는 다목적실용위성3호

탑재체의 CCD 제어클럭 드라이버를 설계한 후, 일부 부품 추가 및 삭제, 소자 값 변경 등에 대한 영향을 시뮬레이션을 통하여 검증하고, 그 결과를 기술하고자 한다.

2. CCD 제어클럭 종류 및 특성

CCD 내부에서 전하이동방법은 사용하는 CCD에 따라 달라진다. 예를 들어 CCD 내부구조에 따라 제어위상클럭 구조가 달라지며, 홀, 짝수 픽셀의 서로 다른 이동경로를 사용하는 구조, 센서 내부에서 바이닝(binning)을 수행하는 구조, 좌우 전달방향을 바꾸는 구조 등, CCD에 따라 전하이동방법이 다르다. 일반적인 CCD의 전하이동 과정은 각 픽셀에 축적된 전하를 직렬레지스터(read-out serial register) 부분으로 이동하는 수직이동과 레지스터의 전하를 출력포트로 이동하는 수평이동, 그리고 출력포트에서의 최종 출력과정으로 구분할 수 있다³⁾. 그림2는 일반 TDI(Time Delay and Integration) CCD의 전하이동과정을 간략하게 보여준다.

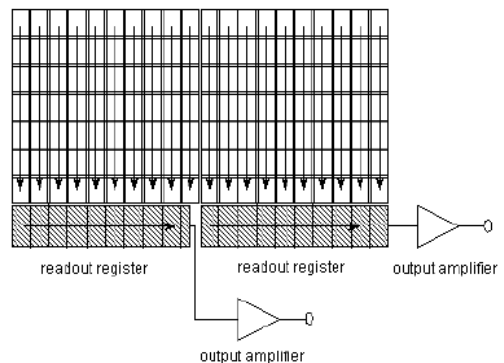


그림 2. TDI CCD의 전하이동과정

2.1 CCD내부 전하 이동 및 제어클럭

CCD의 전하이동은 수직이동, 라인전달, 수평이동, 그리고 출력포트에서의 신호 출력 단계로 구분할 수 있다. 카메라 전자부는 전하가 이동할 수 있도록 각 단계마다 CCD가 요구하는 규격대

로 적절한 제어신호를 공급해야한다.

2.1.1 전하의 수직이동

각 픽셀에 축적된 전하는 먼저 CCD의 스캔레이트에 동기되어 수직방향으로 이동하여야 한다. 고위상 제어신호를 사용할수록 더 높은 성능을 기대할 수 있으며 일반적으로 3위상이나 4위상 제어신호에 의하여 수직방향으로 이동한다⁴⁾. 특히, 수직이동 제어클럭은 활성 픽셀 영역에서 동작하는 제어신호로 카메라의 성능과 직접적인 관련이 있는 클럭이므로 정확한 타이밍으로 제어신호를 공급하는 것이 매우 중요하다. 그림3은 4위상 제어클럭에 의한 전하의 수직이동과정을 보여준다. 그림에서 보여주듯이 제어클럭을 오버래핑 구조로 제공해야하며 클럭 드라이버는 CCD가 요구하는 라인타이밍 규격대로 제어신호를 생성해야한다.

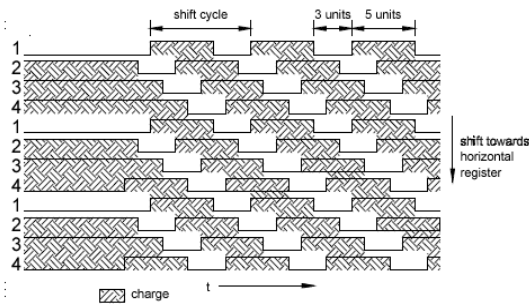


그림 3. 전하의 수직이동 및 제어클럭

2.1.2 라인전달

수직이동에 의하여 전달된 전하는 라인전달 과정에 의하여 직렬레지스터로 이동한다. 라인전달은 한 라인에 대한 수평이동이 끝난 후, 다음 라인의 대기기간(line blanking period)에서 수행된다. 라인전달은 수직이동과 기본적인 동작이 같고 게이트전압을 낮춰 전하가 이동하도록 한다. 그림4는 전하의 라인전달 과정을 간략하게 보여준다. 카메라는 전하의 라인전달을 위하여 수직방향이동 제어클럭과 동기되어 서밍클럭과 전달클럭을 CCD에 제공한다.

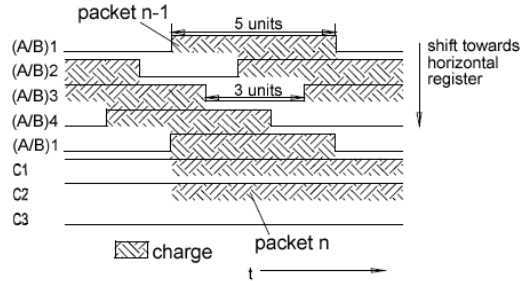


그림 4. 전하의 라인전달과정

2.1.3 전하의 수평이동

라인전달에 의해 직렬레지스터로 이동된 전하는 수평이동 제어클럭에 의하여 출력포트로 이동한다. CCD에 따라서는 좌우 이동방향을 설정하는 신호를 제공하기도 한다. 일반적으로 수평이동 클럭의 속도에 따라 시스템 속도가 결정되기 때문에 빠른 신호 생성이 필요하며 높은 전달효율 등을 위해 왜곡 없는 신호를 생성하는 것이 중요하다. 그림5는 3위상 제어클럭에 의한 전하의 수평이동과정을 보여준다.

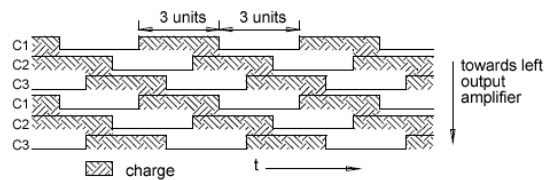


그림 5. 전하의 수평이동 및 제어클럭

2.1.4 신호 출력

출력게이트(OG)는 DC 바이어스로 연결되어 전위장벽(potential barrier) 역할을 하면서 서밍 게이트 동작에 따라 전자를 FD(floating diffusion) 커패시터에 전달한다. FD는 전하를 전압으로 변환시켜주고 이 전압은 출력버퍼를 통해 전달된다. 리셋게이트에 인가되는 리셋펄스는 매 픽셀마다 신호를 리셋시켜주는 역할을 한다. 보통, 리셋신호의 클럭 드라이버는 전위레벨이 다르지만 수평 제어클럭과 기본 동작이 같다.

그림6은 CCD 출력단 구조와 출력과정을 보여준다.

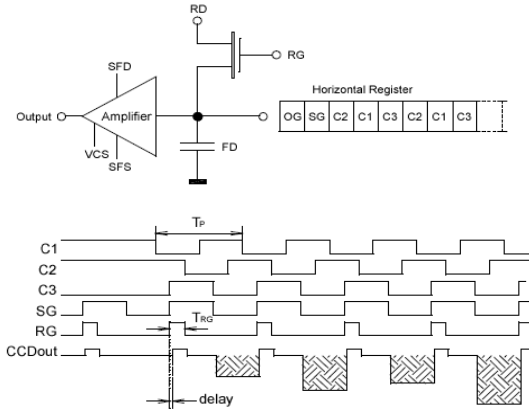


그림 6. 출력단 구조(상) 및 신호 출력과정(하)

2.2 다목적실용위성3호 CCD 제어클럭

다목적실용위성3호에서 사용하는 영상센서는 수직방향 이동을 위한 3위상 제어신호가 있고 수평방향 이동을 위한 4위상 제어신호, 수직 방향으로의 서밍클럭, 수평레지스터로 전하 전달을 위한 전달클럭, 수평 방향 서밍클럭, 리셋 클럭 등이 있다. 특별히 3호 탑재체는 더 많은 광량 획득을 위하여 여러 픽셀 전하를 하나로 모으는 방식인 TDI(Time Delay Integration) 구조 센서를 사용하므로 이 모드 제어를 위한 클럭 신호를 추가적으로 생성해야한다.

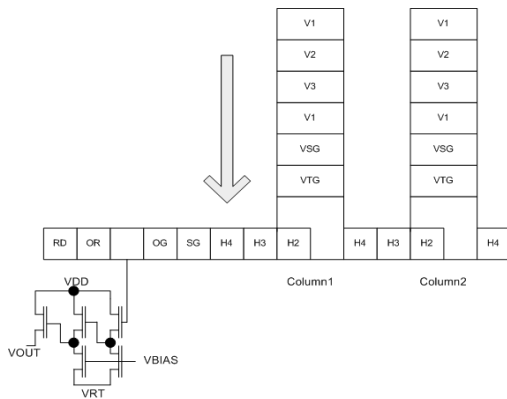


그림 7. CCD 제어클럭 구조

그림7은 CCD 제어클럭 구조를 개념적으로 보여준다. 그림은 전하가 3위상 제어클럭에 의하여 수직방향으로 이동하고 4위상의 제어클럭에 수평방향으로 이동한 후, 서밍게이트와 출력게이트를 거쳐 3단 소프 플로워를 통해 포트출력하는 과정을 보여준다. 이 구조에 맞추어 카메라전자는 CCD에 제어클럭을 공급한다.

TDI 모드 운용은 광량을 늘려 획기적인 SNR(Signal to Noise Ratio) 성능향상을 가져오므로 위성카메라와 같이 높은 해상도를 요구하며 광량이 작은 경우에 많이 사용한다⁵⁾. TDI 제어클럭은 센서에 따라 서로 다른 두 종류의 DC 바이어싱 신호를 스위칭하기도 하지만, 3호 탑재체의 경우는 스위칭에 의하여 수직방향 클럭 혹은 DC 바이어싱 신호를 선택한다.

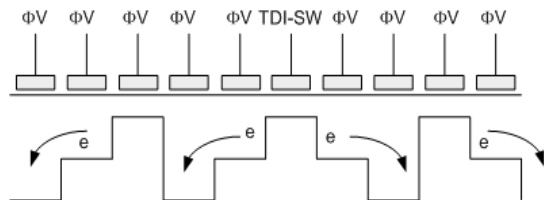


그림 8. TDI 제어클럭

표1은 다목적실용위성 3호탑재체에서 사용하는 CCD의 제어클럭 종류를 보여준다. 제어클럭의 라인타이밍을 규격대로 생성하는 것은 카메라 성능과 관련하여 매우 중요하다. 그림9는 다목적실용위성3호 탑재체 CCD가 요구하는 라인타이밍의 정의를 보여준다.

표 1. CCD 제어클럭 정규전압

종류	파라미터
ΦV(1,2,3)	3-Phases Vertical Clock
VSW	Vertical Switch Clock
ΦVSG	Vertical Summing Clock
ΦVTG	Vertical Transfer Clock
ΦH(1,2,3,4)	4-Phases Horizontal Clock
ΦHSG	Horizontal Summing Clock
ΦR	Reset Clock

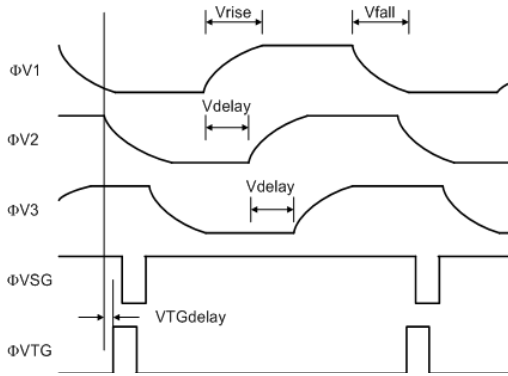


그림 9. CCD 수직방향 제어클럭 라인타이밍

3. CCD 제어클럭 드라이버 설계 및 시뮬레이션

다목적실용위성3호 카메라 전자부에서는 전하의 이동을 위해 라인별 제어신호를 FPGA 로직에서 생성하고 클럭 드라이버를 통해 CCD에 공급한다. CCD 제어클럭 인에이블(enable)/디스에이블(disable)은 지상의 원격명령에 따라 동작한다. CCD 제어클럭이 인에이블되면 FPGA는 정해진 시퀀스에 의하여 제어신호를 생성하고 이 신호는 클럭버퍼와 클럭 드라이버를 통해 CCD에 공급한다. 수직방향 제어클럭은 FPGA가 지상 명령으로부터 스캔레이트를 입력받아 이와 동기된 제어로직을 생성하고 수평방향의 경우는 고정된 픽셀레이트와 동기시켜 제어로직을 생성한다. 그림10은 카메라내부의 제어클럭 생성과정을 간단하게 보여준다. 그림에서 보여주듯이 클럭 드라이버는 클럭버퍼로부터 제어로직 신호를 입력받아 CCD 제어신호로 드라이빙하는 역할을 한다.

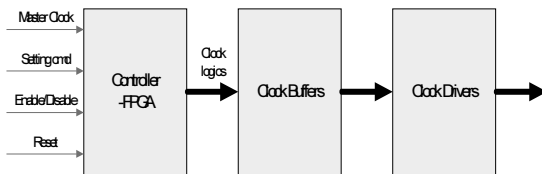


그림 10. CCD 제어클럭 생성

클럭 드라이버는 상용부품을 직접 사용하기도 하기도 하지만, 최적의 성능과 센서의 특성에 부합하기 위하여 트랜지스터나 연산증폭기 등을 통하여 드라이빙 회로를 설계하는 것이 일반적이다. 상용부품을 직접 사용할 경우는 규격에 맞는 부품 선택이 중요하며 드라이빙회로를 설계한 경우에는 모델링 해석과 시뮬레이션에서 통하여 그 적합성을 검증해야 한다. 특히 입력신호가 고주파인 경우에는 시뮬레이션에 의하여 필수적으로 그 동작을 확인하여야 한다.

3.1 수직방향 클럭 드라이버

전하의 수직이동은 시스템의 스캔레이트에 동기되어 수-수십 kHz대의 비교적 느리게 진행된다. 수직방향은 위성카메라의 진행방향과 같으므로 더 높은 성능을 위하여 부드러운 에지를 갖는 것이 중요하다.

3.1.1 수직이동클럭 드라이버 설계

수직이동 제어클럭은 활성 픽셀 영역에서 동작하는 제어신호로 전하전달효율이나 점확산(point spread function) 등과 같은 카메라의 성능과 직접적인 관련이 있는 클럭으로 정확한 타이밍으로 제어신호를 공급하는 것이 매우 중요하다⁶⁾. 따라서 클럭 드라이버는 규격대로 정확한 Rising/Falling 타이밍으로 제어신호를 공급해야한다. 3호탑재체 카메라는 수직방향 클럭 드라이빙을 위해 버터워스(Butter-Worth) 필터 구조를 사용한다. 버터워스 필터는 통과영역에서 리플없는 편평한 신호를 제공하는데 유리하다⁷⁾. 그림11은 수직방향 클럭 드라이버 회로 설계를 보여준다.

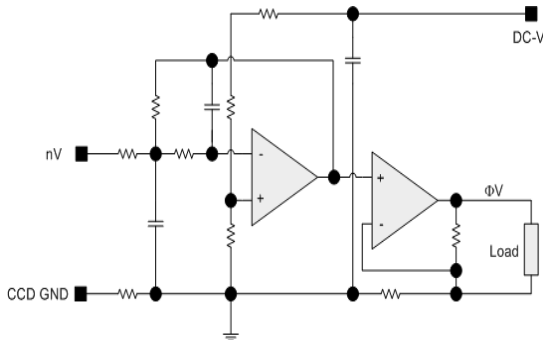


그림 11. 수직이동 제어클럭 드라이버

첫 번째 증폭기단은 저대역통과 버퍼워스 필터를 보여주며 커패시터와 저항 값을 조절하여 Rising/Falling의 시정수를 결정한다. 또한 증폭기의 음(-)의 바이어싱을 GND로 연결하여 스윙 전압이 음이 되지 않도록 한다. 회로는 인버팅(inverting) 구조로 입력신호를 반전한다. 두 번째 증폭기단은 논인버팅(non-inverting) 구조의 증폭기로 전압범위를 규격에 맞추어 신호를 드라이빙하는 역할을 한다.

TDI 제어클럭 드라이빙 자체는 기본적으로 수직방향 드라이버와 같다. 다만, TDI 모드 스위칭을 위하여 첫 번째 증폭기단과 두 번째 증폭기단 사이에, 아날로그 스위치를 위치하여 제어명령과 매핑테이블에 의하여 수직방향 제어신호나 DC 바이어싱 신호를 선택한다.

3.1.2 수직이동 드라이버 시뮬레이션

트랜지스터나 연산증폭기 등을 이용하여 드라이버 회로를 설계하였을 때, 시뮬레이션에서 통하여 그 적합성을 반드시 검증해야 한다. 시뮬레이션의 입력신호는 위성궤도에서 스캔레이트 등 위성의 동작을 가정하여 생성하여야 한다. 시뮬레이션에서 사용한 입력파형은 클럭버퍼와 FPGA 로직을 모사하였으며 출력로드는 사용하는 센서의 특성을 파악하여 모사하였다.

수직방향 클럭 드라이버는 정확한 라인 규격대로 신호를 생성하는 것이 매우 중요하다. 그림 12은 첫 번째 증폭기단의 시뮬레이션 회로를 보여준다. 전하의 수직이동은 위성의 스캔레이트와

동기되며 시뮬레이션에서는 10000Hz의 입력파형을 생성하였다. 신호의 시정수는 회로의 커패시터에 의하여 조절할 수 있으며 그림 13은 C3 커패시터값에 따른 입력신호의 첫 번째 증폭기 출력단의 과도응답 시뮬레이션 결과를 보여준다. 시뮬레이션을 통하여 설계한 커패시턴스 값이 적절한지 검증할 수 있다.

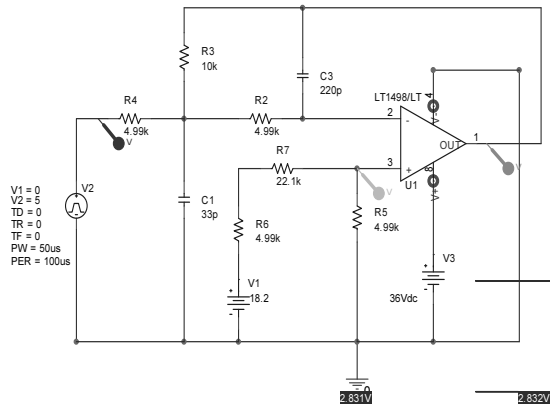


그림 12. 첫 번째 증폭기 회로 시뮬레이션



그림 13. C3 커패시터에 따른 증폭기 출력신호 변화(상-No capacitor, 중-2..2nF 하-220pF)

그림14는 수직이동클럭 드라이버 회로의 최종 입출력 시뮬레이션 결과를 보여준다. 시뮬레이션 결과는 설계한 회로가 CCD 규격에 적합함을 보여준다.

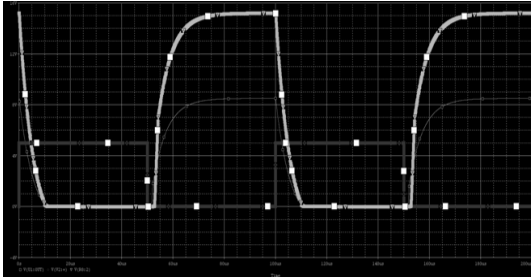


그림 14. 수직이동 제어클럭 출력신호

3.2 수직 서밍 및 전달클럭 드라이버

수직방향의 서밍클럭과 전달클럭은 비교적 느린 신호이고 라인타이밍이 일반적이어서 상용부품을 사용할 수 있다. 이와 같이 상용부품을 사용할 경우에는 센서의 라인타이밍 규격을 만족할 수 있는 부품 선택이 중요하다.



그림 14. 수직방향 서밍클럭 및 전달클럭 드라이버

3.3 수평이동클럭 드라이버($\Phi H(1,2,3,4)$)

전하의 수평이동 속도는 센서의 최대 픽셀레이트와 관계가 깊다. 수평이동 클럭은 왜곡없는 빠른 신호 생성이 중요하며, 클럭 드라이버 설계 시 저항 등에 빠른 입력신호를 고려해야한다.

3.3.1 수평이동클럭 드라이버 설계

수평이동 클럭은 고출력을 요구하고 고주파 신호임에도 신호 왜곡이 없어야 한다. 이를 위해

수평이동 제어클럭은 푸쉬-풀 출력단 구조로 설계하였다. 푸쉬-풀 출력구조는 비록 회로가 복잡해지고 두 트랜지스터간의 대칭적 특성에 관계하지만 파형의 왜곡 및 전력공급에서 장점을 갖는다. 또한, 3호 카메라는 CCD 구조, 요구되는 스캔레이트 등에 의하여 수십 MHz의 빠른 픽셀레이트로 동작하도록 설계되었다. 따라서, 드라이버는 회로구성, 저항, 커패시터 값 설정에 특별한 주의를 기울여야한다.

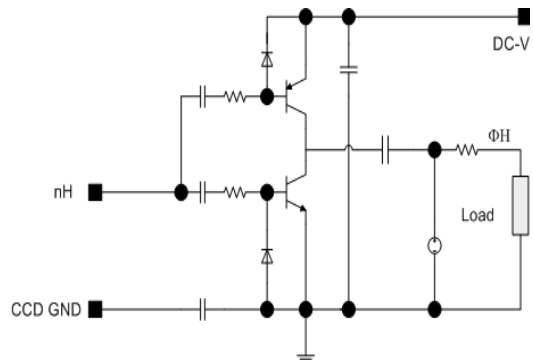


그림 15. 수평이동 제어클럭 드라이버

3.3.2 수평이동클럭 드라이버 시뮬레이션

입력신호가 고주파인 경우에는 필수적으로 시뮬레이션에 의하여 트랜지스터 동작을 확인하여야한다. 시뮬레이션에서 입력신호를 FPGA 로직과 클럭버퍼 출력을 모사하였으며, 출력로드 역시 CCD 규격서에 따라 모델링하였다. 그림16은 수평이동 제어클럭의 시뮬레이션 설계를 보여준다. 고속 입력신호가 들어올 때 입력신호는 트랜지스터의 입력저항에 따라 트랜지스터 출력신호가 달라진다. 즉, 트랜지스터가 포화영역에서 동작하도록 입력저항값을 설정하여야 한다. 그림17은 입력저항에 따른 20MHz 제어입력신호의 과도응답 시뮬레이션 결과를 보여준다. 시뮬레이션 결과는 입력저항이 작을 때 트랜지스터가 포화영역으로 동작함을 보여준다.

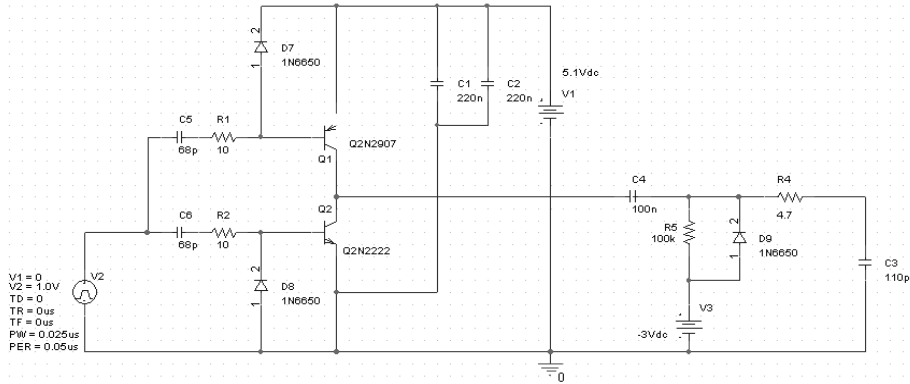


그림 16. 수평이동 제어클럭 시뮬레이션 회로

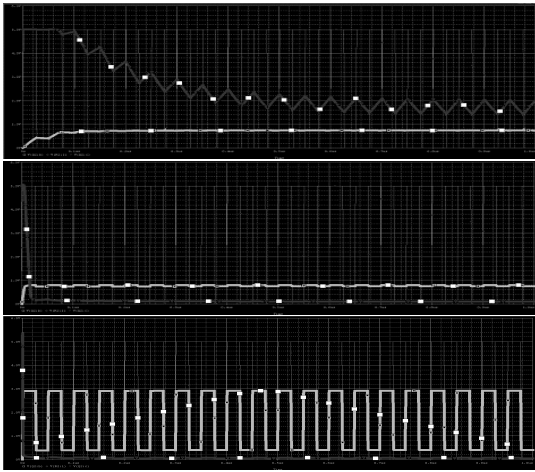


그림 17. 입력저항에 따른 트랜지스터 입력신호 변화(상-10k Ω , 중-1k Ω , 하-10 Ω)

고속 신호 입력회로에서 트랜지스터 앞단에 커패시터가 없다면 트랜지스터는 HIGH 입력에 대해서도 항상 온(on) 상태가 되어 트랜지스터 출력은 입력신호에 관계없이 한 값으로 고정되게 된다. 트랜지스터 입력저항 앞에 커패시터를 추가하면 커패시터가 일정전압을 충전하고 있어 입력신호에 따라 트랜지스터 ON/OFF제어할 수 있다. 다이오드는 LOW 입력에서 트랜지스터 입력신호가 음(-)으로 떨어지는 것을 막아준다. 그림18은 커패시터 및 다이오드 추가에 따른 트랜지스터 출력신호를 보여준다.

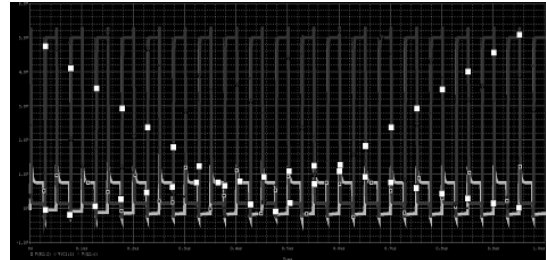


그림 18. 커패시터 및 다이오드 추가에 따른 트랜지스터 출력신호 변화

클럭 드라이버회로에서 최종 출력은 Q1과 Q2 중 온 상태인 트랜지스터의 출력 신호가 나타난다. 정상상태에서 트랜지스터 출력단의 커패시터가 일정 DC 전압으로 충전된다. 그림19는 수평이동클럭 드라이버의 시뮬레이션 결과를 보여준다.

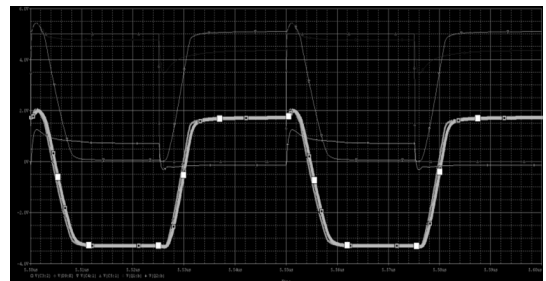


그림 19. 수평이동 제어클럭 드라이버 출력신호

3.4 수평서밍 및 리셋클럭 드라이버

수평방향의 서밍클럭은 전하를 FD 커패시터에 전달하도록 한다. 리셋펄스는 매 픽셀마다 신호를 기준전압을 커패시터에 인가하도록 한다. 서밍클럭과 리셋클럭은 수평이동 클럭과 같은 주파수로 동작하며 역시 왜곡없는 신호생성이 중요하다. 두 신호의 클럭 드라이버는 전위레벨이 다르지만 수평이동 제어클럭과 같은 드라이빙 회로를 사용할 수 있다.

4. 결 론

다목적실용위성3호 탑재체 CCD는 픽셀 내부에 축적된 전하의 이동을 위해 수직방향 3위상 제어신호, 수평방향으로 4위상 제어신호를 요구한다. 따라서, 카메라전자부는 수직 및 수평 방향 이동클럭과 각방향의 서밍클럭, 리셋 클럭 등을 공급해야한다. 이중에서, 수직방향이동 클럭은 영상성능에 가장 밀접한 신호로 위성의 움직임과 동기 되어 정확한 라인 타이밍의 클럭 생성이 필요하다. 또한, 수평이동 클럭은 픽셀레이트와 동기하여 왜곡 없이 매우 빠른 제어신호를 생성해야한다. 본 논문에서는 일반적인 TDI CCD의 전하이동과정을 살피고, 다목적실용위성3호 탑재체 CCD의 각 클럭에 대한 제어클럭 드라이버의 설계 결과를 보여주었다. 수직이동클럭 드라이버는 버터워스 필터 구조로 회로를 설계하였으며 시정수를 조절하여 정확한 라인신호를 생성하도록 하였다. 수평이동클럭은 고주파 신호이고 고출력을 요구하므로 바이폴라 트랜지스터의 푸쉬풀 출력 구조로 회로를 설계하였다. 또한 논문에서는 다양한 시뮬레이션을 통하여 설계한 클럭 드라이버 회로를 검증하였다. 시뮬레이션에서는 클럭버퍼와 FPGA 로직, 출력로드 등의 입출력을 모사하였으며 소자 추가 및 제거, 소자 값 변경 등을 통해 설계한 회로를 보완하고 검증하였다. 시뮬레이션 결과는 설계한 각 제어신호의 클럭 드라이버가 다목적실용위성3호 탑재체 CCD 규격에 적합함을 보여준다.

참 고 문 헌

1. B.G.Streetman, Solid State Electronic Device, New Jersey, Prentice-Hall, 1990, pp.100-134
2. J.R.Meyer-Arendt, Introduction to Classical and Modern Optics, New Jersey, Prentice-Hall Inc, 1995, pp.328-343
3. 김영선, "영상센서 픽셀 불균일 보정 알고리즘 개발 및 시험", 전자공학회 논문지, 제44권, SC편 제3호, 2007, pp.29-33
4. S.B.Howell, Handbook of CCD Astronomy, New York, Cambridge University Press, 2000, pp.26-46
5. Y.S.Kim, "MTF measuring method of TDI camera electronics", ISRS2007, 2007
6. G.C.Holst, CCD Arrays, Cameras, and Displays, FL, JCD Publishing, 1996, pp.42-88
7. A.S.Sedra, Microelectronics Circuits, New York, Oxford University Press, 1991, pp.762-840