

JPEG 2000 Hard-wired Encoder를 위한 칼라 2-D DWT Processor의 구현

The implementation of the color component 2-D DWT Processor for the JPEG 2000 hard-wired encoder

이성목*, 조성대***, 강봉순**

Sung-mok Lee*, Bong-soon Kang**

요약

본 논문에서는 차세대 정지영상 압축 표준 JPEG2000 CODEC의 Wavelet 변환부와 양자화기의 하드웨어 구조를 제안하고 설계하였다. 본 논문의 칼라 2-D DWT 프로세서는 JPEG 2000 Hard-wired Encoder에 적용하기 위해 제안하였다. JPEG 2000 DWT(Discrete Wavelet Transform)에서는 Daubechies 9/7 filter를 사용하였고 2-D DWT의 변환과 복원과정에서의 오차가 ± 1 LSB 이내로 들어갈 수 있게 설계하였다. 기존에 설계되었던 filter의 하드웨어 구조에서 하드웨어 복잡도를 높이는 곱셈기를 사용하지 않고 shift-and-adder 구조를 사용하였다. 이것은 DWT 변환에서 가장 많은 연산을 차지하는 filter의 동작 속도를 향상시킬 수 있으며 하드웨어 복잡도도 낮출 수 있다. 본 시스템은 표준화된 하드웨어 설계 언어인 Verilog-HDL을 사용하여 설계하였고, Synopsys사의 Design Analyzer와 TSMC 0.25 μ m ASIC Library를 사용하여 검증하였다.

Abstract

In this paper, we propose the hardware architecture of two-dimensional discrete wavelet transform (2D DWT) and quantization for using JPEG2000. Color 2-D DWT processor is proposed that is to apply to JPEG 2000 Hard-wired Encoder. JPEG 2000 DWT processor uses the Daubechies' (9,7) bi-orthogonal filter, and we design by minimizing error of the DWT transformer by ± 1 LSB during compression and decompression. We designed the DWT filters that using by using shift and adder structure instead of multiplier structure which raise the hardware complexity. It is improve the operation speed of filters and reduce the hardware complexity. The proposed system is designed by the hardware description language Verilog-HDL and verified by Synopsys Design Analyzer using TSMC 0.25um ASIC library.

Keywords : JPEG 2000, DWT, Scalar Quatization

I. 서 론

현대의 정보화 시대는 멀티미디어를 중심으로 광범위한 데이터를 요구하고 있으며 더불어 이에 따른 데이터 처리속도 증가와 함께 영상 데이터를 압축 하는 기술에 대한 연구가 최근 20년간 활발히 진행 되고 있다. 가장 대표적인 것이 JPEG과 MPEG의 표준들이며, 이들 표준들에 의해 영상처리 분야를 용용한 많은 제품들이 쏟아져 나오고 있다. 하지만 이러한 JPEG 또는 MPEG은 이산 코사인 변환(Discrete Cosine Transform, DCT)을 기반으로 하는 기술로서, 엄청난 기술적 진보와 광범

위한 표준화에도 불구하고 볼록효과라는 큰 단점을 가지고 있다. 그래서 이를 보완하는 기술이 대두되어 연구되고 있는데, 정지영상 압축 표준 중 가장 대표적인 것이 웨이블릿(wavelet)을 기반으로 하는 JPEG2000이다.

1992년에 JPEG(Joint Photographic Expert Group)이 정지영상 압축 표준으로 채택된 이후 이 표준은 다양한 멀티미디어 응용분야에 사용돼 왔다. 그러나 JPEG은 구현이 쉽다는 장점에도 불구하고 손실과 무손실 압축이 단일화되어 있지 않고 잡음이 많은 저 비트율 환경에서 뚜렷한 성능 열화를 보이고 있으며 DCT(Discrete Cosine Transform)을 기반으로 압축과정을 수행하기 때문에 높은 비율로 압축을 할 경우 볼록화 현상이 심하게 일어나는 단점을 가지고 있다. 이러한 문제점을 해결하기 위해 JPEG의 표준화 작업을 담당하고 있는 ISO/IEC 산하의 JTC1/SC29/WG1그룹에서 새롭게 JPEG2000을 개발 하였다. JPEG2000은 JPEG에서 단점으로 지적되었던 저비트에서의 화질 열화를 개선하고 다양한 부가기능이 추가된 차세대 정지영상 압축 표준이다. Discrete Cosine Transform(DCT)가 8x8 화소 단위로 변화하는 반면, 이산 웨이블릿 변환(Discrete

* 동아대학교 전자공학과 박사과정

** 교신저자 : 동아대학교 전자공학과 부교수

*** (주) 삼성전자

접수일자 : 2008. 7. 05 수정완료 : 2008. 10. 22

제재확정일자 : 2008. 10. 29

※ 이 논문은 동아대학교 학술연구비 지원에 의하여 연구되었음

Wavelet Transform, DWT)은 주어진 영상 전체를 대상으로 주파수 변환을 수행하므로 블록효과를 처리할 수 있을 뿐 아니라 전체 영상을 대상으로 인간의 시각 특성에 따른 처리가 가능하므로 JPEG2000의 표준 변환으로 이미 지정된 바 있다[1]. 하드웨어적으로 DWT(Discrete Wavelet Transform)를 영상처리에 이용하는 경우 수평방향 및 수직방향의 2차원 DWT(2-D DWT)를 수행하기 위해서는 많은 연산 시간과 Memory 참조 횟수를 필요로하게 된다. 2-D DWT 구조의 하드웨어 구조에서 수평축과 수직축을 구분하여 설계하는데 Wishwanash는 Recursive Pyramid Algorithm을 사용하는 구조를 제안하였으며, Chakrabertl은 수평 DWT와 수직 DWT를 구분하여 설계하는 형태를 제안하였다[2]. 이러한 기존의 하드웨어 구조에서는 DWT 연산과정에서 곱셈기를 사용할 뿐만 아니라 과다한 Memory 참조 등의 문제점을 가지고 있다[3]. 본 논문에서 제안한 DWT 프로세서는 5Mega Pixel 이상의 영상 데이터를 압축 저장하기 위한 JPEG 2000 Encoder에 적용시키고자 제안하였다. 카메라 센서에서 입력되는 영상을 실시간 압축할 수 있도록 제안된 2-D DWT 시스템의 동작 속도는 0.25um TSMC ASIC library(Worst Case) 환경에서 50MHz 이상의 동작 속도를 만족하도록 했다. 그리고 YCbCr 3채널을 실시간으로 처리하도록 파이프라인 구조를 채택하여 허용 게이트 카운트가 20 만개 이하(메모리 제외)로 설정하였다. 또한 제안되는 2-D DWT 프로세서는 기존의 구조들에서 가장 높은 복잡도를 가지는 곱셈기를 사용하지 않고 shift-and-adder 구조를 채택하였으며 외부 Memory를 사용하여 2-D DWT 결과를 저장하게 된다.

II. JPEG 2000의 기본 알고리즘

JPEG2000의 인코딩과 디코딩 과정의 기본 블록 다이어그램은 그림 1과 같다.

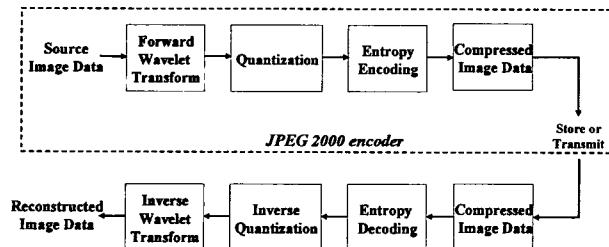


그림 1. JPEG2000의 인코딩과 디코딩 과정

Fig. 1. The encoding and decoding of the JPEG2000

JPEG2000의 인코딩 과정을 살펴보면 입력 영상을 이산 웨이블릿 변환을 통해 대역별 분리를 수행하고 변환된 계수는 각 sub-band 별로 양자화를 거친다. 양자화된 웨이블릿 계수는 엔트로피 코딩 과정을 거친 후 최종적으로 JPEG 2000 code-stream을 생성하게 된다. 디코딩은 앞에 언급한 과정의 정확한 역과정을 통해 복원된 영상을 사용자가 확인할 수 있게 된다. 그림1에서 점선으로 표시된 부분이 제안된 2-D DWT 프로세서가 적용될 JPEG2000 Encoder이다. 그림 2는 Multi

Component를 가지는 칼라 영상에 적용하기 위한 JPEG 2000 Encoder 시스템을 나타내고 있다.

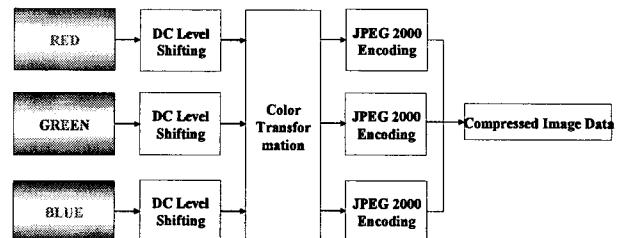


그림 2. 칼라 영상에 대한 JPEG 2000 인코더
Fig. 2. The JPEG2000 multiple component encoder

가장 일반적인 Red(R), Green(G), Blue(Blue)로 구성된 영상을 압축하기 위한 과정이다. 각각의 Color Component에 DC-level shifting을 적용한다. 이 신호들을 아래의 수식을 이용하여 Color Transformation하게 된다.

$$\begin{bmatrix} Y \\ C_b \\ C_r \end{bmatrix} = \begin{pmatrix} 0.299 & 0.587 & 0.114 \\ -0.16875 & -0.33126 & 0.5 \\ 0.5 & -0.41869 & -0.08131 \end{pmatrix} \begin{bmatrix} R \\ G \\ B \end{bmatrix} \quad (1)$$

위에서 언급한 JPEG 2000 Encoding과정을 색좌표 변환된 신호에 적용하게 된다. JPEG 2000 인코딩된 신호들은 하나의 데이터로 정렬되어 최종 JPEG 2000 data를 형성하게 된다.

2.1. Two-D Descrete Wavelet Transform

하나의 신호를 여러 척도(scale)에서 관찰하고 그것을 여러 해상도(resolution)로 분해하자는 생각으로 수학, 물리학, 공학의 각기 다른 많은 분야에서 독자적으로 출현하였던 웨이블릿은 최근에 이르러 단일화된 체계로 정비되었다. 영상과 음성의 압축에 응용되는 대역분할 압축기법(Sub-band Coding), 영상인식(Computer Vision)분야의 다 해상도 신호처리, 그리고 응용수학에서 이용되는 웨이블릿 수열 전개 등이 모두 서로 다른 관점에서 발전되어온 웨이블릿 이론의 한 분야로 볼 수 있다[4]. 이러한 웨이블릿을 이용한 압축기법에서는 영상의 부호화를 위해 이산 웨이블릿 변환(DWT)을 사용하는데 이산 웨이블릿 변환은 정규 직교 웨이블릿을 이용하여 신호를 이분 주파수 대역(dyadic frequency band)으로 사영하는 것을 의미한다. 이러한 이산 웨이블릿의 한 방법으로 MRA(Multi Resolution Analysis)가 쓰이고 있으며 MRA는 먼저 다 해상도 분석 영역이라 정의되는 벡터 영역을 정의하고, 직교기저를 이루는 스케일함수 및 스케일 함수로부터 정의되는 웨이블릿을 이용하여 다 해상도 영역에 사영 시키는 방법이다. 이 방법의 연산 체계는 기존의 신호처리 이론인 Filter Bank와 동일한 구조를 지니고 있으며 따라서 자연스럽게 이산 웨이블릿 변환이 기존의 filter bank가 사용되던 영상압축분야에 접목되게 되었다[5].

그림 3은 이러한 이산 웨이블릿 변환을 영상에 적용하여 다 해상도 filter bank로 구성해 놓은 것이다.

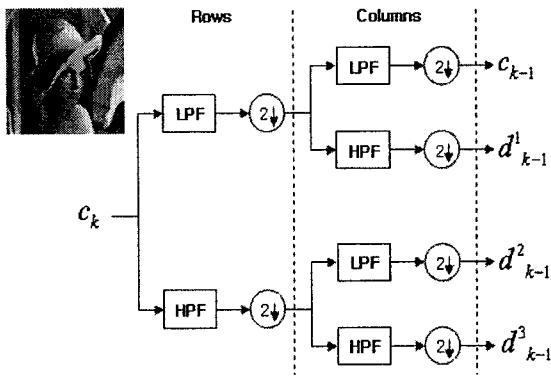


그림 3. Filter bank를 이용한 DWT
Fig. 3. The DWT using by filter bank

그림 3은 filter bank 구조를 이용하여 영상을 이산 웨이블릿 변환을 수행한 것이다. 이는 입력 신호를 각각의 filter에 통과 시킨 후, 그 결과를 다운샘플링 과정까지 거치는 하나의 레벨의 분해과정을 의미하며 수식 (2)와 같다[6].

$$\begin{aligned} LPF : Y[n] &= \sum_k H_L[k] \square x_{ext}[2n+k] \\ HPF : Y[2n+1] &= \sum_k H_H[k] \square x_{ext} Y[2n+1+k] \end{aligned} \quad (2)$$

이러한 2차원 DWT는 두 개의 분리된 1차원 DWT에 의해서 가능해진다. 변환된 영상을 $f(x,y)$ 라고 하면 이는 먼저 x 축 방향으로 filtering과 다운샘플링이 이루어진다. 그러면 low pass filter를 거친 $f_L(x,y)$ 과 high pass filter를 거친 $f_H(x,y)$ 로 나누어 진다. 두 개의 부 영상은 y 축 방향으로 다시 한 번 filtering과 다운 샘플링을 수행하여 저주파 신호인 f_L 과 방향성을 갖는 f_{LH} , f_{HL} , f_{HH} 의 4개의 부 영상으로 나누어진다. 수식 (2)는 역양자화된 데이터를 다시 역 변환과 업샘플링 과정을 통한 복원과정을 나타낸다. 수식 (3)에서 복원된 영상 $x[n]$ 은 변환된 서로 다른 영역의 sub-band 영역의 데이터 y 가 각각의 복원 filter계수 G 와 곱해져서 더해지는 filter bank 구조의 형태를 취한다.

$$\begin{aligned} x[n] : Y[n] &= \sum_k y_{ext}[n-2k] \square G_L[2k] + \\ &y_{ext} Y[n-(2k+1)] \square G_H[2k+1] \end{aligned} \quad (3)$$

2.2. 경계영역 처리를 위한 주기 대칭 확장법

2차원 이산 웨이블릿 변환을 수행함에 있어서 영상의 화질이 나 수행속도, 그리고 하드웨어로 구현할 경우 하드웨어의 복잡도 등에 영향을 미칠 수 있는 문제 중 하나가 영상의 경계 화

소 처리이다. 경계 화소에 대한 DWT를 수행할 경우 해당 화소의 전후 화소들에 대한 정보를 사용하게 되는데, 문제는 이 전후 화소들에 대한 정보를 어떻게 얻는가가 DWT를 수행할 경우 화질 및 영상처리 속도 등에 영향을 미친다는 것이다. 일반적인 영상의 경계 화소 처리는 그림 4와 같다.

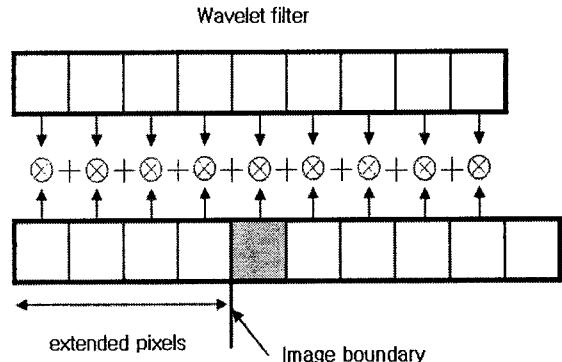


그림 4. 경계 영역 확장의 예
Fig. 4. The example of the boundary extension

DWT의 filtering 시 경계 부분의 왜곡을 없애기 위하여 확장되는 샘플의 수는 wavelet 변환을 수행할 때 사용되는 filter 계수에 의해 결정되어지며, 본 논문에서는 Daubechies의 (9,7) bi-orthogonal filter를 사용하기 때문에 확장해야 할 샘플의 수가 8개가 된다. 본 논문에서는 경계 영역 처리를 위해주기 대칭 확장법을 사용한다[7].

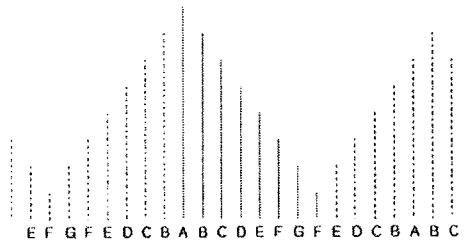


그림 5. 주기 대칭 확장법
Fig. 5. Periodic symmetric extension

그림 5는 주기 대칭 확장법을 도식적으로 나타낸 것이다. 이 방법은 경계 부분의 영상처리에 있어서 영상의 연속성을 최대한 활용하기 위한 방법이다. 즉, 경계 부분 화소들의 대칭적인 확장으로 영상이 급격하게 변화하는 것을 막는다. 영상의 경계영역의 확장을 하드웨어로 구현할 경우 수직방향 extension의 경우는 line 별로 확장을 하여야 하며 이 과정에서 line memory의 사용은 필수적이다. 따라서 본 시스템에서는 Single Port Block Memory를 line memory로 사용하여 vertical extension 과정을 구현하였다. 그림 6은 주기 대칭 확장법의 실제 예를 Lena image를 이용하여 나타낸 것이다.



그림 6. 주기 대칭 확장법의 실제 예

Fig. 6. The example of the periodic symmetric extension

2.3. 스칼라 양자화

양자화 과정은 DWT가 수행된 웨이블릿 계수 값의 영역에 따라 대표되는 값으로 포화 시키는 과정이며, 스칼라 양자화(Scalar Quantization), 벡터 양자화(Vector Quantization)의 두 가지로 분류되며 JPEG2000 압축표준 version 1에서는 스칼라 양자화를 사용하고 있으며 version 2에서는 EZW와 SPHIT 알고리즘을 표준으로 쓰고 있으며 가장 널리 사용되는 방법은 EZW 방법이다. 그러나 이 방법은 DWT 결과로 생성되는 각 sub-band의 동일 위치에 있는 웨이블릿 계수들을 지속적으로 비교해야 하므로 Memory의 용량과 Memory 참조횟수가 매우 많다. 따라서 이러한 제약을 고려하여 본 과제에서는 선형 양자화 방법을 사용하였다. 그림 7에 제안된 2-D DWT 프로세서에 사용한 Scalar quantization을 도식적으로 나타내었다. 그림 7에서 나타난 Δ 는 스텝사이즈를 뜻하는데, 스텝 사이즈의 크기에 따라 양자화 오차가 달라지므로 사용자에 의해 적절히 고려되도록 하였으며, 2의 과위승으로 스텝사이즈를 결정하여 하드웨어 구현이 용이하도록 하였다.

아래는 스텝사이즈를 다르게 하여 DWT 변환과 역변환을 수행하였을 경우 원영상과 복원영상과의 차로 구한 PSNR의 수치를 나타낸다. 표 1에서 스텝사이즈의 크기가 작아질수록 그 성능이 점점 더 향상되는 것을 확인 할 수 있다.

표 1. 스텝 사이즈의 크기에 따른 PSNR

Table 1. PSNR according to each Quantization step-size

Step size	PSNR(dB)	Step size	PSNR(dB)
16	36.82	64	32.49
32	34.96	128	29.83

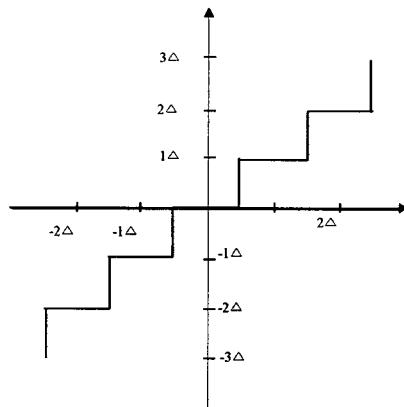


그림 7. 스칼라 양자화

Fig. 7. Scalar Quantization

III. 하드웨어 아키텍처 설계

본 논문에서 사용한 Daubechies 9/7 DWT filter는 계수에 많은 소수점 을 포함하고 있다. 이를 하드웨어로 구현하기 위해 소수점 연산과 고정소수점 연산의 에러의 비교를 수행하였다. 이 때 소수부의 정확도를 위하여 제안한 DWT filter의 데이터 비트 사이즈는 아래의 그림에 나타낸 바와 같이 실험을 통해 결정하였다.

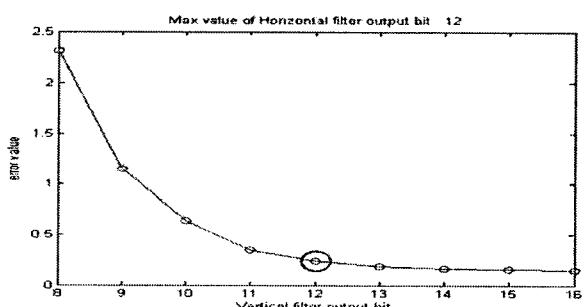


그림 8. filter의 비트 사이즈에 따른 에러

Fig. 8. The error according to bit-size of filter

그림을 살펴보면 filter의 출력이 12bit 이하일 경우는 에러 값이 높으며 12bit 이상이 되었을 경우부터 에러가 크게 차이가 없으므로 filter의 출력은 trade-off 관계를 고려해 12비트로 결정하였다[8]. 또한 실시간 시스템에 적용하기 위해 모든 필터는 파이프라인 형태로 설계하였다. 본 논문에서는 기존 DWT의 하드웨어 구조에서 많은 자원을 차지하는 filter 구조에서 곱셈기를 사용하지 않고 shift-and-adder 구조를 사용함으로써 하드웨어 복잡도를 낮추고 동작 속도도 향상시킬 수 있었다. 실제로 shift and adder 방식의 설계와 multiplier 방식으로 설계를 하여 하드웨어의 gate count를 비교하여 보았을 때의 gate count와 동작 속도를 표 2에서 비교하였다. 표 2에서 알 수 있듯이 shift and adder 구조가 곱셈기 구조에 비해 동작속도나 하드웨어 복잡도 면에서 우수한 성능을 내는 것을 알 수 있다.

표 2. Shift-and-adder 구조와 곱셈기 구조의 비교

Table. 2. Comparison of the shift-and-adder structure between multiplier structure

Module name	Synopsys Design Analyzer
Gate count	Max Timing[ns]
shift and adder	8,002
multiplier	10,704

그림 9는 shift-and-adder 구조로 설계된 Vertical Low Pass Filter 블록이다. 제안된 2-D DWT 프로세서에서 사용된 모든 수직 방향 filter와 수평 방향 filter는 아래와 동일한 구조를 가진다.

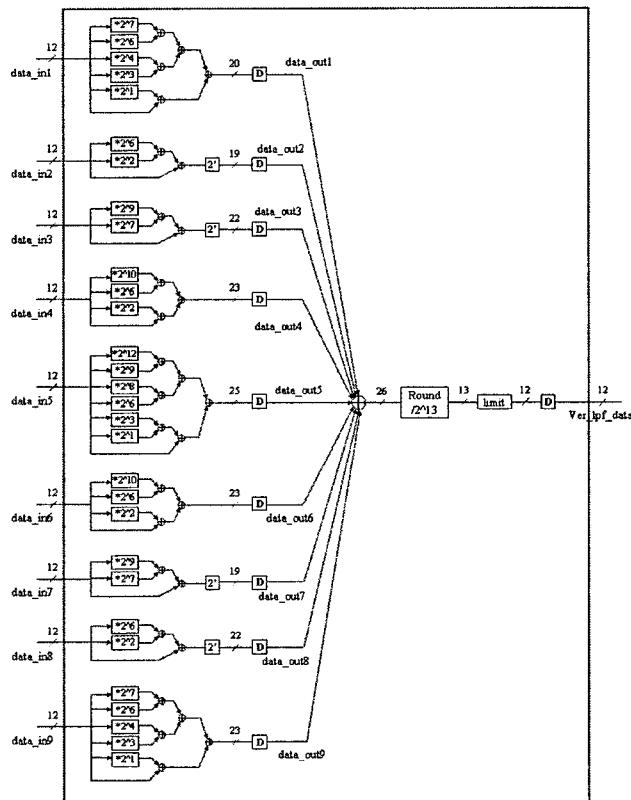


그림 9. Vertical Low Pass filter 구조

Fig. 9. The structure of the Vertical Low Pass Filter

위에서 언급한 filter 계수의 비트 사이즈 결정과 고정소수점 연산을 통해 계수를 결정하였다. 결정된 계수는 모두 2의 파워승으로 분해하여 shift-and-adder 방식으로 설계되었다. 또한 filter의 최종 출력에 limit 부를 추가하여 오버플로우와 언더플로우를 방지한다. 그리고 filter의 동작은 각각의 블록이 제어신호를 주고 받는 방식이 아닌 하나의 Controller를 공유하여 사용하도록 하였다. 그림 10은 제안된 2-D DWT 프로세서의 하드웨어 블록도이다. 신호선 위의 숫자는 각 데이터 패스의 비트 크기를 나타낸다. 콤포넌트 신호가 사용된 부분은 YCbCr 각각

12비트로 사용하여 36비트로 표시하였다. 전체 Color 2-D DWT 프로세서는 크게 4부분으로 나뉘어 질수 있는데 전체 DWT 시스템의 타이밍 신호를 생성하고 외부 memory와 전체 시스템을 컨트롤하기 위한 Time_gen, 수직 확장을 수행하기 위한 line memory와 Ver_ext 블록, 2-D DWT를 수행하는 Dwt_comp_top, DWT 결과를 저장하기 위한 외부 memory 블록인 EX_SRAM으로 나뉘어져 있다. Time_gen 블록은 시스템 전체의 타이밍 관련신호들을 생성해주며 입력 YCbCr 4:4:4 신호, 수직 동기 신호, 수평 동기 신호를 입력받아 Ver_ext 블록으로 전달해주며 수직동기신호와 수평 동기 신호로 입력 영상의 해상도를 판단하여 타이밍 신호를 생성한다. 또한 변환 과정을 수행하는 Dwt_comp_top의 출력 신호인 각 sub-band 변환

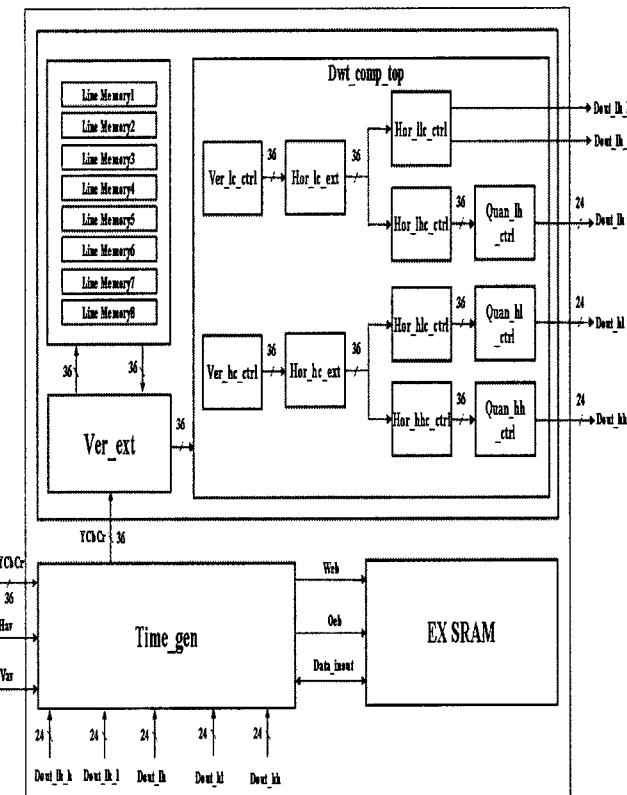


그림 10. 2-D DWT 프로세서의 블록도

Fig. 10. Block diagram of the 2-D DWT processor

신호를 입력받아 외부메모리에 제어신호와 함께 전달해주는 역할도 하고 있다. Ver_ext 블록은 라인메모리를 사용하여 Time_gen으로부터 입력받은 입력 신호들을 앞에서 언급한 주기 대칭 확장법을 사용하여 수직 확장하는 역할을 수행하고 있다. Dwt_comp_top 블록은 2-D DWT 변환 중 수직 확장 부분을 제외한 모든 동작을 수행하는 블록으로서, 11개의 블록으로 구성되어 있다. 수직 low pass filter인 ver_lc_ctrl은 ver_ext 블록에서 수직 확장된 영상신호를 입력받아 수직 low pass filtering을 수행한다, Ver_hc_ctrl 블록은 수직 high pass filtering을 수행한다. Hor_lc_ext, Hor_hc_ext 블록은 수직

filtering을 통해 나눠진 대역별로 수평 확장을 수행한다. 이 역시 수직 확장과 동일하게 주기 대칭 확장법을 사용한다. Hor_llc_ctrl 블록은 수직 Low pass filtering 후 수평확장된 신호를 수평 low pass filtering하는 블록이다. Hor_lhc_ctrl은 블록은 수평확장된 신호를 수평 high pass filtering하는 블록이다. Hor_hlc_ctrl 블록과 Hor_hhc_ctrl 블록은 수직 high pass filtering과 수평 확장된 신호를 입력받아 각각 low pass filtering과 high pass filtering을 수행한다. 각 sub-band 결과 중 LL밴드에는 양자화가 적용되지 않고, Quan_lh_ctrl 블록, Quan_hl_ctrl 블록, Quan_hh_ctrl 블록에서 양자화를 수행한다. 양자화 스텝 사이즈는 앞서 언급한 바와 같이 사용자가 필요에 의해서 외부에서 제어할수 있도록 설계되었다. 최종적으로 처리된 각 부대역 데이터는 Time_gen 블록을 통해 외부 메모리로 저장된다. 제안된 시스템이 적용될 JPEG 2000 Hard-wired Encoder는 입력영상의 해상도는 최대 5메가 픽셀까지 지원하도록 할 예정이다. 또한 JPEG 2000은 Tiling이라는 영상 분할 과정을 거치는데 제안된 DWT 프로세서는 최대 512X512 해상도를 처리 할수 있도록 설계되었으며 그 이하의 해상도 영상이 들어왔을 경우는 외부에서 입력되는 수직동기신호, 수평동기신호로 입력 영상의 해상도를 판단하여 적응적으로 메모리를 컨트롤하도록 설계하였다. 또한 최대 지원 DWT 레벨을 4레벨까지 가능하도록 설계하여 사용자에 의해서 제어 할수 있도록 하였다. 제안된 2-D DWT 프로세서는 Verilog-HDL을 이용하여 설계되었고[9], Synopsys 시뮬레이터를 이용하여 검증하였다.

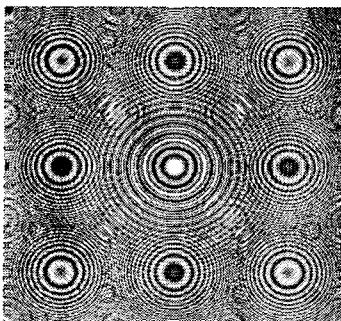


그림 11. 입력 2-D CZP 패턴
Fig. 11. Input 2-D CZP pattern

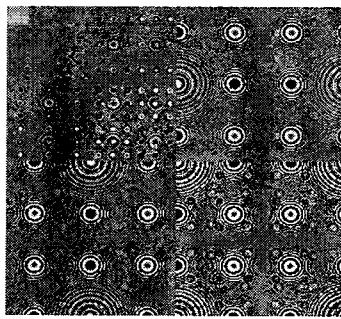


그림 12. CZP 영상의 4-level DWT 결과
Fig. 12. The result of the 4-level DWT of CZP Image

그림 11은 시뮬레이션을 위한 입력 2-D CZP 패턴이다. 그림 12는 2-D CZP 패턴의 4-level DWT 결과이다. 아래의 그림 13은 그림 12와 같은 HDL 시뮬레이션 결과와 레퍼런스 코드 시뮬레이션 결과의 차이를 나타낸 것으로서 차이가 없이 모든 값에서 동일함을 확인 하였다.

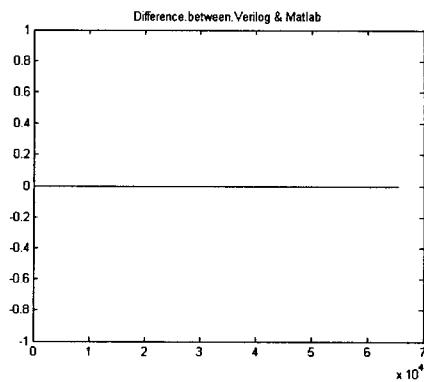


그림 13. HDL 시뮬레이션 결과와 레퍼런스 코드의 차이
Fig. 13. The difference between HDL simulation and reference code

HDL 시뮬레이션 결과와 레퍼런스 코드 시뮬레이션 결과를 통하여 하드웨어가 정확하게 설계되었는지 검증이 수행된 후에 TSMC 0.25um ASIC library(Worst Case)로 합성하여 전체 시스템의 동작 주파수인 50MHz를 만족하는지 테스트하였다. 표 3은 각각의 블록에 대한 gate count와 동작 속도를 나타내고 있다. 총 gate count는 2-input NAND 게이트를 기준으로 188,862개로 설계되었다. 동작주파수는 설계 목표인 50MHz를 만족하고는 것과 gate count 역시 20만개 이하로 설계되었음을 확인하였다.

표 3. 제안된 시스템의 gate counts와 최대지연 시간
Table 3. The gate counts and max delay timing of the system

Module Name	Gate counts	Max timings (ns)
hor_ll_ctrl	24,008	17.49
hor_lh_ctrl	24,008	17.49
hor_hl_ctrl	24,008	17.49
hor_hh_ctrl	24,008	17.49
hor_lc_ext	4,724	16.23
hor_lc_ext	4,724	16.23
ver_hc_ctrl	25,284	17.21
ver_lc_ctrl	21,968	17.49
quan_lh_ctrl	1,870	8.91
quan_lh_ctrl	1,870	8.91
quan_hh_ctrl	1,870	8.91
ver_ext	9,134	16.5
time_gen	21,386	18.21
Total	188,862	

IV. 실험적 검증 결과

제안된 시스템의 설계 결과를 확인하기 위하여 하드웨어 시뮬레이션과 소프트웨어 역변환을 통해 결과를 고찰하였다. 그림 14와 그림 15는 256x256 해상도의 lena 영상을 각각 1-level DWT와 3-level DWT를 수행한 결과 영상이다. 변환시 양자화 스텝 사이즈는 각각 16을 적용하였다.

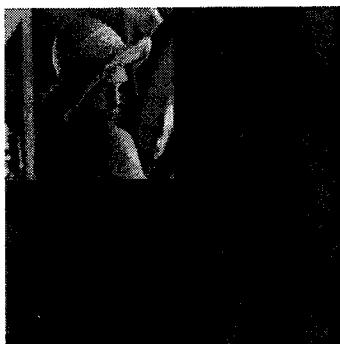


그림 14. 1-level DWT 결과

Fig. 14. The result of the 1-level DWT

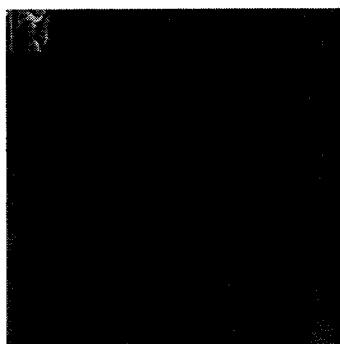


그림 15. 3-level DWT 결과

Fig. 15 .The result of the 3-level DWT

또 Lena 이미지 뿐 아니라 다양한 영상으로 결과와 PSNR을 확인하였다. 그림 14와 15와 같은 하드웨어 DWT 결과를 저장하여 이를 소프트웨어 IDWT(Inverse Discrete Wavelet Transform)를 사용하여 변환결과를 검증하였다. 아래의 표 4는 하드웨어 처리 결과를 복원한 영상과 원영상의 화질을 PSNR을 통해 확인한 것이다.

표 4. PSNR 비교

Table 4. The comparison of the PSNR

Image	Red	Green	Blue	Dwt level	Step size
lenna	39.77	41.19	39.63	3	16
baboon	34.11	35.48	32.91	4	16
presco	29.40	30.44	28.20	4	32

V. 결론

본 논문은 JPEG 2000 Hard-wired Encoder를 위한 Color 2-D DWT 프로세서의 설계와 구현에 관한 것이다. 제안된 프로세서는 JPEG 2000 표준안의 표준변환으로서 JPEG 2000 CODEC의 시스템 구현에 사용 될 수 있다. 또한 제안된 시스템의 적용 폭을 넓히기 위해 하드웨어 사이즈를 소형화하는데 중점을 두었다. 하드웨어 처리 결과는 Software 역변환과 PSNR을 통해 성능을 검증하였다. 또한 Synopsys 사의 Design Analyzer와 TSMC 0.25um ASIC library를 통해 합성하여 총 gate counts는 188,862개로 구현되었다. 제안된 DWT 프로세서는 독립적인 IP화되어 JPEG2000 뿐만 아니라 2-D DWT 기능이 필요한 곳에 범용으로 적용하여 사용할 수 있는 장점을 가지고 있다. 본 논문은 DWT 변환부와 양자화 블록을 하드웨어로 구현하였으며 향후 Entropy coding 블록까지 하드웨어로 구현하여 압축기의 실제 성능을 나타내는 압축률에 따른 성능을 고찰해야 할 것이다.

참고 문헌

- [1] D. S. Taubman and M. W. Marcellin, *JPEG2000: Image Compression Fundamentals, Standards and Practice*, KAP, 2002.
- [2] Mohan Vishwanath, "The recursive Pyramid Algorithm for the Discrete Wavelet Transform" IEEE Trans. on Signal Processing, Vol. 42, No3, pp. 673-676, March 1994.
- [3] M. Vishwanath, R. Owens and M. J. Irwin, "VLSI architecture for the discrete wavelet transform," IEEE Trans. Circuits and Systems II, Analog and Digital Processing, Vol. 42, No. 5, pp. 305-316, May 1995.
- [4] S. H. Lee and D. H. Yoon, *Introduction to the Wavelet Transform*, Jinhan Books, 2002.
- [5] T. Acharya, P. Tsai, *JPEG2000 Standard for Image Compression Concepts, algorithms and VLSI architectures*, John Wiley & Sons Inc, 2004.
- [6] C. Sidney Burrus, Ramesh A. Gopinath, and Haitao Guo, *Introduction to Wavelets and Wavelet Transforms*, Prentice Hall, 1998.
- [7] 송진근, 이성목, 이민우, 강봉순, "JPEG 2000 Encoder를 위한 2차원 웨이블릿 압축 및 양자화 알고리즘 구현", 대한 전자공학회 부산 경남 지부 춘계 학술발표회 논문집 pp25-28, 2007.6.
- [8] K. Woo, S. Lee, J. Kim, S. Kwak and B. Kang, "Design of the 2D Wavelet Image Compressor with Minimizing Error", KCS2003 pp. 114-115, Feb 2003.
- [9] S. Palnitkar, *Verilog HDL A Guide to Digital Design and Synthesis*, Prentice Hall, 2001.

이 성 목(Sung-mok Lee)



2005년 2월 동아대학교 전기전자컴퓨터
공학부 전자공학과(공학사)
2007년 2월 동아대학교 전자공학과 (공
학석사)
2007년 3월 ~ 현재 동아대학교 전자공학
과 박사과정

관심분야 : VLSI algorithm/architecture
design, image/video processing, and wireless
communication.

조 성 대 (Sung-dae Cho)



1996년 숭실대학교 전자계산학과(공학사)
2000년 미국 Rensselaer Polytechnic
Institute 전자컴퓨터공학(공학석사)
2002년 미국 Rensselaer Polytechnic
Institute 전자컴퓨터공학(공학박사)
2004년 RPI 영상처리센터 박사후 연구원
2004년 ~ 현재 삼성전자 정보통신연구소 책임연구원
관심분야 : Multimedia image processing, color
processing, computer vision, and data compression

강 봉 순 (Bong-soon Kang)



1985년 연세대학교 전자공학과(공학사)
1987년 미국 University of
Pennsylvania 전기공학과(공학석사)
1990년 미국 Drexel University 전기 및
컴퓨터공학과(공학박사)
1989년 ~ 1999년 삼성전자 반도체 수석연구원
1999년 ~ 현재 동아대학교 전자공학과 부교수
2006년 ~ 현재 멀티미디어 연구센터 소장
2006년 ~ 현재 2단계 BK21 사업팀장
관심분야 : VLSI algorithm/architecture design,
image/video processing, and wireless communication.
