

3D Interconnection을 위한 실리콘 관통 전극 내부의 절연막 증착 공정과 그 막의 특성에 관한 연구

서상운 · 김구성*
강남대학교 전자공학과

The Film Property and Deposition Process of TSV Inside for 3D Interconnection

Sang-Woon Seo and Gu-Sung Kim*

Department of Electronic Engineering, Kangnam University, YongIn-si, GyungGi-Do, 446-702, South KOREA

초 록: 높은 종횡비를 갖는 비아 및 트렌치 상에 절연 막으로서 SiO₂를 증착하고 증착 특성 및 막의 특성을 연구하였다. 실리콘 관통 전극에서 절연 막은 전극의 벽면과 그 내부에 충전 된 물질간의 상호 확산 감소와 물질 간 접착, 전기적 절연, 디바이스로의 전기적 누수 차단 등의 역할을 해야 한다. 따라서 이러한 특성을 확인하기 위해 3종의 화학 기상 증착법인 PECVD, PETEOS, ALD 을 선정하고 절연 막 증착 후 특성평가를 진행 하였다. 특성평가 항목 중 step coverage는 PECVD : <30%, PETEOS : 45%, ALD : 75%, 표면 거칠기는 PECVD : 27.8 nm, PETEOS : 2.1 nm, ALD : <2.0 nm으로 측정되어 막질의 특성은 ALD가 가장 우수하게 평가 되었으나, 실제 기술의 적용에서 가장 중요한 요소인 증착률에서 ALD는 18 Å/cycle로서 10 Å/min 이라는 대략적 시간이 소요되어 5000 Å/min의 증착률을 보인 PETEOS에 비해 매우 낮은 수준으로 최소 1000 Å이상의 두께가 요구되는 절연 막의 적용에는 어려움이 있고, 따라서 PETEOS가 본 연구에서 최적의 recipe라 평가되었다.

Abstract: This investigation was performed in order to study the properties of deposition and layers by Silicon Dioxide, SiO₂, as dielectric onto Via and Trench which have high Aspect Ratio (AR). Thus, in order to confirm these properties, three types of CVD, which were PECVD, PETEOS, and ALD, were selected. On the experiment, each of the property sections was estimated that step overage of PECVD: <30%, PETEOS: 45%, ALD: 75% and the RSM of PECVD: 27.8 nm, PETEOS: 2.1 nm, ALD: <2.0 nm. As a result of this experiment for the property of electric film, ALD was valuated to be the most favorable outcome. However, ALD was valuated to have the least quality for the deposition rate. ALD deposition rate, 10 Å/min by 1 Å/cycle, was prominently lower than PETEOS, which had the deposition rate of 5000 Å/min. Since electric film requires at least 1000 Å thicknesses, ALD was not suitable for the deposition rate, which is the most important component in a practical use. Therefore, in this particular study, PETEOS was evaluated to be the most suitable recipe.

Keywords: TSV, 3D interconnection, Isolation, Dielectric layer, PETEOS

1. 서 론

SiP(System-in-Package)에 대한 연구 중 하나

로써 3D integration technology 에 대한 연구는 현재 대부분의 chip에서 필요로 하는 높은 집적도에 대한 요구뿐만 아니라 다양하고 복잡한 기능을 요구하

*Corresponding author
E-mail: gkim@kangnam.ac.kr

는 복합 칩을 구현하기 위한 방법으로써 활발히 진행되고 있다¹⁾. 3D integration technology 중에서도 Through Silicon Via(TSV) 기술은 반도체 wafer 상에 via hole을 형성하고 이에 전도체를 채워 칩 간 상호 연결을 하는 것을 그 기본 개념으로 하고 있다²⁾. TSV를 이용한 chip의 3차원 적층은 chip간의 signal이 substrate를 경유하지 않고 직접 연결되므로 고주파수로 동작하는 고성능 device의 적층에 적합하며, 공간적 제약의 극복과 power dissipation의 효율을 극대화할 수 있는 기술이다.

일반적으로 TSV의 공정의 흐름은 wafer상에 via hole을 형성하고 via isolation, via filling, wafer thinning, dicing, chip stacking으로 진행되는 공통된 process를 보이고 있다^{1,3)}. 일반적으로 via를 형성하기 위하여 Deep-RIE(Reactive Ion Etching)으로 via hole을 형성하고 관통 전극과의 절연을 위하여 via hole 벽면에 isolation layer를 형성한다. 이렇게 형성된 절연 막에 결함이 있는 경우 leakage의 발생한 오작동으로 인해 device의 성능 및 기능에 큰 결점이 될 가능성 높으며 향후 device의 신뢰성에 큰 영향을 미치게 될 가능성이 높다. 따라서 TSV의 절연 막은 우수한 step coverage와 conformal한 증착 특성이 요구되어 진다⁴⁾. 또한 package 공정은 이미 IC가 실장 되어진 후 진행되는 BEOL(Back End Of the Line) 공정이므로 일정 온도 이상의 열이 가해질 경우 wafer의 residual stress를 야기 시키며 device의 static 특성에 중요한 영향을 미치게 된다. 또한 TSV 전극을 충전 하기 위해서는 metal 성분의 seed layer가 필요하게 되나 이는 Si substrate와 adhesion이 매우 낮아 쉽게 박리가 발생하게 되므로 adhesion을 향상시킬 수 있는 중간 layer의 역할 또한 isolation layer가 가져야 할 특성 중 하나이다.

마지막으로 절연 막으로써 가장 고려되는 요소는 dielectric constant이다. via filling된 metal과 인접 metal과의 coupling에 의한 parasitic capacitance의 유발로 인한 delay의 최소화가 이루어지기 위해서는 dielectric constant는 낮은 정도의 값이 요구되어지며, 이 값이 낮을 수록 막의 파괴가 일어나는 breakdown field는 높아진다고 알려져 있다⁵⁾. 이렇게 복합적 역할을 isolation layer의 특성을 만족하는 여러 material중 SiO₂는 저온에서도 우수한 증착 특성을 보이며 dielectric constant가 상대적으로 낮은 (3.8~3.9) 값을 갖고, 결정화 또는 활성화

시 energy band gap 이 넓어서 (~10eV)까지는 전기적 절연 특성의 변화가 없고, Si과의 우수한 계면 특성을 보여주는 장점이 있다^{5,6)}.

본 연구에서는 SiO₂의 공정 별 증착 특성을 평가하기 위해 다양한 직경을 갖는 via 및 trench를 갖는 Mask를 design하였고, Litho graphy, Etching공정을 수행하여 test 시편을 제작하였다. 저온의 공정 조건을 갖는 deposition recipe를 분석하여 PECVD (Plasma Enhanced Chemical Vapor Deposition), PETEOS (Plasm Enhanced Tetra-Ethyl-Ortho-Silicate), ALD (Atomic Layer Deposition) 3종으로 압축⁷⁾, 이를 통해 isolation layer를 증착하고, 그 증착 특성과 막의 특성을 비교 분석하여, TSV에 적합한 공정 recipe를 평가 선정해 보았다.

2. 실험 방법

via 내부에 증착된 isolation layer의 증착 특성을 알아보기 위해 다양한 size의 via와 trench 패턴을 디자인 하였다. 이 패턴은deposition 공정 진행시 via formation의 밀도에 따른 film의 uniformity를 확보하고 via etching 공정 시 발생 하는 loading effect를 최소화 하기위하여 단위 면적당 pattern 면적을 5%이하 (4.08%) 로 균일하게 설계하였다⁸⁾. 이렇게 설계된 Mask를 이용하여 PR patterning 후에 Non-Bosch type을 이용하여 50 μm depth로 etching을 수행하였다. Non-Bosch process는 Bosch process의 가장 큰 단점인 scallop 현상으로 인해 여기에 증착 된 isolation layer의 side-wall uniformity 저하가 없으며 profile angle또한 positive slope을 형성하게 되므로 stack interconnection에 좋은 특성 갖는다.⁸⁾ Etching 공정 후에 남아있는 PR을 제거하고 cleaning 하기위해 O₂-Plasma Ashing을 진행 하였고, 그 후 PECVD, PETEOS, ALD 3가지 process를 이용하여 dielectric film을 증착 후 AFM(Atomic Force Microscopy)을 이용하여 표면 roughness를 분석 하였으며, FE-SEM을 이용하여 step coverage와 막의 밀도를 분석한 후, deposition rate를 비교 하였다¹⁰⁾. 각 증착 process별 condition을 Table 1.에 나타내었으며 각 condition의 조건 설정은 BEOL의 공정 온도에 적합한 수준에서 각 recipe 별로 온도 step을 달리하여 증착하였다. PECVD는 이에 비교적 자유로운 조건을 만족하였으나 PETEOS

Table 1. The condition of deposition process

recipe	Thickness	Gas Composition & Flow	RF Power	Pressure	Temperature
PECVD	1.5 μm	SiH_4 :8sccm, N_2O :1,000sccm	25W	0.9torr	150°C, 200°C, 250°C
PETEOS	1.5 μm	TEOS:800sccm, O_2 950sccm, He:560sccm	580W	5.5torr	400°C
ALD	0.03 μm	Al_2O_3 , N_2		1mtorr	350°C

는 $\text{Si}(\text{C}_2\text{H}_5\text{O})_4$ 로 구성된 TEOS 용매를 기화시켜 plasma 반응 chamber에서 증착시키는 공정의 특성상 안정적인 온도인 400°C로 fix하여 진행 하였다^{4,9)}. ALD는 원자 단위로 반응하여 Self-limited 되는 특성을 이용하여 박막을 형성하여야 하는 공정의 특성상 metal dielectric layer인 Al_2O_3 박막을 형성하게 되고 1.5 μm 의 두께는 의미가 없어 300Å으로 fix하였다.

3. 결과 및 고찰

증착된 막질의 기본적인 특성 파악을 위해 bare wafer 상에 3종의 isolation layer를 증착하고 10 μm \times 10 μm 영역에서 AFM을 통해 roughness의 histogram을 분석한 image를 Fig. 1에 나타내었다¹¹⁾.

이 histogram에서 보듯이 Fig. 1 (e) ALD가 가장 우수한 값을 보였으며, Fig. 1(d) PETEOS 역시 2 nm의 평균 roughness로 3 nm내에 대부분의 topology 분포를 보여 ALD와 차이를 보이지 않았다, 그러나 PECVD는 온도가 증가함에 따라 roughness가 약간씩 감소하는 경향을 보였으나 40 nm의 범위에서 크게 벗어나지 않아 다른 두 공정에 비해 열화된 특성을 보였다. 또한 증착된 막질이 TSV의 절연 막으로서 실제 공정의 적용에 유용한 수준인지를 판단하기 위해 deposition rate를 검토하였다. 이를 위해 wafer 표면에서 1.5 μm thickness를 갖도록 SiO_2 를 증착 한 후 그 시간을 측정하여 단위 시간당 증착 되는 시간을 계산하였고, ALD는 cycle 단위로 증착이 이루어지는 공정 특성상 단위 시간당 수행되는 cycle 수로 증착 두께를 계산하여 deposition rate를 Fig. 2에 나타내었다. PECVD는 150°C에서 357 Å/min, 200°C에서 454 Å/min, 250°C에서 510 Å/min으로 약간의 증착속도의 증가가 있었으나 큰 변화는 보이지 않았고 ALD는 1 Å/min 이하의 증착율을 보여 최소 1000 Å 정도의 두께가 요구되어지는 side-

wall 절연 막의 증착 공정으로는 적합하지 않다고 판단되었다. 반면 PETEOS는 5000 Å/min의 높은 증착율을 보였고, 막질의 roughness 값에서도 상대적으로 우수한 값을 얻어 실제 공정에서의 적용이 가장 긍정적이라는 사전 검토 결과를 얻을 수 있었다.

TSV내에 형성된 절연 막의 증착 특성을 살펴보기 위해 TSV test 시편의 10 μm width의 Trench와 via에 3종류의 recipe를 이용하여 절연 막을 증착하고 FESEM으로 Top edge 부분과 Bottom에서 10

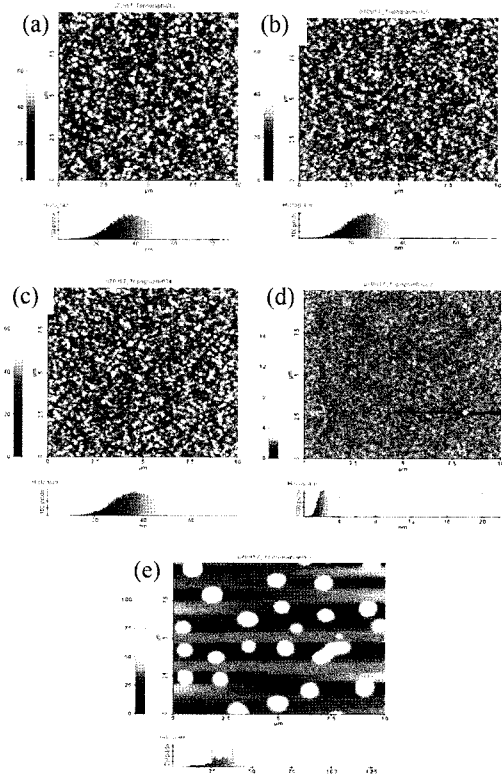


Fig. 1. The AFM image for roughness & his-togram of the oxide layer as other CVD processes: (a) PECVD 150°C (b) PECVD 200°C, (c) PECVD 250°C, (d) PETEOS and (e) ALD.

μm 윗부분에서 촬영하여 그 image를 Fig. 3과 Fig. 4에 나타내었다. Fig. 3에서는 앞서 AFM으로 측정된 roughness 의 값이 높았던 150°C PECVD 에서부터 온도 step이 높아질수록 image상에 보이는 막의 density나 거칠기 정도가 나아짐을 확인 할 수 있었다. 150°C 의 온도에서 PECVD로 증착한 Fig. 3(a) image에서 보이는 바와 같이 막의 내부에는 많은 void가 발견되는 등 막의 치밀성이 결여된 모습을 보여 막질 평가에서 가장 큰 관심사인 density가 매우 결여된 모습을 보였으며, Fig. 3(b)에서 보이는 image는 via hole 내에 증착된 절연막이며 Trench와의 비교를 위해 측정한 것으로서 Top-edge에서 보이는 막의 density나 roughness는 (a)에 비해 약간 향상된 모습을 보여주었으나 Trench에서의 step-coverage 보다 약 10%이상 낮은 결과를 얻었으며, Bottom 영역에서는 film이 수십Å이하로 관찰 되어 via hole에서의 절연 막 특성이 Trench에 비해 크게 저하됨을 확인 하였다. Fig. 3(c)은 250°C 에서 PECVD로 증착한 image로 앞서 분석한 $150, 200^\circ\text{C}$ 에서 증착 시킨 막질 보다 Top 부분에서는 향상된 막질의 상태를 보여 주었으나 Side-wall 에서는 여전히 많은 void가 발견되는 등 개선된 막질의 상태를 보여주지는 못하였다. 이렇게 온도 단계별로 여러 형태의 slope에 대해 PECVD로 형성된 박막의 특성을 분석 하였으나 step coverage, uniformity 등에서 가장 중요

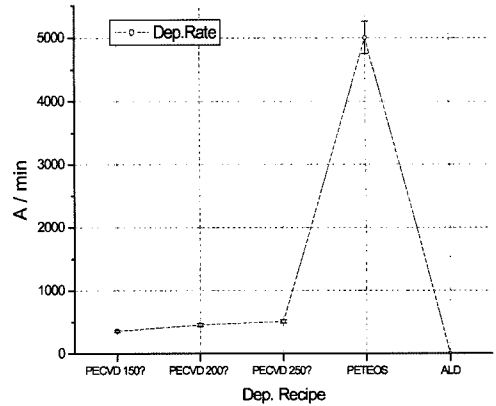


Fig. 2. The deposition rate of CVD process.

한 특성이 모두 좋지 않은 결과를 보였다. 따라서 PECVD공정을 적용하기 위해서는 보다 향상되고 안정화된 온도 조건에서 gas flow, pressure, plasma density등 TSV 구조에 특화된 공정 parameter에 대한 연구가 필요함을 보였다¹²⁾.

Fig. 4(a)는 ALD 공정을 사용하여 300Å 의 두께로 절연 막을 형성한 image로서 보는 바와 같이 Top과 Side 모든 면에서 동일한 thickness를 보여 100%에 가까운 step coverage를 보여 주었고 uniformity 역시 매우 우수한 상태를 보여주어 막의 conformal 한 특성으로만 평가 하였을 시에 최적의 recipe로

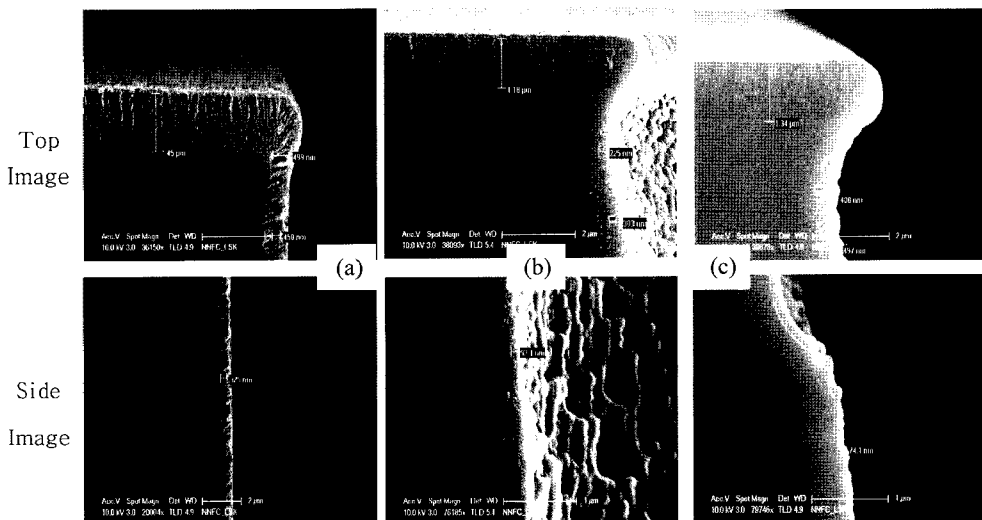


Fig. 3. Cross-sectional FESEM image of PECVD as temperature step: (a) PECVD 150°C , (b) PECVD 200°C and (c) PECVD 250°C .

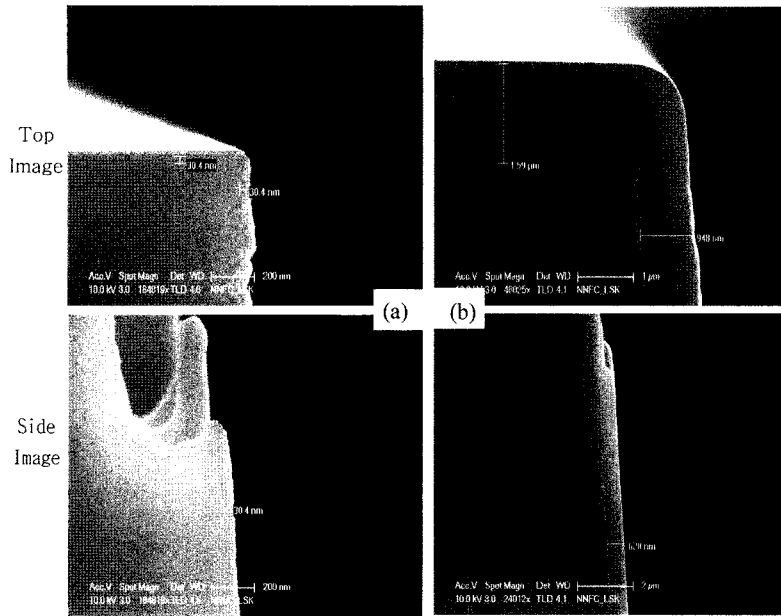


Fig. 4. Cross-sectional FESEM image of ALD & PETEOS on 10 μm Trench : (a) ALD and (b) PETEOS.

평가 되었다. 그러나 ALD 증착 특성상 그 두께를 다른 공정들보다 낮은 수준인 300 Å으로 증착 하였으므로 step-coverage 및 conformal 특성의 신뢰성의 차이가 있을 수 있으나, 위 두께만으로도 100%에 가까운 결과를 보여 더 이상의 두께에 대한 비교는 불필요 하다 판단하였다. 따라서 ALD 는 앞선 결과와 같이 우수한 막질을 얻을 수 있는 공정임에도 낮은 증착률로 인해 실제 절연 막을 형성하는 공정으로의 적용이 어렵다 판단되나, 현재 이러한 원자 증착 법을 응용하여 증착 율을 증가시키고 conformal한 특성은 유지하는 연구가 활발히 진행되고 있다고 보고되어 지고 있다¹³⁾.

다음의 Fig. 4(b)의 image는 PETEOS로 형성된 절연 막으로서 앞서 막질 특성에서 우수한 결과를 얻었던 바와 마찬가지로 PECVD에서 증착 시킨 막질보다 매우 향상된 막질의 상태를 보이며 모든 부분에서 void는 관찰 되지 않았다. Top-side step coverage는 57%, Bottom-side의 step coverage는 42% 로 측정 되었으며, 앞서 막질 평가에서 얻은 높은 증착률과 우수한 roughness를 가짐과 동시에 상대적으로 높은 step coverage와 uniformity 특성을 보였다. 마지막으로 살펴볼 증착 특성은 step-coverage로서 via 및 trench의 Top 부분에 대한 side

에 증착 된 박막의 두께의 비를 말하며, 이 수치에 의해 High Aspect ratio로 형성된 via 및 trench 구조에서 증착된 막의 via 및 trench 구조에서 증착된 막의 conformal한 정도를 측정하는 척도가 된다. 이 step coverage 특성의 저하에 의해 두께가 얇은 부분에서 전계 집중에 따른 누설전류의 열화, void 발생에 따른 후속 공정에서의 특성 열화 등이 발생 하게 될 우려가 있으므로 위 특성 또한 막질에서 중요한 평가 요소 중 하나로 고려된다. Fig. 5에서는 FESEM으로 촬영된 image를 recipe 별로 분

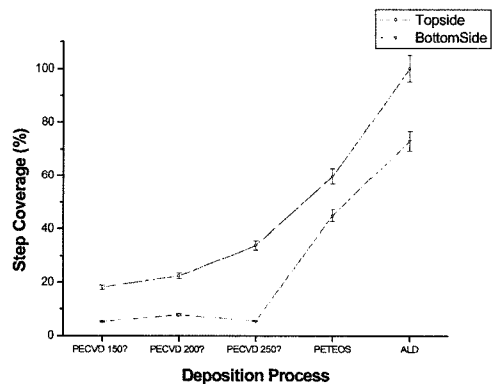


Fig. 5. Step Coverage of Deposition Process.

류하여 그 값을 통계 낸 결과를 바탕으로 step-coverage를 측정하였다. 그 결과 ALD: 73%, PETEOS: 45%, PECVD: under 30%로 측정 되었으며 그중 ALD가 가장 높은 값을 나타냈으며 PETEOS 또한 50%에 가까운 우수한 값을 보였으나 PECVD는 모든 온도 범위 내에서 30%를 넘지 못하는 결과를 얻었다.

4. 결 론

높은 증황비를 갖는 TSV 구조의 절연 막으로써 BEOL에 적용 가능한 저온에서 SiO₂를 증착하고 그 특성에 대한 평가를 진행 하였다. 이론적 조사를 선행하여 저온에서 증착 가능한 CVD법인 PECVD, PETEOS, ALD 3종의 으로 압축한 후 증착 공정을 진행하였고, 특성평가 방법으로서 roughness, density, depositionrate, step coverage에 대해 상호 비교 검토하였다. roughness 평가를 통해 ALD, PETEOS가 2nm 이하로 우수한 값을 보였고 PECVD는 측정된 온도 범위 모두에서 매우 거친 상태를 보였다.

또한 막질의 증착 특성인 Step-Coverage, Uniformity, Deposition Rate를 분석한 결과 역시 PETEOS process가 모든 면에서 우수한 값을 보였으며 ALD는 모든 특성에서 가장 우수한 값을 보였으나 증착율이 매우 낮은 값을 보였기 때문에 증착율의 개선이 없이는 TSV내 절연 막을 형성하는 공정의 적용에는 어려움이 입증되었다. 또한 PECVD는 특성을 검토한 모든 면에서 PETEOS에 비해 가장 저조한 값을 보였으나 온도가 증가함에 따라 증착 특성이 비울적으로 증가하는 현상을 보였다. 공정별 Step coverage와 증착율 비교 결과를 통해 BEOL 공정에서 절연막의 용도 및 필요에 따라 TSV 벽면에 증착시킬 수 있는 막질의 두께를 결정할 Data를 확보 하였으며, 본 연구 결과를 종합하였을 때 PETEOS가 향후 TSV내에 isolation layer를 증착 하는데 있어 가장 우수한 deposition recipe 라는 결과를 얻었다.

감사의 글

본 연구는 산업자원부가 주관하는 국가개발사업의 일환인 “차세대 성장동력 기술개발 사업”의 연구비 지원으로 수행되었습니다.

참고문헌

1. K. Takahashi, M. Sekiguchi, “Through Silicon Via and 3-D Wafer/Chip Stacking Technology”, VLSI Circuits 2006 Digest of Technical Papers, pp.89-92 (2006)
2. C.H.Yun, T.J.Brosnihan, W.A. Webster, And J.Villarreal, “Wafer Level Packaging of MEMS Accelerometers with Through - Wafer Interconnects”, ECTC, 55th, pp. 320-323 (2005)
3. Z. Wang, L. Wang, N.T. Nguyen, Wim A.H., H. Schellevis, P.M. Sarro, “Silicon micromachining of high aspect ratio, high-density through-wafer electrical interconnects for 3-D multi chip packaging”, IEEE Trans. Advanced Packaging, Vol 29, No 3, pp.615-622 (2006)
4. A.M. Mahajan, L.S. Patil, J.P. Bange, D.K. Gautam, “Growth of SiO₂ films by TEOS-PECVD system for microelectronics applications”, Surface & Coatings Tech, 183th, pp.295-300 (2004)
5. Puchkar Jain, Eugene J. Rymaszewski, “Thin-Film Capacitors for Packaged Electronics”, pp.27-31, Kluwer Academic Pub., Massachusetts (2004)
6. C Zhang, Najafi, K, “Fabrication of thick silicon dioxide layers using DRIE, oxidation and trench refill”, IEEE int. conf. MEMS, 15th, pp.160-163 (2002)
7. Milton Ohring, “Materials Science of Thin Films”, Deposition and Structure, 2nd ED., pp.306-346, Academic Press, Oxford (2002)
8. X.Liu, C.Wang, Y. Zhu, G. Yan, “Vertical Profiles and CD Loss Control in Deep RIE technology”, Solid State and IC Tech, 7th International Conf, Vol3, pp.1848-1851 (2004)
9. I.S.Bae et. al, “Electrical, mechanical, and Optical Properties of the Organic-Inorganic Hybrid-Polymer Thin Films deposited by PECVD”, Proc Int Symp Dry Process, Japan 6th, pp.121-122 (2006)
10. Sorab K. Ghandhi, “VLSI Fabrication Principles”, Silicon and Gallium Arsenide, 2nd ED., pp.522-527, Wiley-Interscience, New York (2002)
11. J.S.Kim, N.G,Cha, K.K.Lee, H.J.Shin, “Characterization of Fluorocarbon Thin Films by Contact Angle Measurements and AFM/LFM”, IMAPS-K, Vol.7, No.1, pp.35-40 (2000)
12. J.H.Hwang, “Interfacial Electrical/ Dielectric Characterization in Low Temperature Polycrystalline Si”, IMAPS, Vol.12, No.1, pp. 77-85 (2005)
13. Hausmann, D. Becker, J. Wang, S. Gordon, R. G. “Rapid Vapor Deposition of Highly Conformal Silica Nanolaminates”, Science, No.5592, pp.402-405 (2002)