

PIN 다이오드 - PNP 트랜지스터 결합모델에 의한 1,700 V급 NPT 트랜치 IGBT의 해석에 관한 연구

A Study on the 1,700 V Rated NPT Trench IGBT Analysis by PIN Diode - PNP Transistor Model

이종석¹, 경신수¹, 강이구², 성만영^{1,a}
(Jong-Seok Lee¹, Sin-Su Kyoung¹, Ey-Goo Kang², and Man Young Sung^{1,a})

Abstract

This paper presents a comprehensive mathematical analysis and simulation of trench IGBT with the help of PIN-PNP combinational model. Since trench IGBT is characteristically influenced by PIN diode, it may be almost impossible to analyze the trench IGBT using PNP-MOS modeling methods, even PIN-MOS techniques which neglect the hole current components coming into p-base region. A new PIN-PNP complementary cooperational model is developed in order to make up the drawbacks of existing models. It would allow us to make qualitative analysis as well as simulation about switching and on-state characteristics of 1,700 V trench IGBT. Moreover, if we improve the PIN diode effects through the optimization of trench structure, trench IGBT is expected to be one of the most promising devices in the not only high-voltage but also high speed switching device field.

Key Words : PIN-PNP model, Trench, IGBT, On-state voltage drop, Turn-off time, SOA

1. 서 론

트랜치 기술의 출현으로 셀 크기의 감소, 기생 JFET 성분의 제거, 래치업 효과의 감소 그리고 캐소드 측에서의 과잉캐리어 농도의 향상으로 인하여 여러 MOS 구동 파워소자의 온-상태와 턴-오프 특성이 비약적으로 향상되었다[1-5]. 트랜치 절연게이트 바이폴라 트랜지스터(IGBT)는 수직으로 파인 홈의 측면 벽쪽으로 채널이 형성되어 있는 바이폴라-MOS 구조로서[1-3] DMOS 구조에 비해 우수하며 초고압 응용분야에 사용되는 GTO 사이리스터를 대체할 만한 잠재력을 가지고 있다. 또한 최적화된 트랜치 IGBT는 턴-오프 특성을 감소시키지 않고 온-상태 전압강하는 낮추도록 PIN 다이

오드 효과를 향상시키는 장점을 가지고 있다[4]. DMOS IGBT와 비교하여 트랜치 IGBT의 온-상태 특징은 특히 고전압용(1,000 V 이상)에서 더 부각된다[4,5]. 그 이유는 아주 두꺼운 n-드리프트를 갖는 DMOS IGBT의 경우 캐소드 측에서의 캐리어 변조가 작기 때문에 여기서 온-상태 전압강하가 크게 나타난다[6-10]. 하지만 트랜치 IGBT는 캐소드 측에서의 캐리어 변조가 향상되기 때문에 온-상태 전압강하가 상당히 감소한다. 그러므로 트랜치 IGBT는 중전압, 고전압 그리고 초고전압에 대한 중요 파워소자 구조로 기대할 수 있다. 본 논문에서는 PIN 다이오드와 PNP 트랜지스터 캐리어 분포를 결합한 모델[4]에 기초하여 온-상태와 스위칭 특성을 향상시키는 최적화 트랜치 IGBT 구조를 해석하여 보았다.

1. 고려대학교 전기공학과
(서울시 성북구 안암동 5가 1)
2. 극동대학교 정보통신공학부
a. Corresponding Author : semicad@korea.ac.kr
접수일자 : 2008. 8. 8
1차 심사 : 2008. 9. 16
심사완료 : 2008. 9. 24

2. 트랜치 IGBT의 동작메커니즘

와이드 베이스 파워 PNP 트랜지스터는 기본적인

으로 단면(one-side) 주입 소자이다. 즉 에미터/베이스 접합은 순방향 바이어스가 되어있고, 고레벨 주입조건에서 과잉캐리어 농도는 상당히 높다. 반면, 콜렉터/베이스 접합은 역방향 바이어스가 되어 있고 경계면에서의 과잉캐리어 농도는 영으로 감소한다. 반면 PIN 다이오드는 양면(two-side) 주입 소자이다. 그러므로 n^+/n^- 그리고 p^+/n^- 접합은 모두 순방향 바이어스가 되어있고 그 결과로 n^- 드리프트의 양쪽 끝에서 과잉캐리어의 농도가 향상된다. 트랜치 IGBT가 온-상태일 때 캐리어 분포는 PIN 다이오드와 PNP 트랜지스터 캐리어 분포의 합으로 표현할 수 있다. PNP 트랜지스터는 p^+ 애노드/ n^- 드리프트/ p^- 베이스로 형성이 되고, PIN 다이오드는 p^+ 애노드/ n^- 드리프트/ n^+ 축적층으로 형성이 된다. PIN 다이오드 효과와 PNP 트랜지스터 간의 상대적인 비중은 셀 단면적에 있어서 축적층의 전체 길이와 셀 너비의 비 ℓ/d 에 의해 주어진다. 그림 1에 전체 축적층 길이 ℓ 은 ℓ_v (축적층의 수직길이)와 ℓ_{acc} (축적층의 수평길이)의 합으로 주어진다.

트랜치 IGBT의 기본적인 온-상태 동작 메커니즘은 다음과 같다. 트랜치 게이트에 양의 전압이 인가되면 p^- 베이스에 채널이 형성되어 전자가 애노드쪽으로 흐르게 된다. 그러므로 애노드 접합에 순방향 바이어스가 형성되어 애노드로부터 n^- 드리프트로 정공이 주입되기 시작된다[11]. 이 캐소드 쪽으로 흐르는 정공전류는 두 가지 주 성분으로 구분할 수 있다. 하나는 p^- 베이스와 n^- 드리프트 사이에 형성된 공핍층을 통하여 캐소드 단락접합으로 흐르는 전류성분(PNP 트랜지스터)이고, 또 하나는 n^+ 축적층 하단에서 2차원적으로 흐르는 전류 성분(PIN 다이오드)이다. 후자 전류의 경우는 처음에는 정공전류가 트랜치 하단에서 횡으로 흐르고 n^+ 축적층과 n^- 드리프트 접합을 순방향 바이어스 시킨다. 그 결과 정공의 일부분이 n^+ 축적층으로 확산되고 이 영역에서 재결합된다. 이러한 현상은 PIN 다이오드의 끝 영역에서 재결합하는 것과 관련이 있다[12,13]. 정공의 다른 부분은 n^+ 축적층 근처의 n^- 드리프트 영역내에서 전자와 재결합한다. 나머지 정공들은 트랜치 하단을 횡으로 흘러가서 p^- 베이스에 도달하게 된다. 그러므로 트랜치 근처에 도달하는 정공전류의 일부분은 전자전류로 바뀌고 n^+ 축적층과 n^- 드리프트 접합으로부터 주입되는 전자의 양이 커지게 되어 결국 캐소드측의 과잉캐리어 성분이 된다. 이것을 축적층 주입 또는 PIN 다이오드 효과라고 한다.

그림 1의 트랜치 IGBT 구조에서 n^- 드리프트 영역내에 있는 트랜치 게이트의 길이 ℓ_v 를 $1 \mu m$ 라고 하였다. 그림 2는 $\ell/d=0.5$ 인 트랜치 IGBT 소자의 캐소드 측에서의 2차원적인 캐리어 분포를 MEDICI 시뮬레이터를 이용하여 얻은 결과이다.

높은 캐리어 농도 프로파일을 보여주는 게이트 주변의 PIN 다이오드 영역과 공핍영역과 낮은 캐리어 농도 프로파일을 보여주는 PNP 트랜지스터의 2개 영역으로 확연히 구분지어진다.

트랜치 IGBT에서의 PIN 다이오드와 PNP 트랜지스터의 행동은 “병렬효과(parallel effect)”와 “결합효과(coupled effect)”라고 불리는 2개의 주요 효과의 합으로 해석할 수 있다. “병렬효과”는 PIN 다이오드와 PNP 트랜지스터의 병렬연결에 의한 구조적인 효과이다. 그러므로 이 효과는 동일한 전압강하를 갖는 경우에 대해 저항이 병렬로 연결된 것처럼 기술할 수가 있다 $[r_n = r_{PIN} \cdot r_{PNP} / (r_{PIN} + r_{PNP})]$.

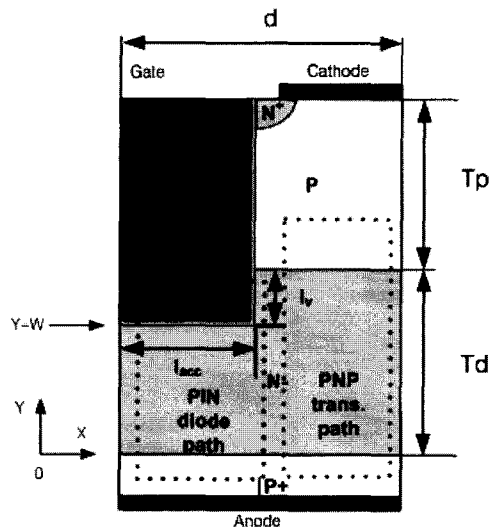


그림 1. 트랜치 IGBT 구조.
Fig. 1. Cross section of Trench IGBT.

그림 2와 3(b)에서 보는 것처럼 ℓ/d 가 증가할수록 캐소드 측의 n^- 드리프트에서 캐리어 변조현상이 더 커지는 것을 알 수가 있다. “결합효과”는 n^- 드리프트 내의 PIN 다이오드 영역에서 캐리어 분포의 PNP 트랜지스터 이득 α_{PNP} 에 대한 의존성을 말한다. 축적층 주변에서 대부분의 정공전류가 전자전류로 변환됨으로써 감소된 α_{PNP} 때문에 이 영역에서의 캐리어 농도는 증가된다.

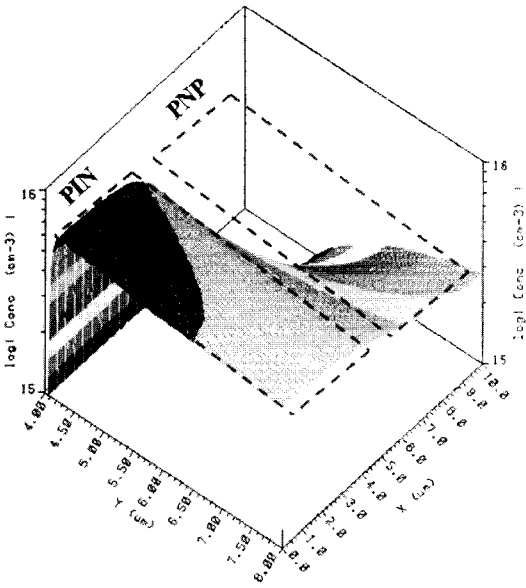


그림 2. 트랜치 IGBT 캐소드측에서의 캐리어 분포.

Fig. 2. Carrier distribution at the cathode side in the Trench IGBT.

그림 3(a)에 l/d 의 변화에 대한 $x=0$ 에서의 y 축에 따른 온-상태 과잉캐리어의 농도 프로파일을 보여주고 있다. 트랜치 하단 즉, $y=w$ 일 때 x 축에 따른 과잉캐리어 농도의 수평 프로파일은 그림 3(b)에 보여진다. l/d 에 따른 I-V 특성곡선을 그림 4에 도시하였다. PIN 다이오드의 영역이 넓어질수록 온-상태 전압강하가 작아짐을 알 수가 있다. l/d 가 증가할수록 순방향 전압강하는 감소하나 턴-오프 시간은 증가하지 않는다(그림 5).

턴-오프 시간은 실질적으로 이 비율과 관계가 없다. 이는 턴-오프시 전자의 분포를 살펴보면 설명이 된다(그림 6(b)). 일단 채널과 축적층이 제거가 되면(게이트 전위가 접지됨으로 해서) 전자주입은 순식간에 중단된다. 그 결과 캐리어 농도는 캐소드 측에서 급격하게 감소가 되고 아주 짧은 시간 안에 정공전류와 과잉캐리어 전하는 PNP 트랜지스터에서의 턴-오프 메커니즘과 같이 감소한다.

트랜치 IGBT의 턴-오프 프로세스는 캐소드 측에서 공핍층의 급격한 발생으로 과잉 정공 캐리어들은 이 영역에서 캐소드 단락 전극 쪽으로 흘러나간다. n-드리프트 하부, 애노드 측에서 캐리어의 제거는 주로 긴 시간동안 재결합 과정을 통해 발

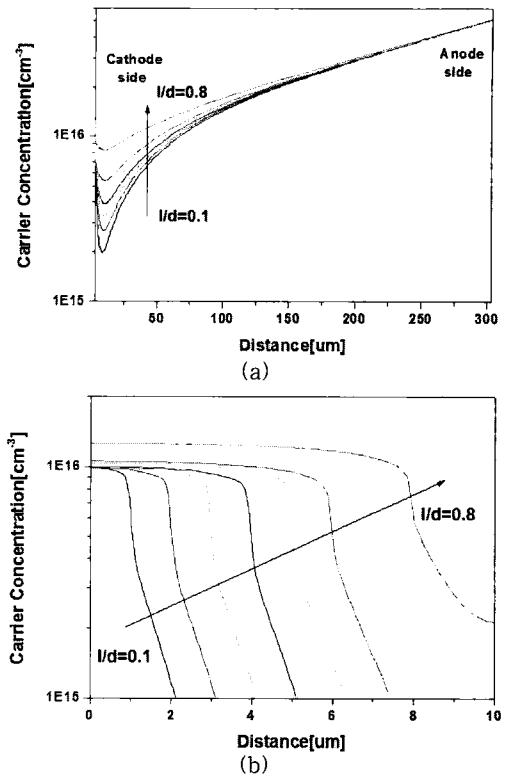


그림 3. (a) $x=0$ 에서의 n-드리프트 영역의 캐리어 농도에 대한 수직 분포 (b) $y=w$ 에서의 n-드리프트 영역의 캐리어 농도에 대한 수평 분포.

Fig. 3. (a) The vertical profile of the carrier concentration in the n-base at $x=0$ (b) the horizontal profile of the carrier concentration in the n-base at $y=w$.

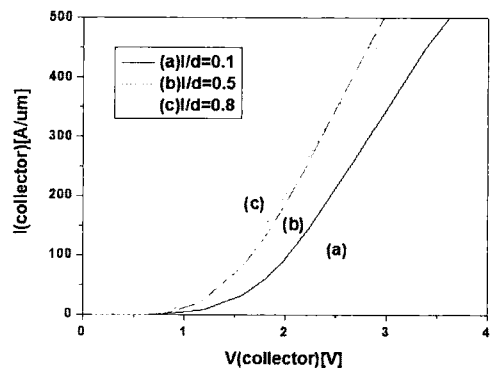


그림 4. 트랜치 IGBT의 I-V 특성곡선.
Fig. 4. I-V characteristics for Trench IGBT.

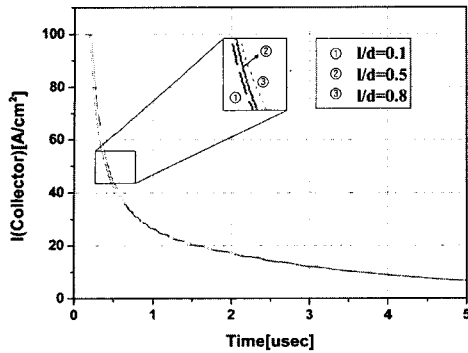


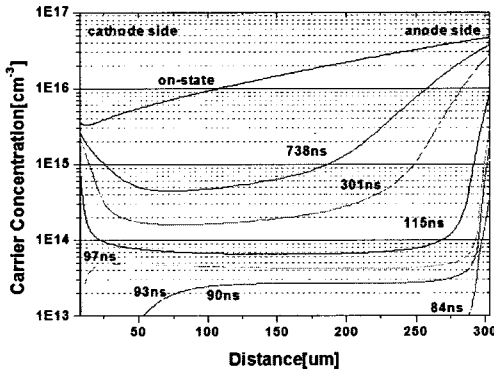
그림 5. 트랜치 IGBT의 턴-오프 시뮬레이션 결과.
Fig. 5. Turn-off simulations of Trench IGBT.

생한다. 그러므로 턴-오프시 발생하는 긴 테일 전류는 n-드리프트에서의 재결합과 애노드 측에서의 주입 효율에 따라 결정된다. 그러므로 턴-오프 시간은 PIN 다이오드의 동작에 의해 생성되는 캐소드 측에서의 과잉 캐리어 농도에 거의 영향을 받지 않는다. 따라서 PIN 다이오드 효과를 증가시키면 전체적인 온-상태 특성이 향상될 뿐, 턴-오프 시간에는 영향을 끼치지 않는다. 이러한 특성으로 인해 낮은 온-상태 손실과 빠른 스위칭 시간을 갖는 트랜치 IGBT를 설계할 수가 있다.

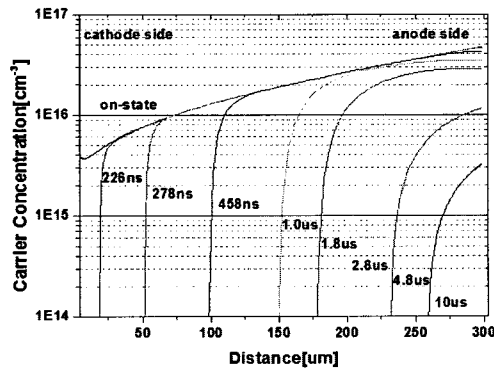
3. 트랜치 IGBT 수치해석

트랜치 IGBT의 경우 PIN 다이오드와 PNP 트랜지스터간의 병렬효과로 인해 PIN 다이오드 소자인 경우보다 전도전류가 감소한다. 또한 PIN 다이오드 영역이 대다수를 차지하기 때문에 캐리어 농도는 x축으로 보아 거의 균일하게 분포된다. PIN 다이오드의 캐리어 분포와 비슷한 양상을 보이기 때문에 n-드리프트 내의 저항은 상당히 감소하게 된다. 하지만 PIN 다이오드 캐소드 측의 최대 농도는 PNP 트랜지스터에 의해 영향을 받는다. 즉, 정공의 일부분이 캐소드 전극으로 흘러가기 때문에 결합효과는 여전히 유효하다. 축적층의 길이를 증가시켜 PIN 다이오드 영역을 크게 늘릴수록 이득 α_{PNP} 는 감소한다.

IGBT 내에서의 캐리어 분포와 온-상태 전압강하 그리고 전류-전압 특성곡선을 수식으로 유도하면 IGBT의 온-상태 특성을 해석할 수가 있다. 먼저 캐리어 분포에 대한 관계식을 유도하기 위해 고레벨 주입 조건하에서 n-드리프트 내에서의 전자와 정공전류 밀도 $J_n(y)$ 와 $J_p(y)$ 를 구해보면 다음과 같이 주어진다.



(a)



(b)

그림 6. 스위칭시 트랜치 IGBT의 n-드리프트 영역에 대한 전자 분포. (a) 턴-온 스위칭시 (b) 턴-오프 스위칭시.

Fig. 6. Electron distribution in the n-drift of a Trench IGBT during switching. (a) during turn-on switching (b) during turn-off switching.

$$J_n(y) = \frac{b}{1+b} J + qD \frac{dn}{dy} \quad (1)$$

$$J_p(y) = \frac{1}{1+b} J - qD \frac{dp}{dy} \quad (2)$$

여기서 $p(y) = n(y)$ 이며 수직 방향 y에 대한 n-드리프트 영역 내에서의 과잉캐리어 분포이다. J 는 전체 전류밀도 ($J = I/A$, I 는 전체 전류, A 는 소자의 액티브 영역의 넓이), $b = \mu_n/\mu_p$ 는 전자와 정공 이동도의 비, $D = 2D_n D_p / (D_n + D_p)$ 는 ambipolar 확산계수이다. 연속방정식 $dJ_p/dy = -qp/\tau$ (τ 는 수명시

간), 준중성조건 $n(y) \approx p(y)$, $dn(y)/dy \approx dp(y)/dy$ 그리고 식(2)를 사용하여 ambipolar 확산 방정식을 얻을 수 있다.

$$\frac{d^2 p(y)}{dy^2} = \frac{p(y)}{L^2} \quad (3)$$

여기서 L 은 ambipolar 확산 길이, $L = \sqrt{D\tau}$ 이고 τ 는 n-드리프트에서 전자와 정공의 수명시간 합으로 주어지는 ambipolar 수명시간 즉, $\tau = \tau_{n0} + \tau_{p0}$ 이다. 식(3)과 연관된 경계조건은 $p(0) = p_0$ 그리고 $p(w) = p_w$ 이며 PIN 다이오드의 양끝 영역에서의 재결합 때문에 발생한다[13]. n+ 축적층/n-드리프트 경계에서의 최대 농도 p_w 는 축적층 접합을 따라 일정하다고 가정한다. 그리고 이러한 가정은 $w \gg \ell_{acc}$ 의 경우 수식적으로 타당하다(그림 3(b) 참조). 식(3)에 관련 경계조건을 대입하여 풀면

$$p(y) = p_0 \frac{\sinh[(w-y)/L]}{\sinh(w/L)} + p_w \frac{\sinh(y/L)}{\sinh(w/L)} \quad (4)$$

가 된다.

식(1)과 (2)에 식(4)를 대입하면 n-드리프트에서의 정공과 전자 전류 밀도 분포를 구할 수 있다.

$$J_n(y) = \frac{bJ}{1+b} - \frac{qDp_0}{L} \frac{\cosh[(w-y)/L]}{\sinh(w/L)} + \frac{qDp_w}{L} \frac{\cosh(y/L)}{\sinh(w/L)} \quad (5)$$

$$J_p(y) = \frac{J}{1+b} - \frac{qDp_0}{L} \frac{\cosh[(w-y)/L]}{\sinh(w/L)} - \frac{qDp_w}{L} \frac{\cosh(y/L)}{\sinh(w/L)} \quad (6)$$

다음으로 IGBT 내의 온-상태 전압강하를 구해보면 PIN-PNP 모델에서 전압강하가 발생하는 영역에 대하여 전압강하 성분을 모두 구한 뒤 합하면 전체 영역에서의 전압강하를 구할 수가 있다. 크게 보면 MOSFET의 채널영역에서 발생하는 전압강하 성분(V_{Dnat})과 PNP 트랜지스터의 병렬효과를 포함하는 PIN 다이오드의 전압강하 성분(V_{PIN})이 있다. 특히 PIN 다이오드의 전압강하 성분(V_{PIN})은 가장 큰 비중을 차지하는 n-드리프트 영역에서의 전압강하 성분(V_n)과 p-플렉터/n-드리프트층(애노드) 접합에서의 전압강하 성분(V_{J0}) 그리고 n+축적층/n-드리프트 접합에서의 전압강하 성분(V_{Jw})으로 나누어진다. 먼저 n-드리프트 영역에서의 전압강하 성분(V_n)은 n-드리프트내의 전계를 적분하여 구할 수 있다.

프트층(애노드) 접합에서의 전압강하 성분(V_{J0}) 그리고 n+축적층/n-드리프트 접합에서의 전압강하 성분(V_{Jw})으로 나누어진다. 먼저 n-드리프트 영역에서의 전압강하 성분(V_n)은 n-드리프트내의 전계를 적분하여 구할 수 있다.

$$V_n = \int_0^w E(y)dy = \int_0^w \left[\frac{J}{q(\mu_n + \mu_p)p(y)} - \frac{D_n - D_p}{D_n + D_p} \frac{kT}{q} \frac{1}{p(y)} \frac{dp(y)}{dy} \right] dy \quad (7)$$

식(7)에 식(4)로부터 구한 $p(y)$ 를 대입하면 전압강하 V_n 는 다음과 같이 구할 수 있다.

$$V_n = \frac{J \sinh(w/L)}{q(\mu_n + \mu_p)} \times \int_0^w \frac{dy}{p_0 \sinh\left(\frac{w-y}{L}\right) + p_w \sinh(y/L)} + \frac{kT}{q} \frac{D_n - D_p}{D_n + D_p} \ln \left| \frac{p_0}{p_w} \right| \quad (8)$$

식(8)의 첫 번째 항은 n-드리프트에서의 저항성 전압강하를 나타내며 n-드리프트에서의 전도도 변조를 표현한다. 두 번째 항은 애노드와 캐소드 측의 최대 도핑농도의 상대적인 차이에 의해서 발생한다.

식(7)과 (8)에서는 고레벨 주입일 때 캐리어 이동도의 평균값으로 가정하였다. 식(8)은 애노드 전류 밀도에 의존하는 n-드리프트 온-상태 전압강하 관계를 보여주고 있다. n-드리프트 전압강하에 대한 PNP 트랜지스터의 영향은 식(8)에 p_w 항으로 고려되어있다.

PNP와 PIN 효과를 포함하는 수정된 PIN 다이오드에 대한 온-상태 전압강하는 앞서 기술한 것처럼 다음 세 가지 성분으로 이루어져 있다.

$$V_{PIN} = V_{J0} + V_n + V_{Jw} \quad (9)$$

여기서 V_{J0} 와 V_{Jw} 는 애노드 접합에 대한 전압강하와 n+ 축적층/n-드리프트 접합에 대한 전압강하 성분이다.

$$V_{J0} + V_{Jw} \approx \frac{kT}{q} \ln \left(\frac{p_0 p_w}{n_i^2} \right) \quad (10)$$

마지막으로 MOSFET 채널에 대한 전압강하 성분을 구하면 전체 트랜치 IGBT의 온-상태 전압을 구할 수가 있다. 먼저 $J = J(V_{on})$ 에 대한 정확한 해

석 표현식을 얻기 위해 MOSFET 구조에 대한 간략한 모델을 고려하였다. 최적화된 트랜치 IGBT에 대해서는 공핍층은 채널 근처에서 사라지고 소스 영역에서 문턱전압에만 영역을 끼친다고 가정한다. 채널 전류 I_{ch} 는 $(1-\alpha_{PNP})JA$ 와 같다. 여기서 J 는 전체 소자 전류 밀도이고 A 는 소자 능동영역의 넓이다. 전체 소자 전류 밀도는 다음과 같다.

$$J \approx \frac{Z\mu_{ch}C_{ox}}{AL_{ch}(1-\alpha_{PNP})} [(V_G - V_{T0})(V_{on} - V_{PIN}) - \frac{1}{2}(V_{on} - V_{PIN})^2] \quad (11)$$

여기서 $V_{on} - V_{PIN}$ 은 MOS 채널 양단간의 전위차이다. 주어진 전류밀도 J 에서 α_{PNP} 가 커질수록 채널 전압강하는 작아진다. 그럼에도 불구하고 일반적인 온-상태 동작 전류밀도(100 A/cm^2)에서 트랜치 구조의 특징인 높은 채널밀도 Z/A 에 의해 트랜치 IGBT에서의 채널 전압강하는 α_{PNP} 가 작더라도 n-드리프트의 전압강하에 비해 상대적으로 작다.

$$J_{sat} \approx \frac{Z\mu_{ch}C_{ox}}{AL_{ch}(1-\alpha_{PNP})} \times \left[(V_G - V_{T0})V_{Dsat} - \frac{1}{2}V_{Dsat}^2 \right] \quad (12)$$

여기서 V_{Dsat} 은 트랜치 IGBT의 MOSFET 성분에서 드레인 포화전압이다.

그러므로 결국 트랜치 IGBT 소자의 전체 온-상태 포화전압 V_{onsat} 은 다음과 같이 표현할 수 있다.

$$V_{onsat} = V_{Dsat} + V_{PIN} \quad (13)$$

여기서 V_{PIN} 은 포화영역에서 트랜치 IGBT의 수정된 PIN 다이오드 성분에 대한 전압강하이다.

그림 7에 이와 같은 수식을 바탕으로 수치해석을 통한 1700 V급 트랜치 IGBT에 대한 전류-전압 특성곡선(점선)을 나타내었다. PIN-MOS 모델과 PNP-MOS 모델 그리고 PIN-PNP 모델에 기반한 시뮬레이션 결과와 비교하여 볼 때 PIN-PNP 모델의 전류-전압곡선이 수치해석을 통해 얻은 전류-전압 특성곡선(점선)과 가장 잘 일치함을 알 수가 있었다. 각각의 온-상태 전압강하는 수치해석의 경우 1.67 V, PIN-MOS 모델의 경우 1.57 V, PNP-MOS 모델의 경우 2.24 V, PIN-PNP 모델의 경우 1.72 V이다.

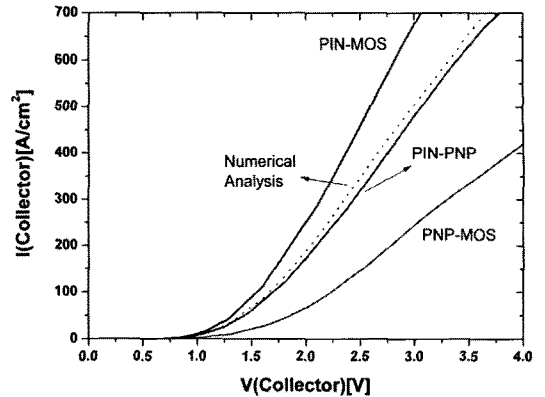


그림 7. 수치해석과 각각의 해석모델을 이용하여 구한 전류-전압 곡선의 비교.

Fig. 7. A comparison of the I-V characteristics using numerical analysis and each models.

그림 8에 MEDICI 시뮬레이션을 통한 1,700 V급 트랜치 IGBT의 I-V 특성곡선을 나타내고 있다. 다음의 파라미터들은 시뮬레이션에 사용했던 상수들이다. n-드리프트 두께 $w=300 \mu\text{m}$, 전체 축적층 길이 $\ell=6 \mu\text{m}$, 셀 크기 $d=10 \mu\text{m}$, 채널 길이 $L_{ch}=2 \mu\text{m}$, 채널 밀도 $Z/A=1000 \text{ cm}^{-1}$, 게이트 산화막 두께 $x_{ox}=0.1 \mu\text{m}$, 소스에서 MOS 기판의 도핑 농도 $N_A=5 \times 10^{17} \text{ cm}^{-3}$, 전자와 정공의 수명시간 $\tau_{n0}=10 \mu\text{s}$, $\tau_{p0}=10 \mu\text{s}$ 이다.

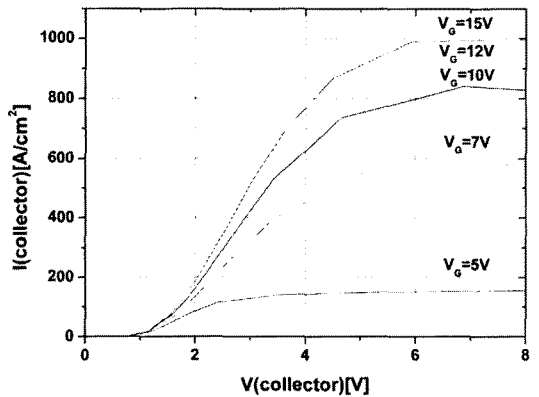


그림 8. MEDICI 시뮬레이션에 의해 얻어진 1,700 V급 트랜치 IGBT의 I-V 특성곡선.

Fig. 8. I-V characteristics of 1,700 V rated Trench IGBT by MEDICI simulation.

4. 결 론

트렌치 IGBT는 PIN 다이오드 효과가 우세하기 때문에 정확한 해석을 위해서는 기존 모델보다는 PIN 다이오드-PNP 트랜지스터 모델을 이용한 해석이 바람직하다. 전체 축적층 길이와 셀 너비간의 l/d 비가 크면 스위칭 시간의 감소없이 캐소드 측에서의 전도도 변조 현상이 증가한다.(PIN 다이오드 효과에 기인) 이로 인해 트렌치 IGBT가 아주 효과적인 턴-오프 메커니즘을 갖는 양면주입 소자가 된다.

PIN 다이오드 효과는 트렌치 IGBT에 있어서 순방향 전압강하를 줄이는데 중요한 역할을 한다. 축적층과 셀 크기의 비율이 큰 최적화된 트렌치 IGBT는 턴-오프 시간의 증가없이 온-상태 특성을 향상시킬 수가 있다. PIN 다이오드 효과는 수명시간이 짧고 n-드리프트 길이가 길수록 더 두드러진다. 따라서 트렌치 IGBT는 뛰어난 온-상태/턴-오프 성능을 보여주고 많은 응용분야에 일반적인 IGBT나 GTO를 대체할 수 있을 것이다.

감사의 글

본 연구는 전력IT사업단을 통해 지식경제부의 "전력IT사업"으로부터 지원받아 수행되었습니다 (R-2005-1-400-1-01).

참고 문헌

- [1] Ueda, D., et al., "New injection suppression structure for conductivity modulated power MOSFETs", Proc. 18th Int. Conf. Solid State Device and Materials, p. 97, 1986.
- [2] Chang, H.-R. and Baliga, B. J., "500-V n-channel insulated-gate bipolar transistor with a trench gate structure", IEEE Trans. Electron Device, ED-36, p. 1824, 1989.
- [3] J. S. Lee, E. G. Kang, and M. Y. Sung, "Improvement of electrical characteristics of vertical NPT trench gate IGBT using trench emitter electrode", J. KIEEME(in Korean), Vol. 19, No. 10, p. 912, 2006.
- [4] Udrea, F. and Amaratunga, G. A. J., "Unified analytical model for the carrier dynamics in trench insulated gate bipolar transistors (TIGBT)", Proc. 7th Int. Symp. Power Semiconductor Devices and ICs, p. 190, 1995.
- [5] Kitagawa, M., Omura, I., Hasegawa, S., Inoue, T., and Nakagawa, A., "4500 V Injection enhanced insulated gate bipolar transistor (IEGT) operating in a mode similar to a thyristor", IEDM Tech. Dig., p. 679, 1993.
- [6] E. G. Kang and M. Y. Sung, "Study on new LIGBT with multi gate for high speed and improving latch up effect", J. KIEEME(in Korean), Vol. 13, No. 5, p. 371, 2000.
- [7] E. G. Kang and M. Y. Sung, "A novel trench electrode BRT with the intrinsic region for superior electrical characteristics", J. KIEEME (in Korean), Vol. 15, No. 3, p. 201, 2002.
- [8] E. G. Kang, D. S. Oh, D. W. Kim, D. J. Kim, and M. Y. Sung, "A novel lateral trench electrode IGBT for superior electrical characteristics", J. KIEEME(in Korean), Vol. 15, No. 9, p. 758, 2002.
- [9] E. G. Kang, S. H. Moon, and M. Y. Sung, "A new trench electrode IGBT having superior electrical characteristics for power IC systems", Microelectronics J., Vol. 32, p. 641, 2001.
- [10] E. G. Kang and M. Y. Sung, "A small sized lateral trench electrode IGBT for improving latch-up and breakdown characteristics", Solid State Electronics, Vol. 46, p. 295, 2002.
- [11] J. S. Lee, E. G. Kang, and M. Y. Sung, "Shielding region effects on a trench gate IGBT", Microelectronics Journal, Vol. 39, p. 57, 2008.
- [12] Herlet, A., "The forward characteristic of silicon power rectifiers at high current densities", Solid St. Electronics, Vol. 11, p. 717, 1968.
- [13] Berz, F., "A simplified theory of the p-i-n diode", Solid St. Electronics, Vol. 20, p. 709, 1977.