

# IEC 61850 기반 병합단위장치의 시간 동기화를 위한 IRIG-B 프로토콜 구현에 관한 연구

金官洙\*, 李弘熙<sup>†</sup>, 金炳鎭\*\*

## A Study on Implementation of IRIG-B Protocol for Time Synchronization of IEC 61850 based Merging Unit

Gwan-Su Kim, Hong-Hee Lee and Byung-Jin Kim

### 요 약

현재 변전소 자동화의 국제표준으로 대두되고 있는 IEC 61850은 스테이션 버스 뿐만 아니라 프로세서 버스까지도 표준화된 통신 기술을 채용하였고, 자동화에 필요한 모델을 제시하고 있다. 변전소 자동화에 사용되는 프로세서 버스의 대표적인 데이터 측정 및 전송장비인 병합단위장치를 IEC 61850 환경으로 구현할 경우 각각의 장치들이 취득한 정보들이 상호 연관성을 가지고 시스템을 제어하거나 모니터링하기 위해서는 시간 동기화가 필요하다. 본 논문에서는 IEC 61850 기반 병합단위장치를 개발하기 위해서 IRIG-B 프로토콜을 사용한 정밀한 시간동기화 기술을 제안한다. 제안된 IRIG-B 시간 동기화 프로토콜을 구현하고 실험을 통해서 안정적인 시간 동기화를 확인하였다.

### ABSTRACT

Recently, IEC 61850 supports the standardized communication technique in both station bus and process bus, and presents substation automation model. In order to implement the IEC 61850 based communication in a substation using the MU (merging unit) which is one of the important data acquisition equipments in substation automation, the time synchronization is demanded for cooperative operation between the devices. This paper proposes the precision time synchronization technique using IRIG-B protocol to develop the MU under IEC 61850 communication protocol. The proposed technique is implemented and its performance is verified experimentally.

**Key Words :** IEC 61850, IRIG-B, Merging Unit, Time Synchronization

### 1. 서 론

최근 송배전 시스템 분야에서 종래의 인간의 개입을 최소화하여 이루어 질 수 있도록 통합화, 자동화 및

원격 감시화가 추진되고 있으며 이는 기존의 전기 장비들을 통신 기능을 갖는 마이크로프로세서 기반의 IED(Intelligent Electronic Device)로 대체함으로써 가능해 졌다. 단일 표준화 작업이 이루어지기 전 IED 메이커들은 IEC-870-5-101과 같은 다양한 프로토콜을 제공하였다. 하지만 시스템 공급업체 간 통신 프로토콜이 표준화 되지 않아 변전소 자동화 설비를 교체할 때마다 전력회사들은 서로 다른 통신기술의 적용에 따른 장비 간 호환성 결여로 큰 어려움과 함께 높은 비용을 감수할 수밖에 없는 현실이었다. 이에 따라 통신

<sup>†</sup>교신저자 : 정희원, 울산대, 전기전자정보시스템공학부 교수  
E-mail : hhlee@mail.ulsan.ac.kr

<sup>\*</sup>정희원, 울산대 대학원 전기전자정보시스템공학과 박사과정  
<sup>\*\*</sup>정희원, 현대중공업(주) 기계전기연구소 책임연구원

접수일자 : 2008. 5. 2                      1차 심사 : 2008. 6. 9  
심사완료 : 2008. 7. 4

프로토콜 표준화의 필요성이 강하게 제기되었고, 1990년대 표준화 작업을 시작하여 UCA 2.0과 유럽의 경험을 기반으로 최근 변전소 자동화용 단일 세계 표준인 IEC 61850을 IEC 주관 아래 개발하였다. 이러한 세계 기술 동향을 반영해 변전소 자동화의 경우 IEC 61850을 기반으로 하는 통신시스템이 구축되기 시작했고, 이와 함께 SCADA와 보호계전 시스템의 기능(감시, 제어, 계측, 보호)을 IED에 구현함으로써, 전력운전정보를 IED내에 저장하고 상위로 전송하는 것이 가능하게 되었다.<sup>[1][2]</sup>

변전소 내의 많은 전력기기들은 정확하고 유효한 정보전달을 위해 시간동기화를 필요로 하고 있다. 일반적으로 변전소 자동화 시스템에서의 시간 정밀도는 하위 계층으로 갈수록 높은 정밀도를 요구한다. 스테이션 레벨에서의 정밀도는 작업자에게 동작 시간을 알려주기 위한 수백 [ms] 정도이고, 베이 레벨에서의 시간 정밀도는 이벤트의 타임 스탬핑을 위해 1 [ms]의 정밀도를 요구한다. 프로세서 레벨의 병합 단위장치에서는 측정하고자 하는 아날로그 값의 동기화 샘플링을 위해 수 [μs]의 정밀도가 필요하다.<sup>[3]</sup>

현재 변전소 자동화 시스템에 적용되는 장비의 시간 동기화를 위해 GPS, NTP, SNTP, IRIG-B, IEEE 1588 등과 같은 다양한 방법이 적용되고 있다. 그 중에서도 가장 보편적인 시간 동기화 방법으로는 GPS(Global Positioning System)를 사용하여 외부 표준시간과 동기화를 수행할 수 있는 방법이 있지만, 모든 전력 시스템 장비에 GPS 모듈을 장착해야 하기 때문에 확장성과 가격상의 문제로 인해 전력 시스템에 대한 해결책이 될 수 없다. 또한 시간 동기화를 위해 GPS와 같은 하드웨어를 장착하지 않고 소프트웨어적으로 시간 동기화를 구현하는 NTP<sup>[4]</sup>, SNTP<sup>[5]</sup>와 같은 방법은 현재 시간과 동기화할 시간과의 차가 너무 클 경우에는 시간 동기화를 수행할 수 없고, 동기화를 수행하더라도 정밀도가 떨어지기 때문에 전력 시스템의 병합단위장치에 적용하기 어렵다는 단점을 가지고 있다. IRIG-B 시간 코드 포맷은 가장 일반적으로 사용되는 시간 동기화 방법으로 비교적 높은 정밀도를 가지고 있으며<sup>[6]</sup>, 보다 정밀한 시간 동기화가 요구될 경우에는 표준 이더넷 통신을 사용하는 IEEE 1588 시간 동기화 방법이 사용되고 있다<sup>[7]</sup>. IEEE 1588 프로토콜은 한 노드에서 시간 동기화 메시지를 전송하고 이어서 이전 시간 메시지의 정밀한 시간을 포함하고 있는 또 다른 시간 동기화 메시지를 전송한다. 이 방법은 시간 정밀도는 가장 높지만, 비용이 많이 들고 정밀한

시간 스탬핑 장치가 필요하기 때문에 여러 가지 구현상의 어려움이 있다. 그러나 IRIG-B 시간 동기화는 추가적인 신호 없이 적은 비용으로 신뢰성이 높은 시간 동기화를 수행할 수 있다는 장점이 있다.

본 논문에서는 IEC 61850 기반 병합단위장치들의 시간 동기화를 위해 가격이 저렴하고 신뢰성이 높은 것으로 평가받고 있는 IRIG-B 시간 동기화를 구현하고자 한다. 즉, IEC 61850 기반의 병합단위장치에 적용할 수 있는 시간 정밀도를 가진 IRIG-B 시간 동기화 프로토콜을 구현하기 위해 Verilog-HDL 하드웨어 기술 언어를 사용하여 코드를 작성하고 시뮬레이션을 수행하였다. 구현된 IRIG-B 시간 동기 코드를 인터페이스 보드 상의 FPGA 칩에 다운로드하고, GPS 위성 클럭 장치로부터 IRIG-B 신호를 수신하여 시간 동기화를 수행하는 실험 장치를 구성하고 실험을 통해 안정적인 시간 동기화를 확인하였다.

## 2. 시간 동기화 프로토콜

### 2.1 시간 동기화

변전소 자동화 시스템에서 동작하는 각각의 장치들이 취득한 정보들이 상호 연관성을 가지고 시스템을 제어하거나 모니터링하기 위해서는 시간 동기화가 필요하다. 만일 모든 장치들이 정확하고 동일한 로컬 시간을 가지고 동작에 대한 스케줄을 알고 있다면 별도의 동기화를 위한 작업이 필요하지 않지만, 독립적으로 샘플링한 데이터를 상위 제어기로 보내는 병합단위장치와 같은 장치들은 상위 제어기와의 시간 동기화가 반드시 필요하다.

시간 동기화에서 요구되는 시간 정밀도는 P1 클래스(1 [ms]), P2 클래스(0.1 [ms]), P3 클래스(25 [μs]), P4 클래스(4 [μs]), P5 클래스(1 [μs])와 같이 5가지 클래스로 분류할 수 있다.<sup>[8]</sup>

프로세서 레벨의 병합단위장치에서는 측정된 아날로그 값의 동기화 샘플링을 위해 수 [μs] 단위의 정밀도가 필요하다. 이러한 시간 정밀도를 맞추기 위한 방법 중 가장 확실한 방법으로는 GPS 수신기를 시간 동기화가 필요한 모든 노드에 연결하는 방법이 있다. 현재, GPS는 시간 전송을 위한 가장 좋은 방법이지만, 여러 가지 문제점으로 인해 GPS는 외부 표준시간을 맞추기 위한 마스터 클럭 장치로 많이 사용되고 있다.

아날로그 데이터를 샘플링하기 위한 시간 동기화 신호는 A/D 컨버터로 전송되는데 병합단위장치를 위한 시간 동기화는 다음과 같은 방법으로 이루어진다. 변

저 병합단위장치의 시간 동기화는 정확하게 동기화 첫 번째 신호의 상승 에지에서 일어난다. 이때 병합단위 장치는 동기화 변환 신호를 A/D 컨버터로 보낸다. 만약 첫 번째 신호가 소멸되거나 일시적으로 방해를 받으면 병합 단위장치는 내부 클럭에 따른 두 번째 신호를 A/D 컨버터로 보낸다. 그리고 동기 입력 신호가 재개되면 즉시 첫 번째 신호를 추종하여 병합 단위장치의 동기화를 수행한다.

2.2 IRIG 시간 동기화

1956년 처음으로 IRIG(Inter Range Instrumentation Group)의 TCWG(Tele-Communication Working Group) 단체에서 시간 동기화 신호 배포를 위해 규격화된 포맷을 만드는 연구를 시작하여 IRIG 104-60 문서가 만들어 졌다. 이 표준화 문서는 수년 동안 몇 차례 개정되어 최근에 IRIG 200-04 규격이 개발되었다.

IRIG 시간 동기화 프로토콜은 GPS 위성으로부터 UTC(Coordinated Universal Time)시간을 받아서 IRIG 시간 포맷으로 변환 시킨 후 각 노드들에 대한 동기화를 수행한다.

전력시스템 장치의 시간 동기화에 대한 사실상의 산업용 표준인 IRIG 시간 동기화 프로토콜은 변조와 복조 신호 포맷을 가지고 있다. IRIG 변조 신호는 대부분의 외란으로부터 안정적이며 규모가 큰 내부 연결망에 적합하고, 복조 신호는 제한된 크기와 복잡성을 가지는 내부 연결망에 적합하며 정밀한 시간 동기를 제공한다.

본 논문에서는 IRIG 규격인 200-04 에 정의되어 있는 규격 코드 포맷을 적용한 IRIG-B002 포맷을 적용한다. 이 포맷은 100개의 펄스 신호가 발생되고, DC 레벨의 비 캐리어 신호로서 BCD 코드를 사용한다.

2.2.1 IRIG 시간 코드

IRIG 시간 코드 포맷의 명칭은 1개의 문자와 3개의

숫자로 구성되어 있다. 각 문자와 숫자는 IRIG 코드에 대응하는 각각의 속성을 가지고 있다. 표 1은 IRIG 표준안 200-04에 정의되어 있는 규격 코드 포맷을 나타낸다. 코드 포맷의 이름은 표 2에 나타낸 바와 같다<sup>[6]</sup>.

표 1 규격 코드 포맷- IRIG 규격 200-04  
Table 1 Standard Code Formats - IRIG 200-04

IRIG-A	IRIG-B	IRIG-D	IRIG-E	IRIG-G	IRIG-H
A000	B000	D001	E001	G001	H001
A003	B003	D002	E002	G002	H002
A130	B120	D111	E111	G141	H111
A132	B122	D112	E112	G142	H112
A133	B123	D121	E121		H121
		D122	E122		H122

표 2 규격 코드 포맷 명칭  
Table 2 Explanation of Code Format Names

First letter: Rate Designation	A	1k PPS
	B	100 PPS
	D	1 PPM
	E	10 PPS
	G	10k PPS
	H	1 PPS
1st Digit: Form Designation	0	DC level pulse width code, no carrier
	1	Sine wave carrier, amplitude modulated
	2	Manchester modulated
2nd Digit: Carrier Resolution	0	No carrier/index counter interval
	1	100 Hz / 10ms resolution
	2	1 kHz / 1ms resolution
	3	10 kHz / 0.1ms resolution
	4	100 kHz / 0.01ms resolution
	5	1MHz / 1us resolution
3rd Digit: Coded Expressions	0	BCD, CF, SBS
	1	BCD, CF
	2	BCD
	3	BCD, SBS

IRIG B TIME

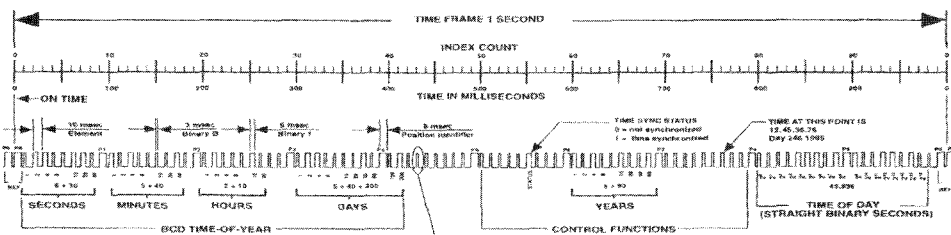


그림 1 IRIG-B 시간 코드 포맷  
Fig. 1 IRIG-B Time Code Format

### 2.2.2 IRIG-B 규격 200-04

IRIG 표준안 200-04에 설명되어 있는 IRIG-B 규격은 가장 일반적인 시간 포맷으로 100개의 PPS 신호로 구성되며, 그림 1과 같은 시간 코드 포맷을 가진다<sup>[6]</sup>.

### 2.2.3 IRIG-B 시간 동기화 정확도

정확한 시간 동기화는 정확한 클럭 출력 신호로부터 시작된다. IRIG-B 신호는 변조 신호와 복조 신호가 있다. 복조 신호 포맷은 크기가 5V인 양의 펄스 트레인으로 매우 정밀한 기준 시간을 제공한다. IRIG-B 시간 신호를 여러 IED에 전송하는 방법은 여러 가지가 있으나 일반적으로 변조 (IRIG-B1xx) 신호와 복조 (IRIG-B0xx) 신호로 전송하는 2가지 방법이 사용되고 있다. IRIG-B 변조 신호를 1 [KHz] 캐리어 신호로 할 경우 1 [ms] 정도의 정밀도를 가진다. 그리고 복조 신호로는 GPS 클럭 장치의 정밀도가 지원될 경우 [ns] 단위의 정밀도를 제공할 수 있다. 변조 신호가 복조 신호에 비해 정밀도가 떨어지는 원인은 하이- 및 로-비트 상태 천이를 감지하는데 사용되는 영교차 (Zero-crossing) 방법 때문이다<sup>[9]</sup>. 본 논문에서 사용한 SEL-2407 GPS 클럭 장치가 제공하는 시간 정밀도는 ±100 [ns] 이다.

### 2.2.4 IRIG-B 시간 신호의 분배

IRIG-B 신호를 위해 선택할 수 있는 여러 가지 분배 옵션들이 있다. IRIG-B 신호는 GPS 클럭의 출력 드라이브에 기반을 두고 있으며 출력 드라이브는 변조와 복조 두 가지 형태가 있다. 가장 일반적인 분배 방법은 BNC 커넥터와 동축 케이블을 사용하는 방법인데 동축 케이블을 사용할 경우 다음과 같은 사항이 권장된다<sup>[10]</sup>.

1. 좋은 품질의 50 [Ω] 동축 케이블 사용
2. 망 연결을 위하여 50 [Ω]의 BNC 커넥터 사용 (BNC 커넥터는 기계적으로 신뢰성이 있고, 일정한 임피던스를 유지한다.)
3. 출력 드라이브에 따라 디바이스 수를 제한
4. 망 확장은 500 [m] 까지로 제한

다수의 디바이스를 GPS 수신기 클럭의 출력 드라이브를 통해서 연결할 수 있으나 출력 드라이브의 최대 출력 전류를 초과할 수는 없다. 그림 2는 병합 단위 장치와 GPS 수신기로 연결된 시간 동기화 시스템에서의 전류 부하를 설명한 것이다.

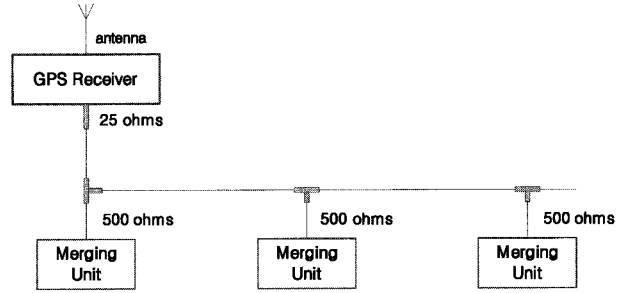


그림 2 IRIG-B 시간 동기화 시스템의 전류 부하  
Fig. 2 Current Load of IRIG-B System

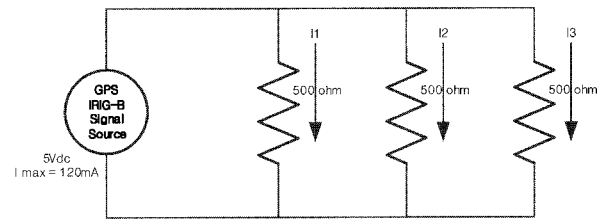


그림 3 IRIG-B 등가 회로  
Fig. 3 Equivalent Circuit of IRIG-B

그림 3의 등가회로에서 일반적인 임피던스 계산식은 다음과 같다.

$$\frac{1}{Z_{Total}} = \frac{1}{Z_1} + \frac{1}{Z_2} + \frac{1}{Z_3} + \dots \quad (1)$$

$$I_{Total} = I_1 + I_2 + I_3 + \dots$$

IRIG-B 시간 동기화 시스템에서 각 노드의 임피던스는 동일하기 때문에 전체 시스템에서 필요로 하는 전류는 한 노드의 전류값에서 노드의 수만큼 곱한 것과 같다. 따라서 그림 3의 등가회로에서 전체 전류 부하를 계산할 수 있다.

$$I_1 = \frac{E_S}{R_1}, I_1 = \frac{5}{500}, I_1 = 10[mA] \quad (2)$$

전체 전류 부하는 식 3과 같다.

$$I_T = I_1 \times 3, I_T = 10 \times 3, I_T = 30[mA] \quad (3)$$

위의 계산식에서 케이블에서 발생하는 손실은 포함하지 않았다. 그리고 IRIG-B 신호의 신뢰성 확보를 위해 최대 출력 전류의 80% 까지 사용할 것을 권고한다.

### 3. IRIG-B 시간 동기화 구현

#### 3.1 하드웨어 및 소프트웨어 사양

본 논문에서 사용한 IRIG-B 신호 발생장치는 SEL사의 SEL-2407 GPS 위성 동기화 클럭 장치로 IRIG 규격서 200-98을 따르며 IRIG-B 시간 포맷(Modulated IRIG-B12X, Demodulated IRIG-B00X, X:0,2)을 지원한다.

구축된 IRIG-B 시간 동기화 장치는 그림 4와 같은데 GPS 위성 클럭 장치로부터 IRIG-B 신호를 수신하여 시간 정보를 획득하고 시간 동기화 신호로 사용하고 있다. GPS 클럭 장치는 IRIG-B 신호를 모든 IED 노드에 전송하고 각 IED 노드들은 내부에 구현된 IRIG-B 프로토콜을 사용하여 시간 동기화에 필요한 시간 정보를 추출해 낸다. 본 논문에서는 SEL-2407 GPS 클럭 장치와 호환성을 맞추기 위해 IRIG 표준안 200-98에 따른 IRIG-B 프로토콜을 Verilog-HDL 하드웨어 기술 언어로 구현하였다. 제안된 알고리즘은 ALTERA사의 FLEX 10K FPGA 칩을 사용하여 구현했으며 같은 회사의 Quartus II 툴을 사용하여 코드를 합성하고 검증 및 시뮬레이션을 수행하였다.

#### 3.2 IRIG-B: 시간 동기화 장치

그림 4는 병합 단위장치를 위한 IRIG-B 시간 동기화 장치를 나타낸다.

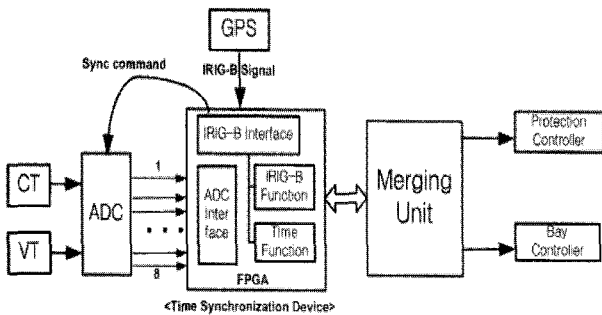


그림 4 IRIG-B 시간 동기화 장치  
Fig. 4 IRIG-B Time Synchronization Device

제안된 시스템은 크게 다음과 같이 구성되어 있다.

- FPGA를 이용한 IRIG-B 인터페이스 보드
- GPS 수신기로부터 IRIG-B 시간코드 수신하는 인터페이스 부

- Verilog-HDL 언어를 사용한 IRIG-B 시간 동기화 알고리즘 구현 부
- IRIG-B 신호로부터 UTC 시간 정보 획득 및 처리 부
- IRIG-B 시간코드 모니터링 및 PC와의 UART 통신 인터페이스 부

#### 3.3 IRIG-B: Verilog-HDL 코드 구현 및 시뮬레이션

본 논문에서는 IRIG-B 시간 동기화 장치를 FPGA를 사용하여 구현하기 위해 다음과 같은 시간 정보를 획득하는 방법을 제안하였다. 그림 5는 IRIG-B 시간 동기화 장치에서 시간 정보를 추출하는 방법을 설명하고 있다. IRIG-B 입력 신호와 1 [KHz] 내부 클럭을 비교하여 양의 펄스 폭에 따라 "0", "1", "P"에 해당하는 값을 찾아낸다. "0"은 이진 비트 0으로 양의 펄스 폭이 2 [ms], "1"은 이진 비트 1로서 양의 펄스 폭이 5 [ms], 그리고 "P"는 위치 비트를 나타내며 양의 펄스 폭이 8 [ms]를 나타낸다.

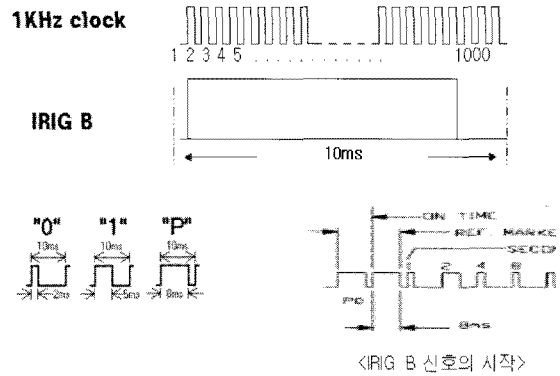


그림 5 IRIG-B 신호에서 시간 정보 추출방법  
Fig. 5 Time information Acquisition of IRIG-B

그림 6은 IRIG-B 신호 분석 방법을 나타낸 것인데 첫 번째 음영 구간은 비트 0, 두 번째 음영 구간은 비트 1, 그리고 세 번째 음영 구간은 위치 값을 의미한다. IRIG-B 신호를 한 주기(10 [ms]) 동안 내부 클럭으로 카운터 하여 3개의 카운터 값을 가지면 이진 비트 0으로 하고 6개인 경우 이진 비트 1로 한다. 그리고 9개인 경우에는 위치 정보 값으로 인식한다. 이와 같은 방법으로 전체 100개의 IRIG-B 펄스를 내부 클럭으로 카운터하여 BCD 코드 형태의 시간 정보를 획득할 수 있다.

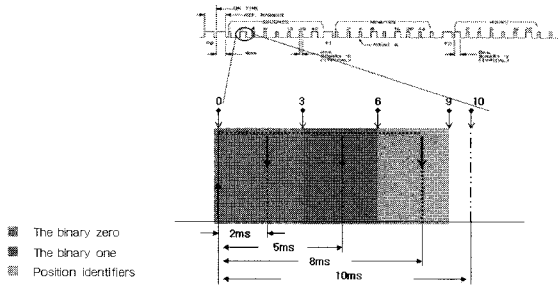


그림 6 IRIG-B 신호 분석 방법  
Fig. 6 IRIG-B Signal Analysis

그림 5와 그림 6에서 설명하고 있는 시간 정보 추출 및 신호 분석 알고리즘을 하드웨어 기술언어인 Verilog-HDL 언어를 사용하여 프로그래밍 하였다. Verilog-HDL은 HDL의 일종으로 하드웨어를 효과적이고 정확하게 기술할 목적으로 제정된 IEEE 표준 기술언어이다. 또한 회로의 문서화뿐만 아니라, 시뮬레이션과 합성의 목적에도 Verilog-HDL이 널리 활용되고 있으며, ANSI C와 유사한 구조로 되어 있어 손쉽게 알고리즘을 코드로 구현할 수 있는 장점을 가지고 있다.

그림 7은 Verilog-HDL 언어를 사용하여 IRIG-B 프로토콜을 구현한 코드를 보여주고 있다.

```

module IRIG_V (irigb_CLK, irig,          // <- in
               sec0,sec1,min0,min1,hr0,hr1); // <- out

// decoding IRIG-B signal using main CLK
always @(irig, irigb_CLK)
begin

/* IRIG-B signal 분석
하나의 펄스에서 1~3ms 동안 high 신호 -> binary '0'
1~6ms 동안 high 신호 -> binary '1'
1~9ms 동안 high 신호 -> position bit
binary value : 포지션에 따른 데이터 저장 비퍼
포지션 비트가 감지되면 비퍼의 값을 해당데이터로 전송하고
비퍼의 값을 지운다.
*/

if (count <= 10'd3) // binary '0'
    binary_value = binary_value + (0<<position);
    position = position + 1b1;

else if (count <= 10'd6) // binary '1'
    binary_value = binary_value + (1<<position);
    position = position + 1b1;

else // position_bit
    position = position + 1b1;
    binary_value = binary_value;
    posid = posid + 1'b1;

end
end
    
```

그림 7 Verilog-HDL을 이용한 IRIG-B 프로토콜 구현  
Fig. 7 IRIG-B Protocol using Verilog-HDL

Verilog-HDL로 구현된 IRIG-B 프로토콜은 ALTERA사의 Quartus II 툴을 사용하여 그림 8과 같이 검증 및 시뮬레이션을 수행하였다.

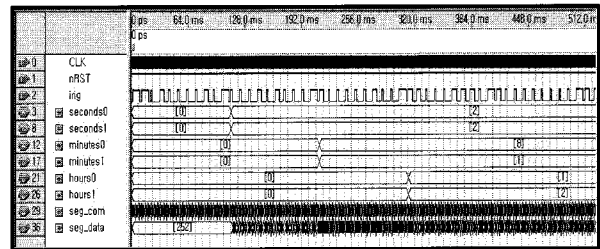


그림 8 IRIG-B 시뮬레이션 파형 및 검증  
Fig. 8 IRIG-B Simulation Waveform

#### 4. 실험 및 검토

제안된 IRIG-B 시간 동기화 장치의 성능을 검증하기 위해 그림 9와 같은 기본적인 시간 동기화 통신 실험 장치를 구성하고 IRIG-B 시간 동기화 실험을 수행하였다. 실험에서 GPS 위성 클럭 장치에서 첫 번째 노드사이의 거리는 2 [m]로 설정하였고, 두 번째 노드 및 세 번째 노드 사이의 거리는 각각 10 [m]로 설정하였다.

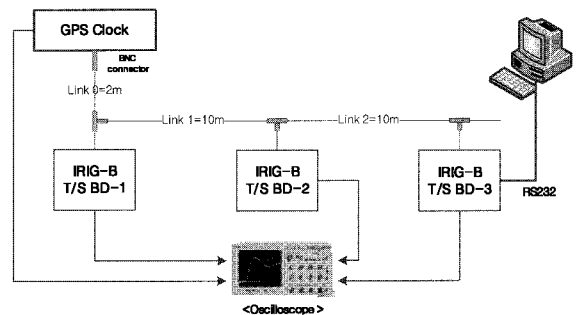


그림 9 시간 동기화 실험 장치  
Fig. 9 Time Synchronization Experimental Setup

본 실험에서는 IRIG-B 시간 포맷을 IRIG-B002로 셋팅을 하고 실험을 수행하였다. 또한 GPS 위성 클럭 장치로부터 수신한 IRIG-B 신호를 통해 각 노드에서 UTC 시간 정보를 획득하여 시간동기화를 수행하였다. 시간 동기화 실험을 통해서 그림 10에서 나타난 바와 같이 200 [ns]의 시간 정밀도를 확인할 수 있었다. 실험 결과 GPS 위성 클럭 장치로부터 거리가 멀어질수록 지연시간이 늘어나며, 약 10m 당 100 [ns]의 지연이 발생하는 것을 확인할 수 있었다.

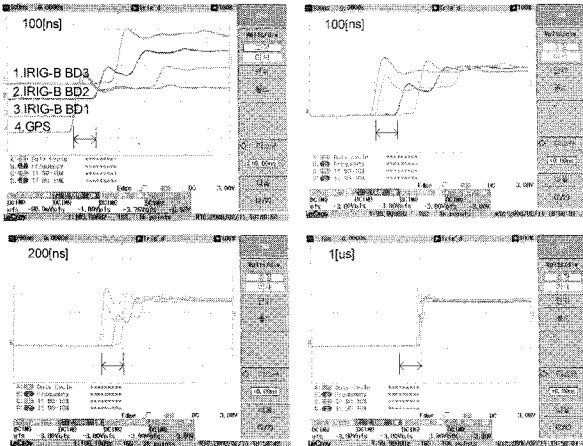


그림 10 시간동기 지연시간  
Fig. 10 Time Synchronization Delay

그림 11은 본 논문에서 제안한 시간 동기화 장치의 신뢰성을 확인하기 위해 하루 동안의 시간 정보(시간, 분, 초 데이터)를 수신하여 나타낸 것이다. 이 실험은 시간 동기화 장치에서 수신한 IRIG-B 신호로부터 시간 정보를 분리하고 RS232 통신을 통해 PC 상에서 하이퍼터미널로 하루 동안의 데이터를 저장하여 수신된 데이터를 분석한 것이다. 실험 결과 하루 동안 정확한 시, 분, 초 데이터를 수신하고 있는 것을 확인할 수 있었다.

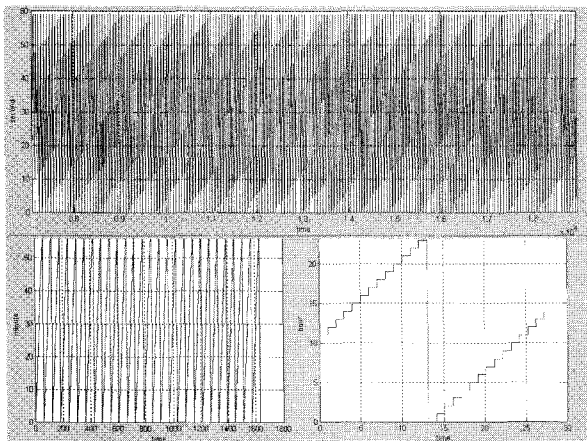


그림 11 하루 동안의 시간 데이터 분석  
Fig. 11 Time Data Analysis in one day

병합 단위 장치의 시간 동기화를 위해 시간 동기화 장치와 GPS 위성 클럭 장치를 사용한 시간 동기화 환경에서 IRIG-B 신호를 사용한 시간 동기화 실험은 성공적으로 동작함을 확인할 수 있었다. 또한 실험을 통

해 본 논문에서 제안한 시간 동기화 장치가 IEC 61850 기반의 병합 단위장치에 적용할 수 있는 시간 정밀도를 가지고 있다는 것을 확인할 수 있었다.

### 5. 결 론

본 논문에서는 IEC 61850 프로세서 레벨에 적합한 시간 동기화 방법으로 IRIG-B 프로토콜을 사용한 방법을 제시하였다. 제안된 시간 동기화 장치는 기존의 GPS 위성으로부터 UTC 시간 정보를 받아서 NTP 나 SNTP 방식으로 각 노드들에 대한 시간 동기화를 수행하는 장치들보다 구조가 간단하며, 구현이 용이하고 높은 시간 정밀도를 제공한다. 또한 FPGA 칩 상에서 VHDL 이나 Verilog-HDL 같은 하드웨어 언어를 사용하여 구현이 가능하기 때문에 병합 단위장치와의 인터페이스가 용이하고 병합 단위장치 시스템 내에 같이 설계할 수 있다. 따라서 향후 시간 동기화가 필요한 IEC 61850 기반 장치에 간단한 IRIG-B 인터페이스 보드의 추가만으로 적용할 수 있다.

본 연구는 울산대학교와 지식경제부·울산광역시 지원 네트워크 기반 자동화연구센터의 지원에 의한 것입니다.

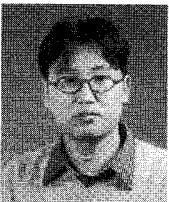
### 참 고 문 헌

- [1] 박종찬, 김병진, 김수곤, 전희중, "비선형 부하에 적용이 가능한 IED에 관한 연구", *전력전자학회 논문지*, 제8권 제5호, pp. 381-388, 2003. 10.
- [2] 이흥희, 김관수, 최웅, "IEC61850 기반 네트워크 시스템 구현에 관한 연구", *2005년 전력전자학회논문집*, pp. 605-608, 2005.
- [3] F. Engler, T. L. Kern, "IEC 61850 based digital communication as interface to the primary equipment", *Cigre 2004 Paris*, B3-205, 2004
- [4] D. L. Mills, DARPA, "Network Time Protocol (Version 3) Specification, Implementation and Analysis", *IETF RFC-1305*, 1992, March.
- [5] D. L. Mills, "Simple Network Time Protocol (SNTP) Version 4 for IPv4, IPv6 and OSI", *IETF RFC 2030*, 1996, October.
- [6] RCC, Telecommunications and Timing Group, "IRIG SERIAL TIME CODE FORMAT", *IRIG STANDARD 200-04*.
- [7] IEEE Standard 1588, "IEEE standard for a precision

clock synchronization protocol for networked measurement and control systems", 2002, Nov.

- [8] "IEC 61850-9-1-Ed. 1.0: Communication networks and systems in substations - Part 9-1: Specific Communication Service Mapping(SCSM) - Sampled values over serial unidirectional multi-drop point-to-point link", International Electrotechnical Commission, First edition 2003-05.
- [9] IEEE Standard C37.118-2005, "IEEE Standard for Synchrophasors for Power Systems."
- [10] "Synchronized Event Data Reporting", NPCC SP-6 Report, Editorial Revisions, 2006, October.

## 저 자 소 개



### **김관수(金官洙)**

1975년 3월 4일생. 2001년 울산대 제어계측공학과 졸업. 2003년 동 대학원 제어계측공학과 졸업(석사). 2003년~현재 동 대학원 전기전자정보시스템공학과 박사과정.



### **이홍희(李弘熙)**

1957년 10월 15일생. 1980년 서울대 공대 전기공학과 졸업. 1982년 동 대학원 전기공학과 졸업(석사). 1990년 동 대학원 전기공학과 졸업(공박). 1994년~1995년 Texas A&M 방문교수. 현재 울산대 전기전자정보시스템공학부 교수. 울산대 RIC 네트워크 기반 자동화연구센터(NARC) 센터장.



### **김병진(金炳鎭)**

1970년 6월 26일생. 1994년 숭실대 전기공학과 졸업. 1996년 동 대학원 전기공학과 졸업(석사). 2001년 동 대학원 전기공학과 졸업(공박). 현재 현대중공업(주) 기계전기연구소 책임연구원.