

고속 디지털 회로의 SSN 억제를 위한 자성 재료가 적용된 복합형 EBG 전원면

Composite EBG Power Plane Using Magnetic Materials for SSN Suppression in High-Speed Digital Circuits

엄동식 · 김동엽 · 변진도 · 이해영

Dongsik Eom · Dong-Yeop Kim · Jindo Byun · Hai-Young Lee

요 약

본 논문에서는 고속 디지털 회로에서 발생하는 SSN(Simultaneous Switching Noise)을 억제하기 위한 자성 재료가 적용된 복합형 EBG(Electromagnetic Bandgap) 구조의 전원면을 제안하였다. 제안된 EBG 구조는 정사각형 패치와 나선형 선로로 구성된 단위 셀이 주기적으로 연결되어 있으며, 자성 재료는 EBG 구조의 단위 셀 위에 국부적으로 적용되었다. 자성 재료의 투자율 실수 성분은 EBG 단위 셀 사이의 유효 인덕턴스를 증가시켜 밴드갭을 낮은 주파수로 이동시키고, 자성 손실 특성을 갖는 허수 성분은 단위 셀 사이에서 야기되는 기생 LC 공진의 피크값을 낮춘다. 그 결과 제안된 구조는 기존 EBG 구조에 비해 낮은 차단 주파수 특성을 가지며, -30 dB 저지 대역을 기준으로 175 MHz에서 7.7 GHz까지 넓은 억제 대역폭을 나타냈다. 제안된 구조는 전원 무결성 개선 및 EBG 전원면 소형화에 크게 기여할 것으로 기대된다.

Abstract

In this paper, a new composite electromagnetic bandgap(EBG) structure using magnetic materials is proposed for simultaneous switching noise(SSN) suppression in the high-speed digital circuits. The proposed EBG structure has periodic unit cells of square-patches connected by spiral-shaped bridges. The magnetic materials are located on the unit cells of spiral-shaped EBG. The real part of the permeability shifts bandgap to the lower frequency region due to the increased effective inductance. The imaginary part of the permeability has magnetic loss that decreases parasitic LC resonance peaks from between the unit cells. As a result, the proposed structure has the lower cut-off frequency compared with conventional EBG structure and -30 dB SSN suppression bandwidth from 175 MHz to 7.7 GHz. The proposed structure is expected to improve the power integrity and reduce the size of the EBG power plane.

Key words : Elelctromagnetic Bandgap(EBG), Simultaneous Switching Noise(SSN), Magnetic Materials, High-Speed Digital Circuits

I. 서 론

최근 고속 디지털 회로에 대한 수요가 높아지고 낮은 전위, 높은 클럭 주파수를 이용함에 있어 전원/접지층 사이에서의 SSN(Simultaneous Switching Noi-

se)이 중요한 문제로 대두되고 있다. 많은 수의 출력 구동 회로가 클럭에 동기되어 스위칭하게 되면, 전원/접지층에 순간적으로 많은 양의 전류가 흐르게 된다. 이 때, 전원부의 출력 구동 회로가 연결된 지점 사이에 존재하는 인덕턴스가 전류의 시간 변화율

아주대학교 전자공학과(Department of Electronics Engineering, Ajou University)

· 논문 번호 : 20080523-18S

· 수정완료일자 : 2008년 7월 25일

에 비례하여 전압 변동을 일으킨다. 이로 인한 SSN은 전원/접지층 사이의 공진 현상을 일으켜 신호 무결성(signal integrity), 전원 무결성(power integrity)에 악영향을 미칠 뿐만 아니라 EMI(Electromagnetic Interference) 장애로도 귀결된다^{[1],[2]}. 이에 따라 SSN의 생성 억제 및 전원/접지층으로 이루어진 평행판 공진 모드를 통한 SSN의 전파를 억제하는 방법에 관한 연구가 활발히 진행되고 있다.

일반적으로 SSN을 억제하기 위하여 디커플링 캐패시터 또는 높은 유전율을 갖는 얇은 필름 형태의 내장형 박막 캐패시터(embedded thin film capacitor)를 사용한다. 그러나 디커플링 캐패시터는 수백 MHz 대역까지만 동작하여 고속 디지털 회로에서 문제가 되는 GHz 대역의 SSN을 효과적으로 억제하지 못한다. 내장형 박막 캐패시터는 디커플링 캐패시터에 비해 높은 주파수 대역에서 SSN 억제 특성이 좋아지지만, 실제 적용시에 공정 비용의 증가 및 신뢰성 측면에 한계가 있으며, 사용 주파수 대역이 수백 MHz까지로 제한적이다^{[3],[4]}.

이로 인해 GHz 대역의 SSN 전파 억제를 위한 새로운 방법에 대한 요구가 높아지고 있다. 이러한 요구의 대안으로 EBG(Electromagnetic Bandgap) 구조를 적용한 전원면 설계 방법이 제시되었다^[1]. EBG 구조는 매우 높은 임피던스를 갖는 특정 주파수 대역에서 도체면을 통해 전파하는 표면 전류의 흐름을 억제하여 GHz 영역에서의 SSN과 같은 잡음을 효과적으로 억제할 수 있다. EBG 구조는 크게 다층 EBG와 단층 EBG로 나눌 수 있는데, 다층을 사용할 경우 제작 과정이 복잡하고 비용 면에서 불리한 점이 있다. 이러한 점을 보완하기 위해 단층만을 사용한 전원면에 대한 연구가 계속되고 있다^[5]. 최근에는 EBG 구조를 소형 디지털 기기에 적용하기 위해 EBG 전원면을 소형화 하기 위한 연구도 진행되고 있다^[7].

대표적으로 EBG 구조의 단위 셀 간의 연결 경로를 길게 하거나 전원/접지층 사이에 높은 투자율을 갖는 자성 재료를 삽입하여 유효 인덕턴스를 증가시키는 방법이 있다^{[7]-[9]}.

후자의 경우, 무기적 물질 특성을 갖는 자성 재료를 유기적 물질 특성을 갖는 PCB(Printed Circuit Board)의 전원/접지층 사이에 삽입하는 것은 내장형 박막 캐패시터와 같이 공정 비용의 증가를 야기시킬

수 있으며, 열 팽창 문제 등의 신뢰성 문제를 야기할 수 있다.

본 논문에서는 정사각형 패치와 나선형 선로로 구성된 단층 EBG 구조에 자성 재료를 단위 셀 위에 외장하여 국부적으로 적용한 새로운 구조를 제안하였다. 그 결과, 제안된 구조는 175 MHz에서 7.7 GHz 까지 넓은 주파수 대역에서 SSN을 억제하였으며, 저주파 대역에서 개선된 특성을 보여 EBG 전원면 소형화에 크게 기여할 것으로 기대된다.

II. 구조

2-1 자성 재료의 특성

본 논문에서 사용된 자성 재료는 상용 제품인 EMI 억제 시트(자화 전자: Model. LCW)를 사용하였다.^[10] 자성 재료가 사용된 EMI 억제 시트는 복소 투자율(실수 성분: μ_r' , 허수 성분: μ_r'')을 갖는데, 이에 대한 주파수 특성을 그림 1에 나타냈다. EMI 억제 시트의 복소 투자율 μ_r' 은 10 MHz 이전에서는 37의 값을 갖고 10 MHz 이후부터는 감소하는 특성을 보인다. μ_r'' 은 10 MHz 이하에서는 0의 값을 갖고, 10 MHz 이후부터 증가하여 700 MHz 이상에서는 μ_r' 보다 큰 값을 가진다. 이러한 특성을 갖는 자성 재료를 EBG 구조에 적용시 복소 투자율의 영향으로 단위 셀 사이의 인덕턴스가 증가하게 된다.

2-2 자성 재료가 적용된 EBG 구조

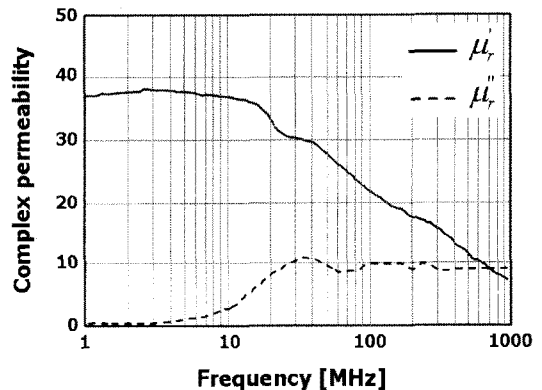


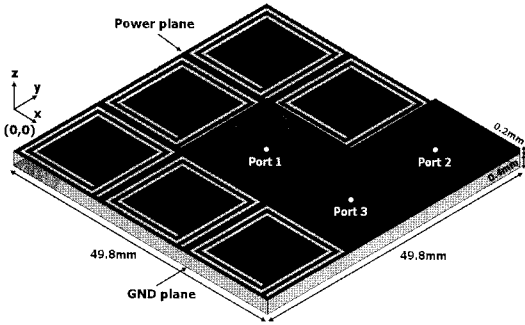
그림 1. 자성 재료의 복소 투자율 특성
Fig. 1. The complex permeability characteristics of magnetic materials.

III. 해석 및 측정 결과

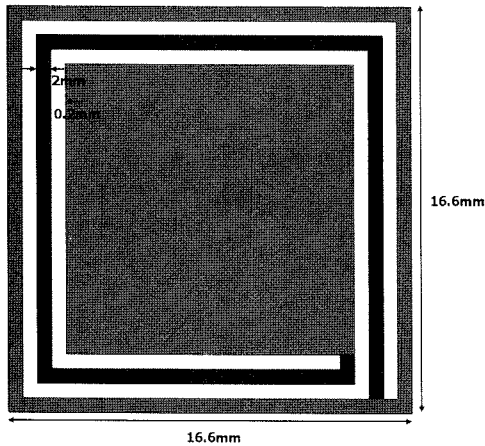
3-1 주파수 영역 해석

본 논문에서 제안하는 복합형 EBG 구조는 SSN 억제 특성과 밀접한 관련이 있는 삽입 손실(S_{21})을 측정하여 확인하였다. 비교 대상으로 평행판 도파관과 S-bridged EBG^[9] 구조를 함께 설계, 해석하였다. 해석은 Ansoft사의 HFSS 10.1^[11]을 이용하였으며, 측정을 위한 각각의 포트는 그림 2(a)에 나타났다. 그림 3(a)는 자성 재료가 적용되지 않은 나선형 EBG 구조의 삽입 손실을 측정한 것이다.

대역폭을 -30 dB 이하의 삽입 손실(S_{21})로 정의



(a) 복합형 EBG 전원면
(a) Composite EBG power plane

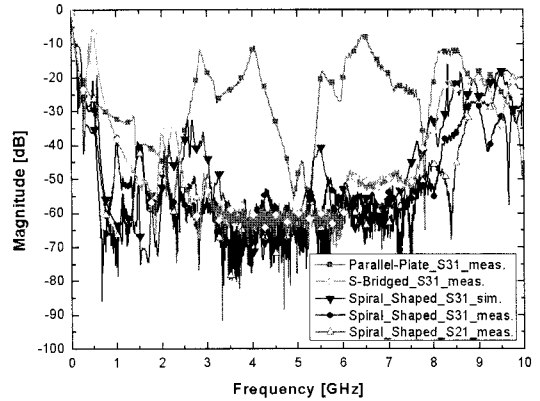


(b) 나선형 EBG 구조의 단위 셀
(b) Spiral shaped EBG structure unit cell

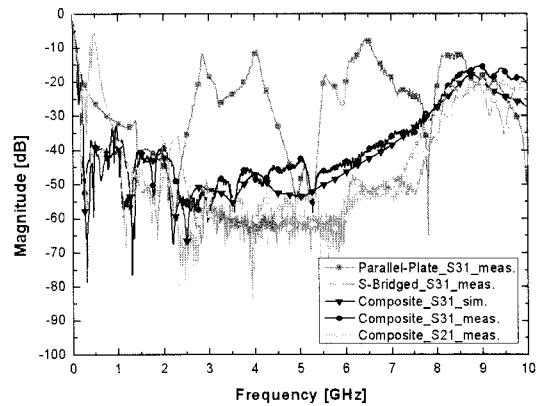
그림 2. 복합형 EBG 전원면의 구조
Fig. 2. The structure of composite EBG power plane.

그림 2(a)는 본 논문에서 제안한 자성 재료가 적용된 복합형 EBG 구조를 나타낸다. 제안된 구조는 0.2 mm의 두께를 갖는 자성 재료를 나선형 EBG 구조의 단위 셀 위에 외장하여 국부적으로 적용하였다. EMI 억제 시트의 복소 투자율은 그림 1과 같은 값을 가지며, 유전율은 $\epsilon=20$ 을 갖는다. 기판의 크기는 기존 논문^{[8],[9]}에 비해 40% 축소된 49.8×49.8×0.4 mm의 FR-4가 사용되었다.

그림 2(b)는 나선형 EBG 구조의 단위 셀을 나타낸다. 단위 셀은 정사각형 패치와 인덕턴스 성분을 키우기 위한 나선형 선로로 구성되어 있으며, 서로 주기적으로 연결되어 있다. 패치의 크기는 가로, 세로 각각 15 mm이며, 선로의 폭과 선로 사이의 간격은 각각 0.2 mm로 설계하였다.



(a) 나선형 EBG 전원면
(a) Spiral shaped EBG power plane



(b) 복합형 EBG 전원면
(b) Composite EBG power plane

그림 3. 잡음 전달 특성 시뮬레이션 및 측정 결과
Fig. 3. Numerical simulation and measurement of the magnitude.

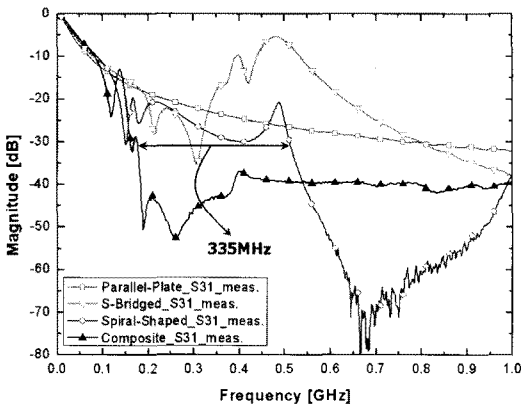


그림 4. 복합형 EBG 구조의 밴드 갭 주파수 이동 특성 비교

Fig. 4. Comparison between the lower frequency edge of the bandgap for the spiral shaped EBG structure and composite EBG structure.

했을 때, S-bridged EBG 구조는 측정 결과 S_{31} 이 800 MHz에서 8.1 GHz까지 SSN 억제 특성을 보였으며, 나선형 EBG 구조는 S_{31} 측정 결과 510 MHz에서 8.7 GHz까지 넓은 주파수 대역에서 SSN을 억제하는 특성을 보였다. 이는 나선형 EBG 구조가 S-bridged EBG 구조에 비해 단위 셀들이 긴 경로를 통해 연결되어 보다 큰 유효 인덕턴스를 갖기 때문에 향상된 저주파 영역 차단 주파수 특성을 얻을 수 있었다. 또한 제안된 구조의 저지 대역폭이 고주파 영역까지 크게 향상됨을 확인할 수 있다.

자성 재료가 적용된 복합형 EBG 구조는 S_{31} 측정 결과, 그림 3(b)와 같이 175 MHz에서 7.7 GHz까지의 주파수 대역에서 SSN을 억제하여 나선형 EBG 구조와 비교할 때 저주파 영역으로 밴드갭이 이동하는 특성을 보였다. 이는 자성 재료의 투자율 실수 성분과 높은 유전율이 SSN 억제 주파수 대역을 낮은 주파수 대역으로 이동시킨 결과이며, 높은 유전율은 HIS(High Impedance Surface)^[2] 특성을 갖는 EBG 구조의 단위 셀 간의 연결을 캐패시티브하게 하여 HIS의 높은 임피던스를 낮아지게 하여 저지 대역폭을 약 10 dB 정도 상승시킨다. 그러나 -30 dB 이하의 삽입 손실로 정의된 대역폭에는 큰 영향을 주지 않는다. 기존 EBG 구조^{[8],[9]}는 단위 셀 사이에서 기생 LC 공진을 일으키는데, 자성 재료가 적용되지 않은 나선형 EBG 구조도 약 500 MHz에서 기생 LC 공진

을 일으키는 것을 그림 4에서 확인할 수 있다. 그러나 자성 재료를 적용한 복합형 EBG 구조는 자성 손실을 야기하는 투자율 허수 성분이 기생 LC 공진의 Q 값을 낮추게 된다. 그 결과 저주파 영역의 차단 주파수는 335 MHz 향상된 특성을 얻을 수 있었다.

3-2 시간 영역 해석

제안된 구조와 비교 대상인 평행판 도파관의 SSN 전달 특성을 시간 영역에서 측정하였다. 입력 소스인 Pulse pattern generator(Anritsu사의 MP1763C)를 통해 그림 5와 같이 2.25 Gbps의 속도를 갖는 ±500 mV 크기의 펄스 신호를 포트 1에 인가하고 포트 3에서 측정하였다. 그림 6(a)는 평행판 도파관의 측정 결과로서 피크 투 피크 전압이 30 mV로 나타났으며, 제안된 복합형 EBG 전원면은 그림 6(b)와 같이 피크 투 피크 전압이 7.5 mV로 나타나 평행판 도파관과 비교했을 때 SSN이 75 % 감소하여 제안된 구조가 효과적으로 SSN을 억제함을 확인할 수 있다.

3-3 EMI Radiation 해석

SSN은 전원/접지층 사이를 통해 전파되어 PCB의 열린 외곽면을 통해 방사되며, EMI에 직접적인 영향을 미치게 된다.

제안된 구조의 EMI 특성을 확인하기 위해 전자파 무반향실 내에서 실제 측정을 하였다. 제안된 구조의 포트 1에 잡음을 인가하여 3 m 떨어진 거리에서 10 MHz~1 GHz까지는 bi-log 안테나를, 1~8 GHz까

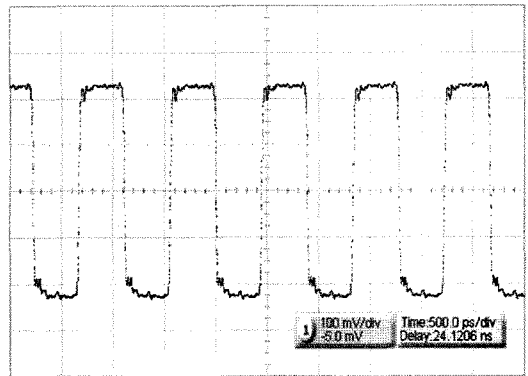
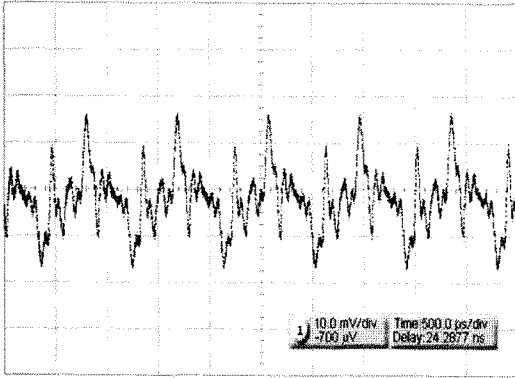
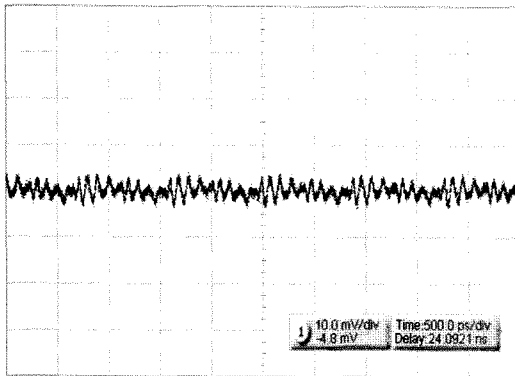


그림 5. Pulse pattern generator를 통해 인가된 파형
Fig. 5. The waveform of the excitation source launched from a pulse pattern generator.



(a) 평행판 도파관
(a) Parallel plate waveguide



(b) 복합형 EBG 전원면
(b) Composite EBG power plane

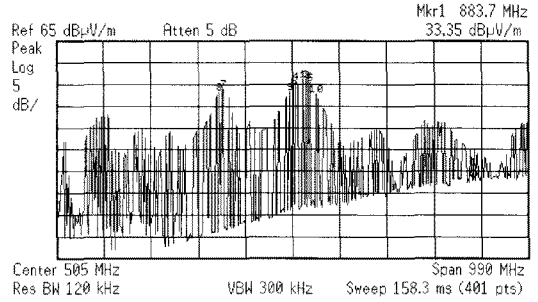
그림 6. 제안된 구조의 시간 영역 SSN 전달 특성 측정

Fig. 6. Measured SSN suppression characteristics in the time domain.

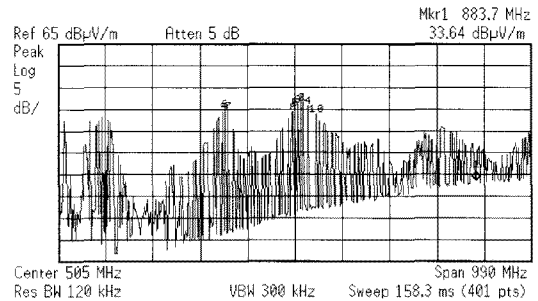
지는 horn 안테나를 이용하여 측정하였다. 비교 대상으로 평행판 도파관의 EMI 특성을 함께 측정하였으며, 그림 7과 그림 8에 각각 측정된 주파수 영역에서의 특성을 나타냈다. 그림 7, 8에서 볼 수 있듯이 제안된 구조가 평행판 도파관과 비교하여 저주파 대역에 해당하는 주파수 영역에서 EMI Radiation이 대부분 낮게 측정되었다.

IV. 결론

본 논문에서는 고속 디지털 회로의 SSN 억제를 위한 자성 재료가 적용된 복합형 EBG 구조를 제안하였다. 제안된 구조는 각각의 단위 셀이 나선형의



(a) 평행판 도파관
(a) Parallel plate waveguide



(b) 복합형 EBG 전원면
(b) Composite EBG power plane

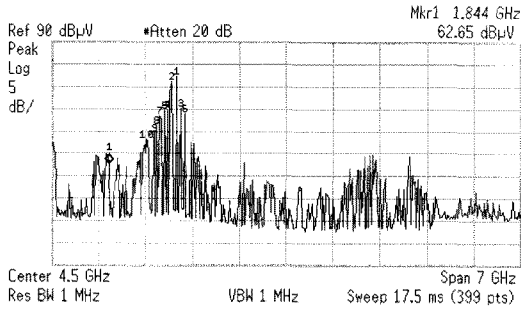
Type \ MHz	150	350	400	530
Reference structure	39.44	54.09	44.03	56.15
Proposed structure	28.64	49.61	39.22	51.66

그림 7. 1 GHz 이내 영역, Y 방향에서의 EMI Radiation 측정(단위: $dB\mu V$)

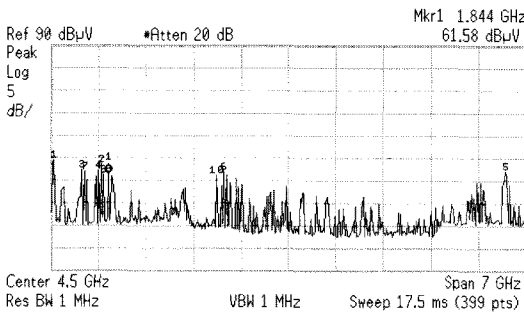
Fig. 7. EMI radiation measurement below 1 GHz at Y direction(Unit: $dB\mu V$).

긴 경로를 통해 연결되고 자성 재료의 투자율 실수 성분이 작용하여 억제 대역폭이 낮은 주파수로 이동하였다. 자성 재료의 손실 특성을 갖는 투자율 허수 성분이 단위 셀 사이에서 야기되는 기생 LC 공진의 Q값을 낮추어 저주파 영역의 차단 주파수가 510 MHz에서 175 MHz로 이동하여 335 MHz 향상된 특성을 얻을 수 있었다. 그 결과 175 MHz에서 7.7 GHz 까지 넓은 주파수 대역에서 SSN을 억제하는 특성을 보였다. 시간 영역에서도 평행판 도파관에 비해 SSN이 감소하는 특성을 보였고, EMI Radiation 특성도 현저히 낮은 레벨을 나타냈다.

참고 문헌



(a) 평행판 도파관
(a) Parallel plate waveguide



(b) 복합형 EBG 전원면
(b) Composite EBG power plane

Type \ GHz	2.4	2.8	5.73	6.38
Reference structure	68.31	82.27	65.91	63.12
Proposed structure	50.09	55.31	56.43	53.42

그림 8. 1~8 GHz까지의 영역, Y 방향에서의 EMI Radiation 측정(단위: $dB\mu V$)

Fig. 8. EMI radiation measurement between 1 GHz and 8 GHz at Y direction(Unit: $dB\mu V$).

제안된 구조는 전원/접지층에 자성 재료를 내장한 기존 논문^[7]과는 달리 전원면 위에 외장하여 공정 및 실제 적용에 있어 보다 현실적인 방법을 제시한다. 본 논문의 구조와 같이 저주파 특성이 개선된 EBG 전원면을 이용할 경우, 정전용량이 큰 디커플링 캐패시터의 사용을 가능하게 하여 고속 디지털 회로의 전반적인 회로 향상에 기여할 것으로 예상되며, 크기가 작은 EBG 전원면은 소형 디지털 기기에 효과적으로 적용되어 실용화될 것으로 기대된다.

[1] T. Kamgaing, O. M. Ramahi "A novel power plane with integrated simultaneous switching noise mitigation capability using high impedance surface", *IEEE Microw. Compon. Lett.*, vol. 13, no. 1, pp. 21-23, Jan. 2003.

[2] R. Abhari, G. V. Eleftheriades, "Metallo-dielectric electromagnetic bandgap structures for suppression and isolation of the parallel-plate noise in high speed circuits", *IEEE Trans. Microw. Theory Tech.*, vol. 51, no. 6, pp. 1629-1639, Jun. 2003.

[3] V. Ricchiuti, "Power-supply decoupling on fully populated high-speed digital PCBs", *IEEE Trans. Electromagn. Compat.*, vol. 43, no. 4, pp. 671-676, Nov. 2001.

[4] M. Xu, T. H. Hubing J. Chen, T. P. Van Doren, J. L. Drewniak, and R. E. DuBroff, "Power-bus decoupling with embedded capacitance in printed circuit board design", *IEEE Trans. Electromagn. Compat.*, vol. 45, no. 1, pp. 22-30, Feb. 2003.

[5] T. L. Wu, C. C. Wang, Y. H. Lin, T. K. Wang, and G. Chang, "A novel power planes with low radiation and broadband suppression of ground bounce noise using photonic bandgap structures", *IEEE Microw. Wireless Compon. Lett.*, vol. 14, no. 7, pp. 337-339, Jul. 2004.

[6] T. L. Wu, Y. H. Lin, T. K. Wang, C. C. Wang, and S. T. Chen, "Electromagnetic bandgap power/ground planes for wideband suppression of ground bounce noise and radiated emission in high-speed circuits", *IEEE Microw. Theory Tech.*, vol. 53, no. 9, Sep. 2005.

[7] Y. Toyota, K. Iokibe, R. Koga, A. E. Engin, T. H. Kim, and M. Swaminathan, "Miniaturization of electromagnetic bandgap structures with high-permeability magnetic metal sheet", *IEEE Int. Symp. Electromagn. Compat.*, Jul. 2007.

[8] T. L. Wu, C. C. Wang, Y. H. Lin, T. K. Wang, and G. Chang, "A novel power plane with super wideband elimination of ground bounce noise on high

speed circuits", *IEEE Microw. Wireless Compon. Lett.*, vol. 15, no. 3, pp. 174-176, Mar. 2005.

[9] S. H. Joo, D. Y. Kim, and H. Y. Lee "A S-bridged inductive electromagnetic bandgap power plane for suppression of ground bounce noise", *IEEE Microw.*

Wireless Compon. Lett., vol. 17, no. 10, pp. 709-711, Oct. 2007.

[10] <http://ko.jahwa.co.kr/main.asp>

[11] Ansoft Corporation, Korea, Ansoft HFSS, Ver. 10.1.

엄 동 식



2007년 2월: 명지대학교 전자공학과 (공학사)

2007년 3월~현재: 아주대학교 전자공학과 석사과정

[주 관심분야] SI/EMC, RFIC

변 진 도



2006년 8월: 아주대학교 전자공학부 (공학사)

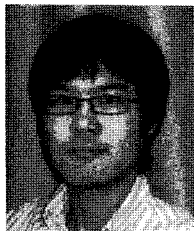
2008년 8월: 아주대학교 전자공학과 (공학석사)

2008년 9월~현재: 아주대학교 전자공학과 박사과정

[주 관심분야] 초고주파 회로 설계, SI/EMC

SI/EMC

김 동 엽



2007년 2월: 아주대학교 전자공학부 (공학사)

2007년 3월~현재: 아주대학교 전자공학과 석사과정

[주 관심분야] 초고주파 회로 설계, SI/EMC

이 해 영



1980년 2월: 아주대학교 전자공학과 (공학사)

1982년 2월: 한국과학기술원 전기 및 전자공학과 (공학석사)

1982년~1986년: 국방부연구소사무관

1989년12월: The University of Texas at Austin (공학박사)

1990년~1992년: LG 기술원기초1실장

1992년~현재: 아주대학교 전자공학부 정교수

[주 관심분야] 고속/고밀도 System in Package, RF 소자 및 광전소자의 설계/측정, 고속반도체테스트기술