

사례 발표

초저전력 중국형 DSRC SoC 개발

목 차

1. 서 론
2. DSRC 표준의 소개
3. 중국형 DSRC SoC
4. 초저전력 기술
5. 결 론

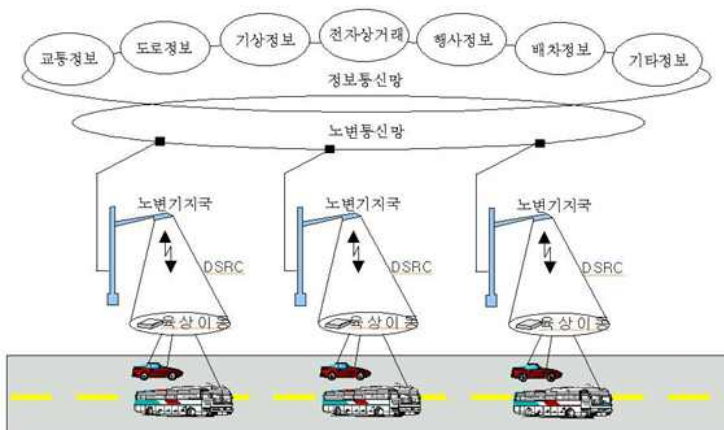
신대교 · 박부식 · 정한균 · 임기택
최종찬 · 김수원
(전자부품연구원)

1. 서 론

현재 지능형 교통 시스템 (ITS, Intelligent Transportation Systems) 기술은 교통 체증으로 증가하는 사회 비용 감소, 운전자의 안전과 편리를 위한 교통 안내, 물류 및 교통 정보 안내 등의 응용으로 그 중요성이 높아가고 있다. (그림 1)은 ITS의 구성 요소와 서비스에 대한 것을 도식적으로 표현한 그림이다. 노변기지국 (RSE, Road-Side Equipment)는 backbone 망을 통하

여 교통 정보, 도로 정보, 기상 정보, 전자 상거래, 행사 정보, 배차 정보 등을 받고 이를 DSRC 통신을 통하여 차량에게 서비스를 제공한다.

ETC(Electronic Toll Collection), BIS(Bus Information System), CVO(Commercial Vehicle Operation), ATIS(Advanced Traveller Information System) 등 다양한 서비스 제공을 목표로 하고 있으며, 이의 기반인프라로서 차량과 노변간의 통신을 위한 DSRC 통신망 구축이



(그림 1) ITS의 구성 요소와 서비스

필수적이다. DSRC 통신은 차량에 설치된 OBU (On-Board Unit)과 노변에 설치된 RSE 사이에 1Km 이내의 단거리 통신을 한다. DSRC는 현재 차량 통행료 자동 징수 서비스가 가장 중요한 서비스로 전 세계적으로 사용되고 있다. 유럽을 비롯한 미국에서는 이미 DSRC를 통한 ETC 서비스가 사용되고 있으며, 일본도 상용서비스가 진행되고 있다. 한국에서는 Hi-pass란 이름의 ETC 서비스가 전국의 고속도로 톨게이트에 설치되어 운영되고 있다.

2. DSRC 표준의 소개

본 장에서는 DSRC를 사용한 ITS 서비스를 실행하고 있는 국가별로 DSRC 표준에 대해서 설명한다. 현재 DSRC를 사용하여 ETC (Electronic Toll Collection)를 시행하고 있는 국가는 유럽, 미국, 일본 및 한국이 있고, 2008년 5월에 표준을 발표하고 시범서비스 중인 중국이

있다. <표 1>은 유럽, 미국, 일본, 한국 및 중국의 DSRC 표준에 비교에 대하여 표시한 것이다.

DSRC 통신을 OBU에 자체 발전기의 유무로 구분하여 보면 두 가지 방식으로 구분된다. 수동 방식과 능동 방식이다. 수동 방식은 유럽 표준에서 지원하는 방식이며, 능동 방식은 일본, 한국, 중국에서 사용하는 방식이다. 미국은 수동방식과 능동방식을 동시에 지원하는 듀얼 모드 (Dual-mode)이다.

2.1 수동 방식

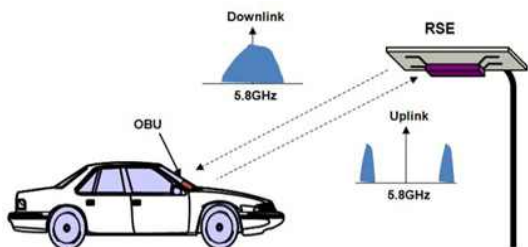
유럽과 미국의 DSRC 표준에서 사용하는 방식은 OBU에 자체 반송파 발전기가 없어 RSE에서 송신하는 반송파를 수신하면, 수신한 반송파에 송신할 데이터와 반송파를 함께 곱하여 반사하는 방식으로, 수동 방식 또는 back scattering 방식이라고 한다. 장점은 회로가 간단하고, 전력 소모가 작고, 가격이 저렴하다. 단점은 주파수

<표 1> 국가 별 DSRC 표준의 비교

항목	유럽	미국	일본	한국	중국
	하향 링크				
반송파 주파수	5.7975GHz, 5.8025GHz, 5.8075GHz, 5.8125GHz	902~904Mhz, 909.75~921.75Mhz	5.795GHz, 5.805GHz	5.795Ghz, 5.805GHz	5.830GHz 5.840GHz
안테나 편파	좌수회전	수평선형편파, 좌수원형편파	우수원형편파	우수원형편파	우수원형파
변조	Binary ASK	2단계 ASK	ASK	ASK	ASK
데이터 부호화	FMO	Manchester	Manchester	Manchester	FMO
통신 속도	500Kbps	500Kbps	1024Kbps	1024Kbps	256Kbps
	상향 링크				
반송파주파수	부반송파 주파수 1.5MHz, 2MHz	능동 : 915Mhz 수동 ; 부반송파 2MHz	5.835Ghz, 5.845Ghz	5.835Ghz, 5.845Ghz	5.790GHz, 5.800GHz
안테나 편파	좌수 회전	수평선형편파, 좌수원형편파	우수원형편파	우수원형편파	우수원형파
변조	BPSK	능동 : 2단계 ASK 수동 : BPSK	ASK	ASK	ASK
데이터부호화	NRZI	능동: Manchester 수동: NRZI	Manchester	Manchester	FMO
통신속도	250Kbps	500Kbps	1024Kbps	1024Kbps	512Kbps

재사용률이 낮으며 통신 거리에 10m 정도로 짧다. 주파수 재사용률이 낮기 때문에 인접한 RSE 간의 간격이 적어도 250m 이상이어야 한다. <표 1>에서 보인 것처럼 수동방식으로 동작하는 DSRC 통신은 downlink를 위한 반송파 주파수 대역만이 기술되어 있고, uplink를 위하여는 부반송파 주파수만 적혀있다.

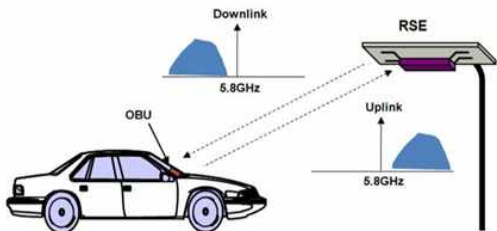
(그림 2)는 수동 방식을 사용하는 DSRC 통신을 나타낸 것이다. RSE는 반송파 주파수 대역으로 데이터를 송신하지만, OBU는 수신한 반송파 주파수 대역에 부반송파 주파수 대역만큼 떨어진 곳에 데이터의 스펙트럼이 나타난다.



(그림 2) DSRC 수동방식의 통신

2.2 능동 방식

능동 방식은 OBU가 자체 발진기를 가지고 있으므로, downlink와 uplink의 반송파 주파수 대역이 다르게 나타난다. (그림 3)에 보이듯이 송수신 데이터의 스펙트럼도 다른 주파수에 위치하게 된다. 능동방식은 통신의 감도가 좋고 통신 범위가 넓지만, 회로가 복잡하고 가격이 비싸다.



(그림 3) DSRC 능동방식의 통신

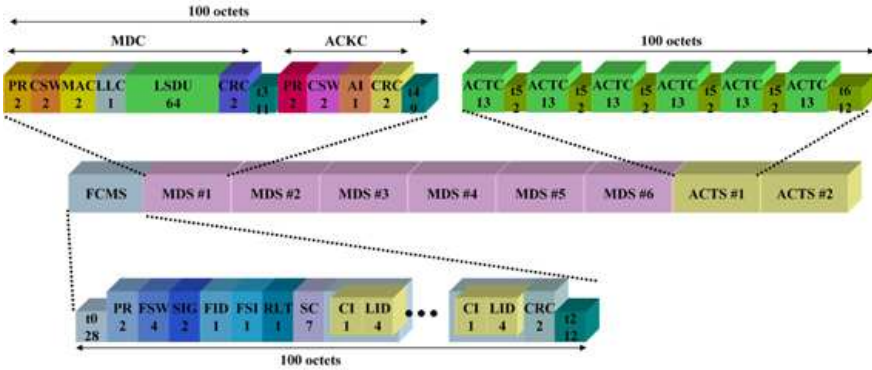
능동 방식을 사용하는 DSRC 시스템의 MAC 계층은 동기 모드와 비동기 모드로 구성된다. DSRC 프레임은 (그림 4)와 같이 세가지 메시지 슬롯으로 구성되어 있다. 동기 모드는 RSE에서 FCMS (Frame Control Message Slot)을 통하여 전송되는 프레임 구조에 대한 정보를 OBU에게 방송 메시지로 전송되며, FCMS에는 메시지 슬롯의 할당 정보가 들어 있어서 해당 OBU는 할당된 슬롯에 메시지를 전송하거나 받는 구조로 되어 있다. 비동기 모드는 메시지 슬롯을 할당받기 위하여 OBU가 RSE에게 FCMS에 정의된 ACTS (Activation slot) 슬롯에 메시지를 전달하는 것을 말한다.

DSRC 프레임은 FCMS, MDS(Message data slot), 그리고 ACTS으로 조합된 프레임이 주기적으로 반복된다.

FCMS은 RSE가 주기적으로 프레임의 첫 부분에 FCMS을 broadcast하며, FCMS 구성 정보는 프로토콜 버전, 출력의 크기, RSE의 Fixed Equipment Identifier, MDS와 ACTS의 구성 정보, DSRC 서비스 코드, MDS를 사용 가능한 OBE의 LID(Link Identifier) 및 MDS의 direction (downlink/uplink)의 정보를 가지고 있다.

MDS는 메시지 전송 슬롯(MDC)과 응답 전송 슬롯(ACKC)으로 구성되어 있으며, Sequence 번호를 이용한 fragmentation/assemble을 지원한다. FCMS에 미리 설정된 MDS의 방향정보에 따라 상향, 하향으로 송수신될 수 있다.

ACTS은 OBU가 RSE와 통신하기 위한 채널을 할당받기 위하여 액세스하는 슬롯으로 하나의 ACTS에는 수개의 ACTC (Activation Channel) 포함하고 있다. MDS 확보를 위해 OBU 들 간의 경쟁 방식으로 접근하도록 되어 있으며, OBE의 LID를 RSE에게 전달한다. Activation Probability(AP)를 이용한 혼잡 회피 방법 제공한다. ACTS 통신은 경쟁 방식으로 시도하므로 비동기 모드이다.



(그림 4) 능동 방식의 DSRC 프레임 구조



(그림 5) 중국 DSRC 프레임 구조

2.3 중국의 DSRC 표준

중국의 DSRC는 2008년 5월에 중화인민공화국 국가표준에서 GB/T20851-2007 으로 발표하였다. 유럽 표준과 유사한 형태의 프레임 구조를 가지고 있으며, HDLC 통신 방식을 기반으로 발표되었다. 다른 국가의 DSRC 표준과는 달리 비동기 형식으로 데이터 통신을 시작하며, RSE의 경우에는 Preamble 필드 전에 Wakeup 신호를 생성을 위하여 14MHz 클럭 신호를 수십 ms동안 보낸다.

Start Flag와 End Flag는 8비트의 "01111110"으로 고정된 값을 보내며, 두 flag 사이의 데이터는 '1'이 연속적으로 5개 이상이면 강제적으로 '0'을 삽입하여 수신 시스템이 데이터를 flag로 오동작하지 않도록 한다. Preamble과 Postamble은 최장 16비트의 '0'을 보내어 OBU의 동기를

맞추도록 도와준다. 주소값은 32비트를 사용하며, 주소값이 모두 '1'인 주소는 방송 주소로 사용된다. 송신 또는 수신된 데이터의 무결점을 보증하기 위하여 FCS를 생성하여 사용하며, FCS 생성 다항식은 한국 DSRC 표준안과 동일하게 CCITT 표준의 $G(x) = X^{16} + X^{12} + X^5 + 1$ 을 사용한다.

3. 중국형 DSRC SoC 설계

중국형 DSRC SoC는 Atmel 사의 8비트 마이크로 프로세서를 기반으로 설계되었으며, 다음과 같은 특징을 가지고 있다. SoC 내부에 Flash 메모리와 SRAM 메모리를 집적하여 외부의 메모리 없이 동작하도록 되어 있으며, ETC 서비스를 위하여 T-DES 암호화 블록과 스마트 카드 인터페이스가 내장되어 있다.

- High Performance 8-bit CPU core up to 20MHz
- Embedded Nonvolatile Program Memory (Flash) : 64KB
- Embedded Data Memory : 8KB
- T-DES/DES Encryption
- SmartCard Interface : 2xUSART
- Embedded H/W DSRC Modem supports GB/T 20851-2007
- LCD Controller /Driver : 16 SEG x 4 COM
- Analog Comparator
- Low Power Dissipation : $\leq 9\text{mA}$ (active), $\leq 4\mu\text{A}$ (power down)
- Operation Temperature: $-40 \sim 85^\circ\text{C}$
- Operating Voltage : 1.8~3.6V (I/O), 1.8V(Core)
- Package : 80-pin LQFP

4. 초저전력 기술

중국형 DSRC 표준은 통신 속도가 낮고 통신 데이터 량이 작아서 구현하기 쉽지만, 중국 내 시스템 제조업자들의 필요에 의하여 하나의 건전지를 통하여 전원을 공급받고 건전지의 사용 연한이 1년이 넘도록 요구받고 있다. 이러한 문제점을 극복하기 위하여 아래와 같이 초저전력 SoC를 제작을 위한 기술들을 사용하였다.

4.1 동작 전원 범위의 확장

중국 내에서 사용되는 건전지의 용량은 1600mAh 이며 초기 전압은 3.6V이다. 개발된 SoC의 코어 전압은 1.8V 이며, IO 전압은 1.8V - 3.6V 로 적용범위가 넓다. 동작 전원의 범위가 넓어지면 건전지의 사용 가능한 용량을 늘려주는 역할을 하며, 그 효과는 <표 2>에서 나타내었다. 동작 전원 범위를 넓히는 것은 건전지의 사용 가능한 용량 자체를 늘려주므로, 하드웨어의 추가 없이 건전지의 라이프 타임을 높일 수 있다.

<표 2> 동작 전원 범위와 사용가능한 건전지 용량의 상관관계

동작 전원 범위	사용 가능한 용량 (3.6V, 1600mAh 기준)
3.0V - 3.6V	600mAh
2.6V - 3.6V	1000mAh
2.0V - 3.6V	1200mAh
1.8V - 3.6V	1600mAh

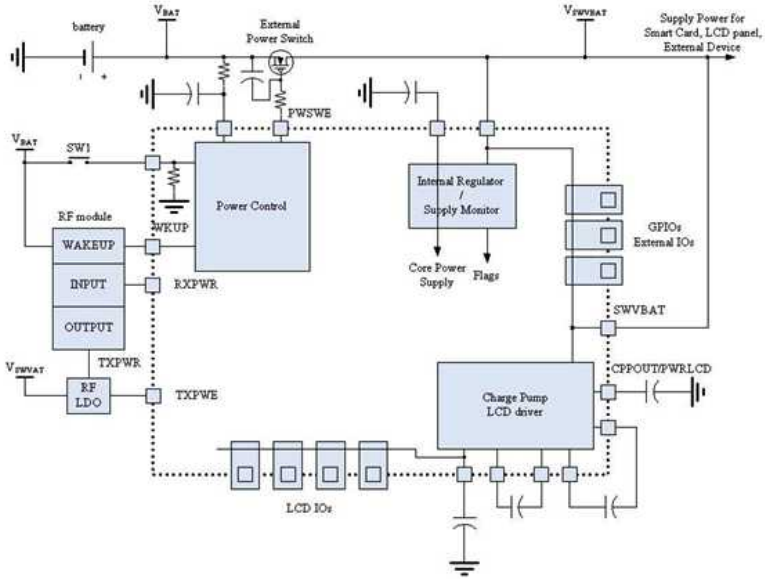
4.2 내부 전원 레귤레이터와 외부 전원 스위치 제어

개발한 SoC는 코어 전원 생성을 위한 내부 전원 레귤레이터와 외부의 전원 스위치를 두어 SoC에서 제어할 수 있도록 설계되었다. 코어가 사용하는 전원의 전압은 1.8V로 일정한 값을 가지고 있으므로, 내부 전원 레귤레이터는 동작 전원 범위의 1.8V-3.6V의 전원을 받아 1.8V를 생성하도록 개발하였다.

(그림 6)은 개발한 SoC의 전원 관련 블록 다이어그램이다. Power Control 블록의 의하여 RF 모듈에서 Wakeup pattern을 찾아서 생성하는 Wakeup 신호를 받거나 외부 스위치가 인가되면 외부 파워 스위치를 on 시키는 신호를 발생한다. 외부 파워 스위치의 제어를 통하여 인가된 VSWVBAT 전원은 SoC 내부의 코어 전원 레귤레이터와 LCD를 위한 Charge Pump 뿐만 아니라 DSRC 시스템에 사용되는 스마트카드 인터페이스와 LCD 패널 등 외부 장치에도 공급된다.

이러한 전력 제어는 DSRC 시스템의 전체 전력 소비를 획기적으로 줄여준다. Wakeup 신호를 받기 전에는 SoC 내의 Power Control 블록과 RF module의 Wakeup 패턴을 감지하는 부분만이 전력을 소모하게 된다. LCD driver를 위한 Charge Pump도 VSWVBAT 전원으로 동작하기 때문에 전력을 소모하지 않는다.

RF 모듈은 세 개의 블록으로 나누어 구현하였다. Wakeup 패턴 감지 부분, RF 수신 블록 및 RF 송신 블록으로 나뉘어 있어서, Wakeup 패턴을 기다릴 때에는 건전지에서 Wakeup 패턴 감



(그림 6) 개발한 SoC의 Power 관련 블럭다이어그램

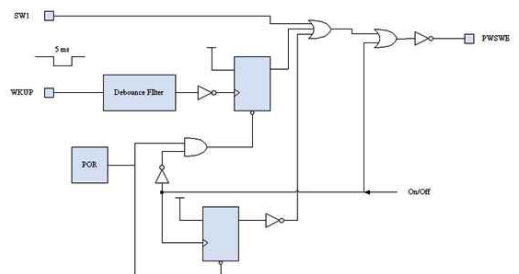
지 블록만이 전력을 소모하도록 하였다. Wakeup 패턴을 감지하여 wakeup 신호를 SoC에게 보내면 SoC는 RF 수신 블록의 전력을 SoC 포트를 통하여 RF 모듈에게 전달한다. 이 전력으로 RF 모듈의 수신 블록이 동작한 후에 송신할 필요가 있을 때에는 송신 블록에 전력을 공급하는 외부 LDO를 활성화시키는 TXPWE 신호를 내보낸다. 일반적으로 수신보다는 송신 전력이 더 많이 필요하므로, 최대한 송신 전력을 줄이기 위하여 설계하였다.

4.3 Wakeup 감지기

Wakeup 감지기는 RF 모듈에서 생성한 wakeup 신호를 받아들이는 부분으로 외부 전원 스위치 제어를 위한 중요한 역할을 하는 블록이다. 중국 DSRC 표준에서 wakeup 패턴은 14Mhz 클럭 신호를 수십 ms 이상의 구간으로 보낸다. 이 신호를 받은 RF 모듈은 5ms 이상의 active low wakeup 신호를 생성한다.

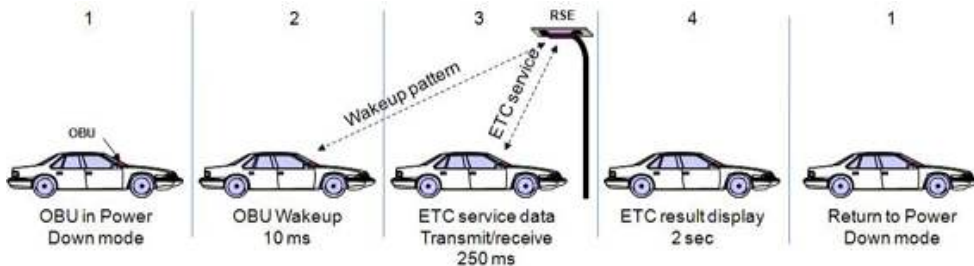
(그림 7)은 wakeup 감지기의 블럭다이어그램이다. wakeup 감지기는 세 가지 외부 신호를 받

아서 외부 전원 스위치 신호를 생성한다. 외부 스위치 입력, 내부 POR(Power On Reset), wakeup 신호에 의하여 동작한다. 외부 스위치는 잔액을 확인하거나 배터리 잔량을 알고 싶어하는 운전자의 요구에 의하여 인가될 수 있다. POR은 외부 배터리 전원에 의하여 생성되는 reset 신호로 DSRC 시스템이 처음으로 사용되는 시점(배터리를 삽입하는 순간)에 발생한다.



(그림 7) Wakeup 감지기 블럭다이어그램

RF 모듈에서 인가되는 wakeup 신호는 최소 신호 폭이 5ms인 신호이기 때문에 입력 포트에 debounce 필터를 추가하여 5ms 이하의 신호는



(그림 8) OBU와 RSE 간의 상태 변화

필터에 의하여 걸러지도록 설계되었다. 노변의 통신환경은 잡음이 많은 환경이기에 실제 사용시에 RF module은 허위 wakeup 신호를 생성하는데, debounce 필터를 사용하여 불필요한 wakeup을 사전에 막아주어 시스템 전체적인 전력 소비를 줄이는 역할을 한다.

4.4 Fast 클럭 제어 및 동작 모드 제어

중국의 DSRC 통신은 간단하고 통신 메시지도 적어서 통신 시간이 250ms 이내로 ETC 서비스를 마칠 수 있다. 이러한 통신 특성을 고려하면 SoC가 통신하는 동안에는 CPU가 20MIPS로 동작하도록 하고, LCD에 결과를 표시하는 동안에는 1MIPS로 동작하도록 하면 여분의 전력 소모를 막을 수 있다. 20MIPS로 동작하는 동안의 소모되는 전류는 약 8mA이고, 1MIPS로 동작하는 동안에 소모되는 전류는 약 2mA이므로, 약 4배의 전력 소모를 줄일 수 있다. 개발한 SoC는 클럭의 변경이나 동작 모드를 제어하는 데에 여분의 클럭 소모나 글리치 발생없이 변경할 수 있도록 설계되었다.

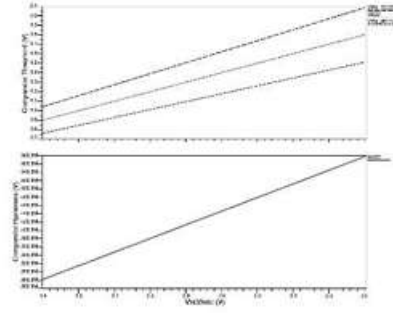
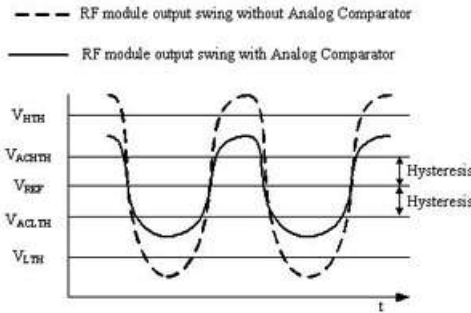
중국형 DSRC 표준은 RSE에 OBU를 장착한 차량이 접근하면 RSE 송신 데이터에 포함된 wakeup 패턴을 감지하여 OBU를 활성화시키고, 활성화된 OBU는 RSE에 ETC 서비스 데이터를 송수신한 후에 LCD나 음성으로 결제 결과를 표시한 후에 다시 power down mode로 돌아간다. ETC 서비스 메시지를 주고 받는 시간은 대략적

으로 250ms 정도이며, 이 후에는 LCD에 상태 표시하는 구간(약 2 초)만 OBU가 활성화된다. 개발된 중국형 DSRC SoC는 이러한 통신 환경을 고려하여 초저전력 SoC를 개발하였다.

4.5 아날로그 비교기의 사용

아날로그 비교기는 SoC의 전력소모를 줄이는 역할이 아니라, RF 모듈의 전력 소모를 줄이는 역할을 한다. SoC 내부의 DSRC 모듈의 입력과 RF 모듈의 출력 사이에는 아날로그 비교기가 존재한다. DSRC 통신은 복잡한 ADC와 DAC를 통한 아날로그와 디지털 변환이 필요 없이 RF 모듈에서 직접 디지털 입력으로 사용할 수 있는 신호를 생성하여 SoC에게 전달한다. 아날로그 비교기는 이러한 디지털 입력으로 쓰이기 위하여 필요한 최소한의 진폭을 줄여서 전력 소모를 줄인다.

(그림 9)를 보면 아날로그 비교기의 유무에 따라 RF 모듈 출력 파형의 최소 조건의 변화를 볼 수 있다. 디지털 입력으로 사용하기 위해서는 최소 '1'로 간주되는 전압, VH_{TH}, 와 최대 '0'으로 간주되는 전압, VL_{TH}, 이상의 진폭을 가지는 출력 파형이 들어와야 한다. 아날로그 비교기를 사용하면 VH_{TH} 보다 낮은 전압인 VACH_{TH} 로 들어온 신호도 '1'로 감지할 수 있으며, VL_{TH} 보다 높은 전압인 VACL_{TH} 로 들어온 신호도 '0'으로 감지할 수 있다. 결과적으로 RF 모듈의 출력 신호의 진폭을 줄일 수 있어서 전력 소모를 줄일 수 있다.



(그림 9) 아날로그 비교기 유무에 따른 RF 모듈 출력 파형 비교와 배터리 전압에 따른 V_{REF}와 Hysteresis 변화

DSRC 시스템의 동작 신뢰성을 위하여 건전지 전압이 시간에 따라 3.6V에서부터 1.8V로 낮아지는 것과 같이 Hysteresis도 580mV@3.6V에서 280mV@1.8V로 작아진다.

embedded flash 공정을 통하여 제작중이다. 제작될 SoC의 전력 소모 예측치를 <표 3>에 나타내었다.

참고문헌

5. 결론

<표 3> 개발한 SoC 전력 소모 예측치

Operation Mode	Active logic	Power consumption	Comment
Active Mode	Analog	0.6	ALL IPs @ 20Mhz digital switching rate = 15%
	Digital @ 20Mhz	5.6	
	Flash	2.5	
	Memories	0.2	
	Total Current	~9mA	
Slow Mode	Analog	0.6	ALL IPs @ 1Mhz digital switching rate = 15%
	Digital @ 1Mhz	0.28	
	Flash	1.25	
	Memories	0.01	
	Total Current	~2mA	
IDLE Mode	Analog	0.6	Flash and CPU are OFF digital switching rate = 15%
	Digital @ 1Mhz	0.28	
	Flash	0	
	Memories	0.01	
	Total Current	~0.9mA	
Power Down Mode	Analog	-	Regulator is OFF
	Digital	-	
	Flash	-	
	Memories	-	
	Total Current	~4uA	

[1] Electronic toll collection-Dedicated short range communication, GB/T 20851, China Standard, May 2007

[2] ASTM Draft Standard : Dedicated Short Range Communication: Datalink layer (1998.7.)

[3] IEEE Working Group P1455 : Draft Standard for DSRC Applications for Intelligent Transportation Systems (1998.3.)

[4] A. Salmasi and K. Gilhousen, "On the System Design Aspects of Code Division Multiple Access (CDMA) Applied to Digital Cellular and Personal Communications Networks," Proc. 41, IEEE VTC'91, 1991.

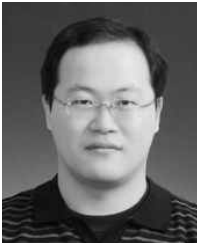
[5] P. Choi et al., "An experimental coin-sized radio for extremely lowpower WPAN (IEEE 802.15.4) application at 2.4 GHz," IEEE J. Solid-State Circuits, vol. 38, no. 12, pp. 2258 - 2268, Dec. 2003.

본 논문은 2008년 5월에 중화인민공화국국가표준협회에서 발표한 DSRC 표준을 지원하는 SoC를 설계하고, 초저전력 소모를 위한 설계에 대하여 기술하였다. 현재 개발한 SoC는 Atmel

[6] Bera, R.; Bera, J.; Sil, S.; Dogra, S.; Sinha, N.B.; Mondal, D., "Dedicated short range communications (DSRC) for intelligent transport system", Wireless and Optical Communications Networks, 2006 IFIP International Conference on 11-13 April 2006

[7] Hyunseo Oh; Chungil Yae; Donghyon Ahn; Hanberg Cho, "5.8 GHz DSRC packet communication system for ITS services" Vehicular Technology Conference, Vol. 4, pp. 2223-2227, Sept. 1999

저자약력



신 대 교

1998년 아주대학교 전자공학과 (학사)
 2000년 아주대학교 전자공학과 (석사)
 2000년~2003년 (주)이엠티디
 2003년~현재 전자부품연구원 선임연구원
 관심분야 : SoC설계, 디지털 모뎀 설계
 이 메 일 : dukeshin@keti.kr



박 부 식

1999년 한국항공대학교 통신정보공학과(학사)
 2001년 한국항공대학교 정보통신공학과(석사)
 2007년~현재 한국항공대학교 정보통신공학과(박사과정)
 2002년~현재 전자부품연구원 선임연구원
 관심분야 : 유무선 통신 MAC, ITS, DSRC, AFDX
 이 메 일 : parksik@keti.kr



정 한 군

2005년 한국항공대학교 정보통신공학(학사)
 2007년 한국항공대학교 정보공학(석사)
 2008년~현재 전자부품연구원 전임연구원
 관심분야 : 유무선, 네트워크 시스템
 이 메 일 : junghg@keti.kr



임 기 택

1994년 한양대학교 전자공학과 (학사)
 1996년 한양대학교 전자공학과 (석사)
 1996년~현재 전자부품연구원 책임연구원
 관심분야 : 지능형자동차, ITS, 엔터테인먼트용 SoC 및 시스템
 이 메 일 : limkt@keti.kr



최 중 한

1985년 경희대학교 전자공학과 (학사)
 2002년 서경대학교 컴퓨터과학과 (석사)
 2005년 충북대학교 정보통신공학과 (박사)
 1985년~1990년 삼성 SDI 종합연구소 주임연구원
 1992년~현재 전자부품연구원 수석연구원, SoC연구센터 센터장
 관심분야 : VLSI 설계, SoC 플랫폼
 이 메 일 : chojjc@keti.kr



김수원

1974년 고려대학교 전자공학과 (학사)

1976년 고려대학교 전자공학과 (석사)

1983년 Texas A&M Univ. 전자공학과 (석사)

1987년 Texas A&M Univ. 전자공학과 (박사)

1987년~현재 고려대학교 전기전자전파공학과 정교수

관심분야 : Power Management IC, High Speed CMOS

Transceiver

이 메 일 : ksw@asic.korea.ac.kr