

휴리스틱을 이용한 2차원 임의형상 부재 배치 문제

정성교 · 전진욱[†]

국방대학교 운영분석학과

Nesting Problem for Two Dimensional Irregular Shapes using Heuristic

Sung Kyo Jeong · Geonwook Jeon

Department of Operations Research, Korea National Defense University, Seoul, 122-875

A new search procedure, VLT(Vertex Line Tracing) heuristic, for two dimensional irregular shapes nesting problem was suggested in this study. The VLT heuristic was suggested to the nesting problem to overcome disadvantages of the existing NFP(No-Fit-Polygon) method. This VLT heuristic was compared with the results of the existing benchmark problems suggested by Albano, Hopper, and Burke. The results of the VLT heuristic give efficient solutions in the point of the scrap ratio and computation time. A computer program, NestLogic, using C++ for VLT heuristic was also developed for this nesting problem.

Keyword: nesting problem, bin packing, cutting and packing, scrap ratio

1. 서론

네스팅(Nesting)이란 부재 최적배치 문제로 사용 재료의 버림율(Scrap or Wasted Ratio)을 최소화하는 것을 목표로 한다.

부재(Item)의 최적배치를 위한 효율적인 배치 알고리즘은 판재(Resource Sheet)의 경제적인 활용과 이에 따른 생산시간을 단축하고, 생산성을 높이는 의미에서 그 경제적인 활용도가 매우 높다. 최근에는 전자부품 업계의 회로의 고밀도화, 고집적화 설계 등을 위한 효율적인 배치 알고리즘이 개발되고 있다. 그러나 대부분의 배치 알고리즘은 직사각형(Rectangle) 문제 위주로 구성되어 있으며, 정수계획(Integer Programming) 해법(www.diku.dk/~pisinger)의 발전이 이루어진 상태이나, 임의형상 배치에 대한 연구는 형상 패턴이나 규칙성, 배치되는 부재(item)의 종류에 따라 각각 다른 알고리즘을 적용해야 하는 등의 어려움으로 인하여 직사각형 문제에 비하여 상대적으로 연구가 부족한 실정이다.

본 연구에서는 임의형상의 부재 배치를 위한 새로운 휴리스틱(VLT: Vertex Line Tracing) 탐색을 제시하고 Visual C++ 6.0

을 이용하여 NestLogic 프로그램을 개발하여 VLT 휴리스틱에 의한 부재의 자동배치를 구현하였다.

임의형상 부재 배치에 관한 기존 연구와 비교를 위하여 의복 24개 및 36개(Albano and Sapuppo, 1980) 부재를 기초로 실험하였으며, 국내 연구 결과(조경호, 1993; 한운근, 2000)와 비교하였다. 확대실험은 최근 연구에서 제시한 5개 기본 문제(Burke *et al.*, 2006)에 대하여 연구 결과(Hopper, 2000; Burke *et al.*, 2006)의 비교를 통하여 VLT 휴리스틱의 우수성을 검증하였다.

2. 기존연구 검토

2.1 배치문제의 분류

배치 문제(Nesting)란 다음 <Figure 1>과 같이 판재(Object) 위에 부재(Item)를 배치하는 문제로 재료의 버림율을 최소화하는 것을 목적으로 한다. 대부분의 네스팅 작업의 목표는 자재 이용의 극대화, 즉 낭비되는 면적의 최소화이다. 일반적인 배치문제는 배치 공간에 따라 1차원, 2차원 및 3차원으로 구분

[†]연락처 : 전진욱 교수, 122-875 서울시 은평구 수색동 국방대학교 운영분석학과, Fax : 02-309-6233, E-mail : gwjeon@kndu.ac.kr
2007년 03월 접수, 2회 수정 후 2007년 10월 게재확정.

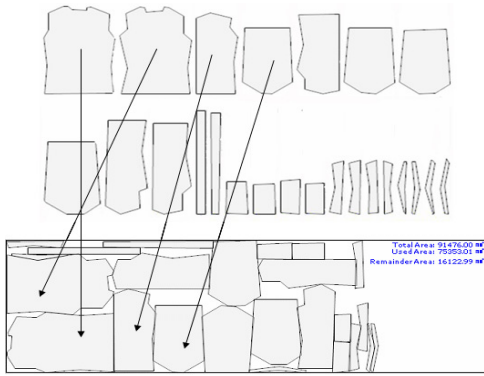


Figure 1. Example of nesting process

할 수 있다. 이 중 활발한 연구가 이루어지는 분야는 2차원 공간에서의 배치문제로서 원자재를 절단하여 부재를 만들어 사용해야 하는 조선, 목재, 가구 산업 등에서 가장 광범위하게 적용되며, 사각형 모양의 판재에 일련의 다각형 부재(사각형 및 불규칙한 임의의 형상)들을 위치시키는 것으로 정의할 수 있다.

2.2 기존 연구

2.2.1 NFP(No-Fit-Polygon)

2차원 문제는 사각형(Orthogonal or Rectangular)과 임의의 형상(Irregular Shape)의 문제로 분류된다. 초기 배치문제 연구(Adamowicz and Albano, 1976)는 기하학적으로 덜 복잡한 사각형 배치문제에 집중되었으며, 2차원 불규칙 형상 배치문제에 대한 초기 연구(Albano and Sapuppo, 1980)는 부재의 배치위치를 위하여 NFP(No Fit Polygon)와 도형의 단순화를 통하여 계산 복잡도를 감소시키는 방법을 사용하였다. NFP란 <Figure 2>에서와 같이 두 부재가 서로 겹치지 않고 외각선을 맞대고 있는 모든 위치의 조합이라고 할 수 있다.

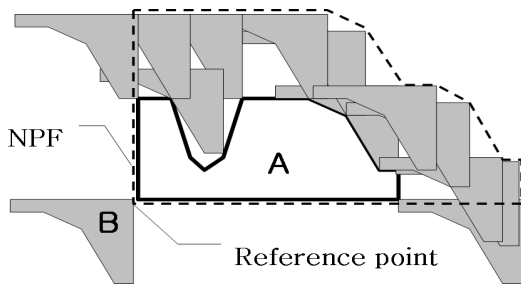


Figure 2. Example of NFP(No Fit Polygon)

2.2.2 2단계 접근법

2단계 접근법에 의한 배치 알고리즘은 Albano(1976, 1980)에 의해 발전 되었으며, 현재 상용화 되어 있는 소프트웨어들은 대부분 이와 유사하거나 개선된 알고리즘을 적용하고 있다. 다음 <Figure 3>은 2단계 접근법을 적용한 배치 예를 보여준다. 이 방법은 배치결과를 빠른 시간 내에 보여 줄 수 있는 장점

이 있는 반면에 탐색 절차가 면적 순에 의한 순차적(Sequential)이며 결정론적(Deterministic)이라는 데 한계가 있다.

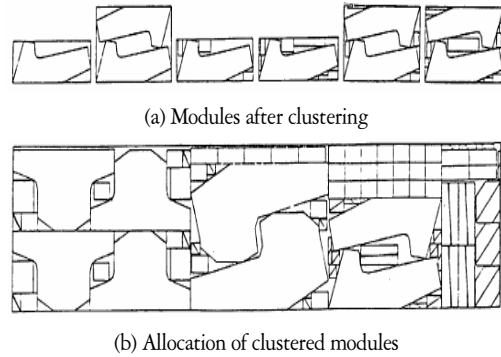


Figure 3. An example of two-step procedure

2단계 접근법은 1단계에서 2~3개의 부재들을 중첩되지 않는 범위내에서 결합시키게 된다. 이러한 조합의 최적배치 문제는 수많은 국지해를 갖는 조합최적화 문제로 난이도 분류불 때 NP-Complete 문제로서 비결정성(Non-Deterministic)과 미분불가능성(Non-Differentiable)으로 인해 종래의 목적함수 변화율에 근거한 최적화 기법으로는 최적해를 얻는데 애로가 있어 조합 최적화 기법이 개발되었다.

2.2.3 격자표현법

격자표현법 관련 연구로는 배치 가능 영역과 불가능 영역을 판단하고 내부 hole 배치가 가능하도록 시뮬레이티드 어닐링과 격자 표현법을 통합한 방법(Marques *et al.*, 1991)과 부재를 격자로 표현하여 다음 <Figure 4>와 같이 격자형상정보를 생성한 국내연구(방기범, 1990)가 있다.

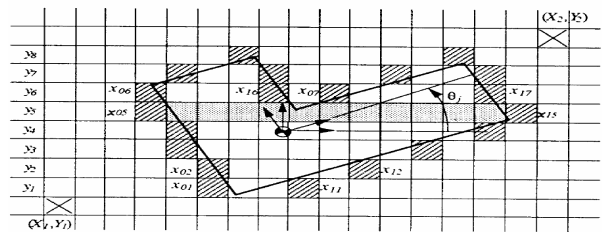


Figure 4. Grid approximation

2.2.4 유전자 알고리즘(GA)

생물의 진화 과정을 모의한 유전자 알고리즘을 부재의 최적 배치에 적용(Fujita *et al.*, 1993; Yamauchi and Tezuka, 1995; Hopper, 2000; 유병향, 2002) 하였는데, 배치순서를 유전자로 처리하여 순서를 바꾸어 줌으로 순차적 방법의 근본적인 단점을 해결하였으나(Fujita *et al.*, 1993), TSP(Traveling Salesman Problem)와는 달리 배치위치를 또 다른 변수로 정의해야 하는 문제점이 있었다. 또한 부재의 위치와 경사각을 유전자로 처리하여 최적의 배치를 계산하였으며, 처리속도 및 수율 향상을 위한 기법으

로 부재 형상의 추상화, 페어링(Pairing) 알고리즘, 그룹핑(Grouping) 알고리즘 등을 적용하였다(Yamauchi and Tezuka, 1995).

NFP와 유전자 알고리즘을 이용한 연구(유병향, 2002)에서는 기존의 방법(Fujita *et al.*, 1993)과 같이 배치순서를 유전자로 처리하였으며, 배치방법은 수정된 NFP 방법(Bennell *et al.*, 2000; 2001)을 적용하였다. 배치전략으로는 두 부재의 NFP 중 최소 직사각형(Rectangle) 면적을 갖는 위치를 선택하였으며 다음 <Figure 5>와 같이 최소 직사각형 면적이 동일한 경우에는 배치될 부재의 도심과 판재의 좌측 아래점(원점)과의 최소거리를 선택하였다.

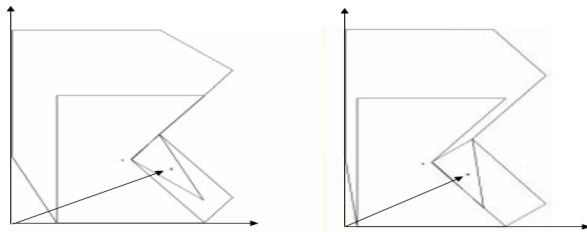


Figure 5. Same enclosure area case

그러나 판재의 원점으로부터 최소거리를 판단하여 배치할 경우, 다음 <Figure 6>의 실험결과에서 보듯이 부재의 수가 일정 수준이상 증가하거나, 판재의 y축 길이 이상으로 x축 방향으로 배치가 진행될 경우에는 기배치된 영역의 상단에 배치될 수 있는데도 불구하고 x축 방향으로 진행되는 오류가 발생하게 된다.

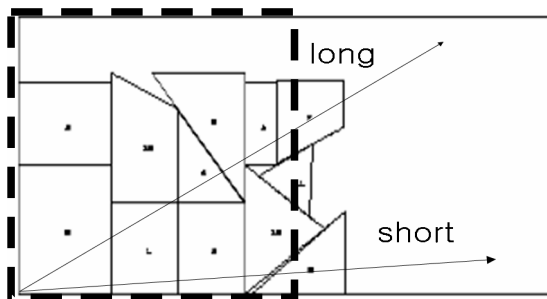


Figure 6. Error of nesting problem(example)

2.2.5 시뮬레이티드 어닐링(SA)

시뮬레이티드 어닐링 또한 부재의 최적 배치를 위하여 최초 소개(Kirkpatrick *et al.*, 1983) 되었다. 시뮬레이티드 어닐링은 우수한 배치를 제공하는 기법임에는 틀림없으나, 계산시간의 방대함으로 인해 현실적인 적용에 어려움이 있다. 이러한 문제를 극복하기 위하여 인공지능의 한 분야인 자율조직 신경회로망과 시뮬레이티드 어닐링 알고리즘을 결합한 2단계 스위칭 구조를 제안하였다(한국찬, 나석주, 1993). 이들 연구의 특징은 초기 배치단계에서 신경회로망의 적용으로 빠른 시간에 대략적인 배치운곽을 얻고, 배치개선단계에서 시뮬레이티드 어닐링을 이용하여 상세 배치를 위한 전략이다.

2단계 스위칭 전략으로부터 얻은 경계구속 및 내부결합이 있는 임의의 2차원 패턴들의 배치 결과로 초기배치와 배치개선단계에서 소요된 계산시간과 해의 개선과정은 다음 <Figure 7>과 같다. 여기서 계산시간 단축에 관한 문제는 많이 해결이 되었으나, 배치 개선 단계에서 초기온도 설정의 적절한 선정이 필요한데, 초기온도가 너무 높으면 초기배치에서 지역적 최소점에 빠져 초기배치에서 큰 개선이 없게 되는 어려움이 있다. 그러나 적절한 초기온도 설정에 관한 근본적인 문제 해결의 방법은 제시되지 못하고 있으며 실험에 의존하는 방법을 취하고 있다.

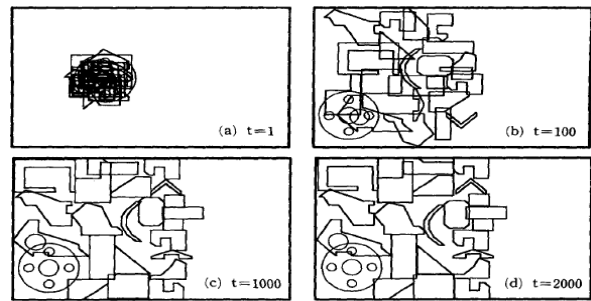


Figure 7. Optimization Process(SA)

2.2.6 Polygon clipping algorithm

부재의 겹침이 발생할 경우, 이를 피하기 위하여 폴리곤 클리핑 알고리즘을 이용한 부재 이동기법(한운근, 2000)이 제안되었다. 폴리곤 클리핑 알고리즘에서 배치된 부재의 모든 정점을 배치 기준점으로 하여 탐색을 실시하고 부재 이동시 이동 방향은 다음 <Figure 8>과 같이 세 가지 방향 중에서 택하였다.

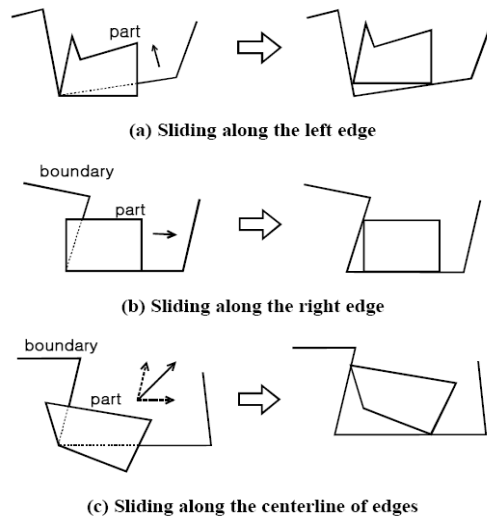


Figure 8. Part sliding method

또한 부재의 이동량은 경계도형과 부재의 겹침량을 다각형 클리핑을 사용하여 결정하였는데 경계도형과 부재의 겹침량에 비례하여 결정할 수 있다.

3. VLT 휴리스틱 및 배치 전략

본 연구에서는 기존의 Nesting 알고리즘 및 휴리스틱 기법의 문제점을 살펴보고, 특히 NFP 알고리즘을 개선할 수 있는 새로운 VLT 휴리스틱을 제시한다. VLT 휴리스틱은 두 단계로 구성된다. 첫 단계에서는 기존의 부재의 배치 위치 탐색 알고리즘을 개선한 새로운 VLT 휴리스틱 규칙을 제시하며, 두 번째 단계에서는 새로운 VLT 휴리스틱 규칙에 따른 목적함수와 배치전략을 제시한다. 본 연구에서 제시하는 휴리스틱 정보는 다음과 같다.

- 1) 하나의 판재만을 고려한다.
- 2) 탐색절차가 순차적이며 확정적이다. 즉 한번 부재가 어떤 위치에 배치되면 더 이상 고려하지 않는다.
- 3) 부재는 면적 순에 따라 배치한다.
- 4) 부재는 목적함수를 최소화하는 위치에 배치한다.
- 5) 최적배치를 결정하기 위해 부재의 기준점에 대해 회전과 이동을 반복하게 되며, 배치 윤곽의 모든 선소(line segment)에 대하여 탐색한다.

또한 배치효율의 증대와 배치시간의 단축을 위하여 다음의 4가지 기법을 적용하였다.

- 1) 면적순 부재 배치
- 2) VLT 휴리스틱
- 3) VLT 휴리스틱에 적합한 목적함수 선정
- 4) Vector를 응용한 부재의 기하학적 형상표현

3.1 면적순 부재 배치

부재 배치는 면적순으로 실시한다. 기존 임의형상 배치의 연구결과에서 부재배치를 면적순으로 실시하지 않는 가장 큰 이유는 내부에 오목한(Concave) 부분이 발생하거나 기배치된 부재의 형상들 사이로 새로운 부재가 배치될 가능성을 차단하기 때문이다. 그러나 본 연구에서 제시한 VLT 휴리스틱의 부재의 배치위치 탐색에서는 기배치된 부재의 형상들 사이로 작은 부재들의 배치가 가능하도록 면적순 배치를 실시한다.

3.2 VLT 휴리스틱

VLT 휴리스틱은 명칭에서 알 수 있듯이 Polygon의 모든 정점(Vertex)들이 기배치된 부재들의 모든 선들을 따라 중첩을 허용하며 이동 및 회전하며 배치위치를 탐색하므로 부재 배치에 있어서 판재의 버림율을 최소화 할 수 있고, 특히 내부 공간이 많은 부재의 경우 높은 효율을 보일 수 있다. VLT 휴리스틱의 부재 배치 위치 탐색절차는 다음과 같다.

본 연구에서 제시하는 VLT 휴리스틱을 적용할 2개의 부재를 다음 <Figure 9>에 제시하였다. 먼저 두 번째 부재에서 좌하단에 있는 꼭지점 ①을 참조점(Reference Point)으로 부재의 형상

(line)에 따라 시계 방향(CW)으로 회전하며 최적의 위치를 찾고, 다음 반시계 방향(CCW)에 있는 꼭지점 ②부터 ⑧까지 모든 꼭지점(vertex)에 대하여 최적의 위치를 찾는다. 부재의 최적의 위치는 목적함수를 최소로 하는 위치로 한다.

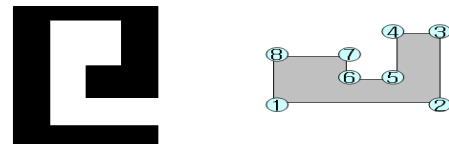


Figure 9. Example of 2 items by using VLT

먼저 꼭지점 ①을 중심으로 VLT 휴리스틱을 적용한 결과는 다음 <Figure 10>과 같다. NFP와 차이는 이동간 부재의 중첩을 허용하되 중첩되었다고 판단되면 목적함수를 계산하지 않고 기배치된 형상의 외곽선(Line)을 따라 다음 꼭지점(Vertex)으로 이동한다.

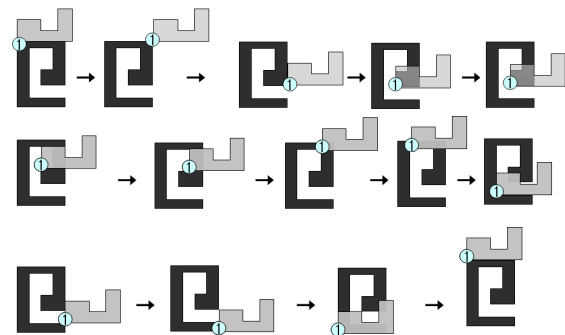


Figure 10. The Result of VLT Heuristic

다음은 꼭지점 ①을 중심으로 부재를 임의의 각도(예 90°)로 회전시킨 후 동일한 탐색절차를 반복하여 최적의 위치를 찾는다. 부재가 360° 회전하여 탐색을 마치면 다음 반시계 방향으로 (CCW)으로 다음 꼭지점을 중심으로 탐색을 실시하며, 이 과정을 전 꼭지점에 대하여 실시하여 최적 값을 찾는다. 즉 부재의 배치 위치 탐색간 새로 배치될 부재의 한 점과 기배치된 부재 형상의 외곽선은 접하게 된다. 꼭지점 ②를 중심으로 부재를 90° 회전시킨 후 탐색한 결과는 다음 <Figure 11>과 같다.

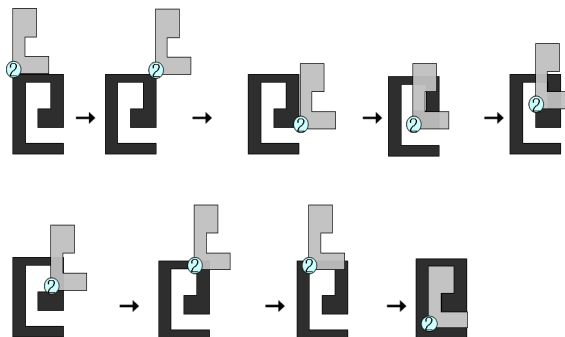


Figure 11. Optimal solution using VLT heuristic

결과에서 보듯이 VLT 휴리스틱을 적용한 결과 내부에 움푹 패인 공간(Hollow)이 있는 부재의 배치 과정에서 기존의 NFP보다 높은 수율을 보임을 알 수 있다.

복수의 부재가 배치된 상태에서 새로운 부재를 배치할 경우 외곽선을 찾기 위해 다각형 병합 알고리즘(유병향, 2002; 한운근, 2000)을 사용하였으나, 본 연구에서는 다음 <Figure 12>와 같이 기존 배치된 부재들의 외곽선을 식별하여 외곽선을 따라 탐색하므로 별도의 다각형 병합 알고리즘이 필요 없다. 따라서 면적순 배치에 따라 후순위로 배치되는 면적이 작은 임의 형상의 부재들도 <Figure 13>과 같이 기배치된 부재들의 조각난 공간 사이로도 부재의 배치가 가능하다.

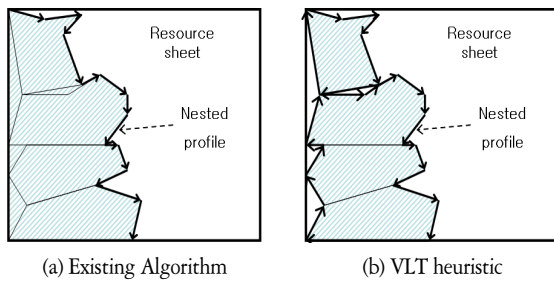


Figure 12. Comparison(search area)



Figure 13. Result of VLT Heuristic

3.3 VLT Heuristic 목적함수 정의

본 연구에서는 부재의 배치순서를 면적 순으로 고정하되, 부재의 형상에 따라 목적함수의 가중치 및 부재의 회전각 및 탐색간격을 변경하여 적용한다. VLT 휴리스틱에 적용한 목적함수는 다음과 같다.

$$MIN f = \alpha f_1 + \beta f_2 + \gamma f_3 + \delta f_4 \quad (1)$$

여기서, $\alpha, \beta, \gamma, \delta$ 는 f_1, f_2, f_3, f_4 의 가중치
 f_1 은 버림율(Scrap Ratio)로 다음 식과 같이 나타낼 수 있다.

$$f_1 = \text{버림율(Scrap Ratio)} = 1 - \text{수율(Yield Ratio)} \\ = 1 - (\text{배치된 형상의 넓이 합}) / \{\text{판재의 고정폭} \times \text{배치된 부재들의 사용길이}\}$$

f_1 을 수식화 하면 다음과 같다.

$$f_1 = \frac{WL - \sum_{i=1}^n A_i}{WL} \quad (2)$$

여기서, W: 판재의 폭, L: 판재의 사용길이,
 A_i : i 번째 형상의 면적

f_2 와 f_3 는 부재의 배치가 직사각형으로 진행되도록 한다. f_2 와 f_3 함수는 기존연구(방기범, 1990)에 가중치(β, γ)를 부여하였으며 f_2 와 f_3 함수 다음과 같다.

$$f_2 = (X - \text{Enclosure area}) / (A + A') \quad (3)$$

$$f_3 = (Y - \text{Enclosure area}) / (A + A') \quad (4)$$

목적함수 f_4 는 최소 무게중심거리(방기범, 1990)를 적용하여 배치하는 함수로, 무게중심 좌표의 제곱합(조준홍, 1990)이 같은 점들의 궤적을 산출하여 최소 궤적선에 근접한 배치를 하였으나, 제곱합의 최소 궤적선을 적용할 경우 부재가 y 축에 접할 수 있음에도 최소 궤적선을 따라 x 축 방향으로 진행되어 배치될 수 있는 오류의 가능성이 있으므로, 본 연구에서는 이와 같은 오류를 극복하고자 목적함수의 가중치와 무게중심 비율을 적용하였다.

f_4 는 기배치된 영역의 최소 직사각형의 대각선 벡터와 새로 배치되는 부재의 무게중심 벡터의 Scalar량의 비율로 다음의 식으로 표현된다.

$$f_4 = \{ \text{새로 배치되는 부재의 무게중심 벡터의 scalar(거리)} / \{ \text{기배치된 부재들의 최소 면적 직사각형의 대각선 벡터의 scalar(거리)} \}$$

이를 수식화 하면 다음과 같다.

$$f_4 = \frac{|\vec{B}|}{|\vec{A}|} \quad (5)$$

여기서, $|\vec{A}|$: 기배치된 영역의 최소직사각형의 대각선 벡터의 scalar

$|\vec{B}|$: 새로 배치되는 부재의 무게중심 벡터의 scalar

면적순 배치원칙에 의해 목적함수 f_4 값의 범위는 1보다 크고 2보다 작은 값을 가지며 만약 새로 배치되는 부재가 기배치된 부재의 내부로 진입이 가능하다면 1보다 작아진다.

본 연구의 목적함수에서 가중치를 적용한 이유는 부재의 형상 패턴에 따라 목적함수의 가중치를 조정하여 더 좋은 배치 결과를 얻기 위함이며, VLT 휴리스틱과 새롭게 제시한 목적함수를 적용하여 배치하는 과정은 다음 <Figure 14>와 같다.

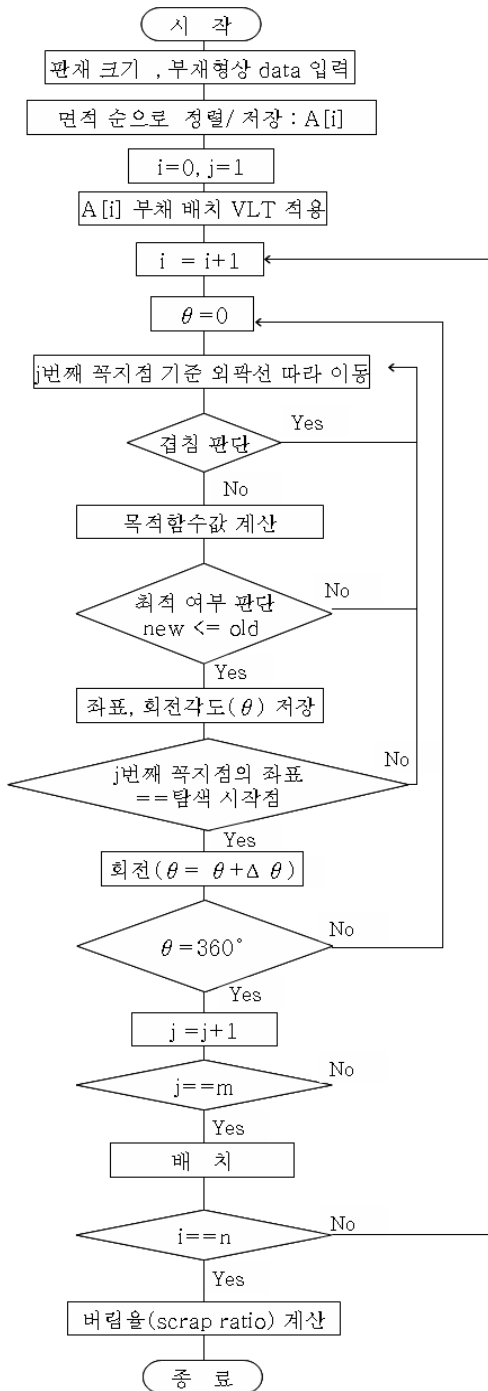


Figure 14. VLT heuristic algorithm

3.4 부재의 기하학적 형상표현

3.4.1 배치시 이동절차

형상의 배치 순서는 면적순으로 하며 최초 부재를 배치할 때 기준점을 판재의 좌측하단에 일치시켜 기준점의 Outgoing vector를 판재의 하단(x축)으로 회전시킨 후 기준점을 중심으로 일정 각도로 회전시키면서 목적함수를 계산하는 과정을 모든 정점에 대하여 실시한다.

3.4.1.1 평행이동

변환 전 원래 좌표 P로부터 x 방향으로 T_x , y 방향으로 T_y 만큼 평행 이동한 경우 변환된 좌표 P'는 다음과 같다.

$$P' = P \cdot T(T_x, T_y) \tag{6}$$

여기서,

$$P' = [x' \ y' \ 1], P = [x \ y \ 1]$$

$$\text{변환행렬 } T(T_x, T_y) = \begin{bmatrix} 1 & 0 & 0 \\ 0 & 1 & 0 \\ T_x & T_y & 0 \end{bmatrix}$$

3.4.1.2 회전

원점에 대한 회전 변환식은 다음과 같다.

$$P' = P \cdot R(\theta) \tag{7}$$

여기서,

$$\text{변환행렬 } R(\theta) = \begin{bmatrix} \cos \theta & \sin \theta & 0 \\ -\sin \theta & \cos \theta & 0 \\ 0 & 0 & 1 \end{bmatrix}$$

임의의 점(x_r, y_r)에 대한 회전은 조합변환 행렬로 표시할 수 있다. 우선 임의의 점 (x_r, y_r)이 원점이 되도록 대상을 이동시킨 후 대상을 원점에 대해 회전시킨다. 마지막으로 임의의 점이 원래 위치가 되게 이동시킨다. 이 과정은 행렬의 곱으로 표현 가능하다.

3.4.2 겹침판별

컴퓨터 그래픽에서 어떤 임의의 위치가 도형의 내부인지 외부인지 구분하기 위해 주로 사용하는 것은 odd-even 규칙 또는 nonzero winding number 규칙을 이용한다. Odd-even 규칙이란 도형의 임의의 위치 P에서 바깥쪽으로 선분을 그려서 선을 따라 모서리와 만나는 수를 계산하여 이 선에 의해 만나는 다각형 모서리들의 수가 홀수이면 P는 내부점이고, 그렇지 않으면 P는 외부점이다. 정확한 모서리 수를 얻기 위해 선택한 선 경로가 임의의 다각형 정점과 만나지 않아야 한다. 다음 그림은 odd-even, nonzero winding number 규칙을 보여주고 있다.

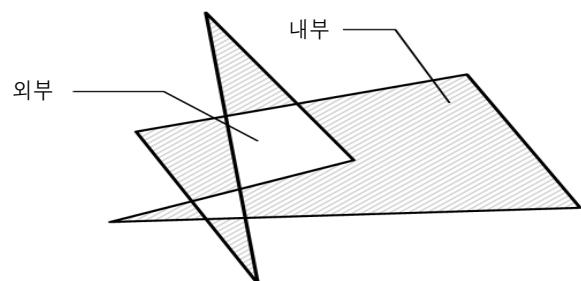


Figure 15. odd-even, nonzero winding number rule

내부 영역을 정의하는 다른 방법은 nonzero winding number 규칙으로 이는 시계방향으로 특정 점 주위로 감싸는 다각형 모서리의 수를 계수하는 것으로 이를 winding number라 하는데, 2차원 객체의 내부 점은 winding number가 0이 아닌 값을 갖는다. Odd-even 규칙은 검사시 polygon의 정점을 지나면 안되다는 제한사항이 있으며 nonzero winding number 규칙을 곡선형태의 도형에 적용할 경우 임의의 점 P로부터 선과 교차하는 교차점에서 곡선에 대한 접선 vector를 계산할 필요가 있다. 그러나 위의 방법은 도형의 모든 선소(line segment)에 위치한 모든 점들에 대하여 조사하여 두 도형의 겹침 여부를 판단하기 때문에 계산시간이 많이 소요된다. 따라서 본 연구에서는 한윤근(1992)의 연구에서 사용한 C언어의 그래픽 함수를 이용하였다.

이미 배치된 부재 A와 새로 배치될 부재 B의 겹침을 조사하기 위하여 배치된 형상의 내부를 특정색(적색)으로 놓고, 형상 B에 놓여질 위치의 선소(line segment) 위의 점들을 조사하여 적색이 나오면 두 도형은 겹침을 알 수 있다. C언어의 그래픽 함수들을 사용하면 형상의 내부의 한 점의 x, y 좌표를 함수(floodfill)에 인수로 지정하여 형상의 내부를 칠한다. 새로 배치될 형상이 위치할 점들의 x, y 좌표를 함수의 인수로 지정하여 색을 구분한다. 교차가 판명되면 목적함수를 계산하지 않으며, 배치된 부재의 line을 따라 이동하며 겹치지 않았을 경우 목적함수를 계산하여 최적의 위치에 부재를 배치한다.

4. 실험결과

본 연구의 실험은 Burke의 연구(2006) 중 수율(Yield Ratio or Density)이 명시된 5개 문제에 대하여 수율 및 버림율을 비교하였으며, 실험시 목적함수 가중치($\alpha, \beta, \gamma, \delta$), 회전각(Θ) 및 탐색간격(pixel)은 다음 그림과 같이 프로그램에서 선택할 수 있도록 하였다.

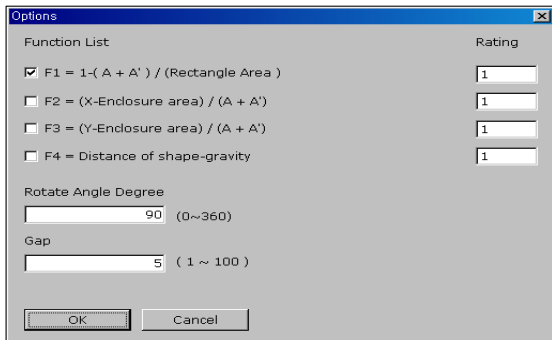


Figure 16. Window for parameters($\alpha, \beta, \gamma, \delta, \Theta$, pixel)

비교 대상 문제는 다음 <Table 1>과 같으며, Albano(1980)의 의복 24개 및 36개 부재에 대한 연구결과를 최근 연구결과(조경호, 1993; 한윤근, 2000) 및 상용 프로그램인 NestLib과 SigmaNest를 이용한 결과와 비교하였다. 실험을 위하여 프로그램은

Visual C++ 6.0으로 코딩하였으며, Pentium Celeron(R) 1.5GHz CPU, 메모리는 2Gbyte인 환경에서 실험하였다.

Table 1. Benchmark problems

Original Author	Problem name	Number of shapes	Best scrap ratio(%)	Best Result Reference
Albano and Sappupo(1980)	Albano	24	14	Hopper(2000) [Simulated annealing]
Blaze, Hawryluk and Walkowiak (1993)	Blasz2	20	31.4	Blaze, Hawryluk and Walkowiak (1993)
Dighe and Jakiela(1996)	Dighe1	16	27.6	Hopper(2000) [Using NestLib]
Dighe and Jakiela(1996)	Dighe2	10	25.4	Hopper(2000) [Genetic Algorithm]
Bounsaythip and Maouche (1997)	Mao	20	28.4	Hopper(2000) [Genetic Algorithm]

4.1 Albano Problem(의복 24개 부재)

최초 실험인 의복 24개 부재에 대한 목적함수 설정 및 실험 결과는 다음과 같다. 총 12회의 실험을 실시하였으며, 최적 근사해는 $\alpha : 1, \beta : 0, \gamma : 0, \delta : 1$, 회전각 30° 로 설정했을 경우 버림율(Scrap Ratio)은 15.05% 이었다. 위의 실험결과로부터 본 연구에서 제시한 목적함수 f_1, f_4 가 f_2, f_3 함수의 적용 없이도 부재의 최적배치가 가능함을 알 수 있었다. 또한 부재의 형상 패턴에 따라 각도나 목적함수를 증가시키는 것이 효율적이지 않은 경우도 발생하였는데, 이는 임의의 형상의 배치가 경우의 수가 많은 NP-Hard 문제로 분류되기 때문에 최적 근사해는 찾을 수 있으나 최적해는 찾기 어렵다는 것을 보여준다.

동일한 문제에 대하여 기존 연구 및 상용 프로그램인 NestLib과 SigmaNest를 이용한 결과 값과 비교하였으며 결과는 다음 <Table 2> 및 <Figure 17>과 같다.

Table 2. Nesting Result of Cloth 24 Items

구분	버림율(%) (Scrap ratio)	계산 시간(초)	기종	연도
Albano	27.20	-	-	1980
NestLib	21.11	2	Pentium II 333Mhz	2000
SigmaNest	20.67	4		2000
한윤근	14.61	52		2000
Burke	15.4	93.39	Pentium IV	2006
VLT 휴리스틱 (본연구)	15.05	113	Pentium Celeron 1.5Ghz	

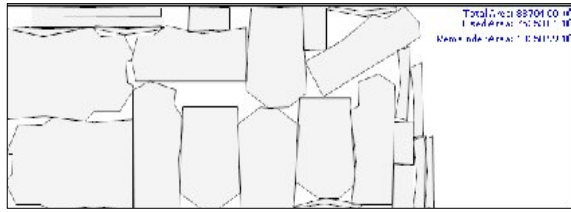


Figure 17. Result(Cloth 24 Items)

실험 결과 상용 프로그램인 NestLib이나 SigmaNest보다 계산 시간은 증가되나 버림율이 감소되었으며, 한운근의 연구결과 보다는 버림율이 높지만 Burke의 2006년 연구 결과보다 버림율이 낮으며 효율이 더 좋은 것을 알 수 있었다.

4.2 Albano problem (의복 36개 부재)

Albano의 문제 중 의복 36개 부재에 대한 확대 실험을 실시한 결과, 최적 근사해는 $\alpha : 1, \beta : 1, \gamma : 0, \delta : 1$, 회전각 10° 로 설정 시 버림율(scrap ratio) 12.77%로 상용 프로그램보다 우수한 결과를 나타내었다. 위의 실험결과로부터 $f_1 \sim f_4$ 의 목적함수의 적용이 형상패턴에 따라 각각 다른 결과를 나타냄을 알 수 있었다. 동일한 문제에 대하여 기존 연구 및 상용프로그램인 LECTRA, NestLib, SigmaNest를 이용한 결과 값과 비교하였으며 실험결과는 다음 <Table 3> 및 <Figure 18>과 같다.

Table 3. Nesting Result of Cloth 36 Items

구 분	버림율(%) (Scrap ratio)	계산 시간(초)	기 종	연 도
LECTRA	23.00	-	-	2000
조경호	10.50	1957	EWS 16 Mips	1993
NestLib	18.26	2	Pentium II 333Mhz	2000
SigmaNest	17.45	5		2000
한운근	12.58	92		2000
VLT 휴리스틱 (본연구)	12.77	1780	Pentium celeron 1.5Ghz	



Figure 18. Result(Cloth 36 Items)

4.3 Blas 2 Problem(Burke, 1993)

Blasz 2 문제는 4종의 동일형상이 5개씩 존재하는 20개 부재의 문제이며 동일 형상의 반복 배치 문제에 대한 알고리즘을

시험하는 목적으로 주로 사용된다.

실험 결과 최적 근사해는 $\alpha : 1, \beta : 0, \gamma : 0, \delta : 1$, 회전각 90° 로 실험시 30.77% 버림율(Scrap Ratio)을 얻을 수 있었다. 동일 문제에 대하여 Burke(26)가 제시한 기존 연구의 결과 값과 비교하였으며 실험결과는 다음 <Table 4> 및 <Figure 19>와 같다.

Table 4. Nesting Result of Blas 2 Problem

구 분	버림율(%) (Scrap ratio)	계산 시간(초)	기 종	연 도
Blaze, Hawryluk & Walkowiak	31.4	-	-	1993
Burke	25.5	10.94	Pentium IV	2006
VLT 휴리스틱 (본연구)	30.7	38	Pentium Celeron 1.5Ghz	

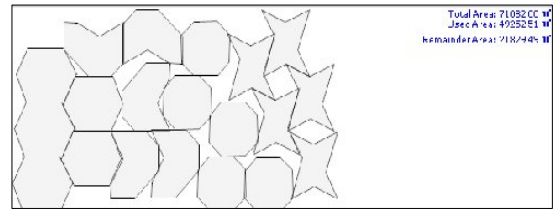


Figure 19. Result(Blasz 2 Problem)

위의 실험결과로부터 VLT 휴리스틱이 동일 형상의 반복 배치에 있어서도 좋은 결과를 나타냄을 알 수 있다.

4.4 Dighe 1 Problem(Irregular Polygon 16 Items)

Dighe 1 문제(Burke, 2006)는 임의의 형상의 다각형을 배치하는 문제로서 곡선이 포함되지 않은 임의의 형상의 다각형의 배치에 대한 알고리즘을 시험하는 목적으로 주로 사용된다. 최적 근사해는 $\alpha : 1, \beta : 0, \gamma : 0, \delta : 1$, 회전각 1° 로 실험시 버림율(Scrap Ratio) 23.98%를 얻을 수 있었다. 실험 결과 VLT 휴리스틱이 임의의 형상의 다각형 배치에도 비교적 우수한 결과를 얻을 수 있음을 보여 주었다. 실험 결과를 통하여 다각형(polygon)으로 구성된 형상의 경우 탐색 시 회전각(θ)을 작게 할수록 버림율이 감소함을 알 수 있었다. 동일한 문제에 대하여 Burke(2006)가 제시한 기존 연구의 결과 값과 비교하였으며 실험결과는 다음 <Table 5> 및 <Figure 20>과 같다.

Table 5. Nesting Result of Dighe 1 Problem

구 분	버림율(%) (Scrap ratio)	계산 시간(초)	기 종	연 도
Hopper	27.6	-	-	2000 (NestLib)
Burke	22.6	8.87	Pentium IV	2006
VLT 휴리스틱 (본연구)	23.98	1838	Pentium Celeron 1.5Ghz	

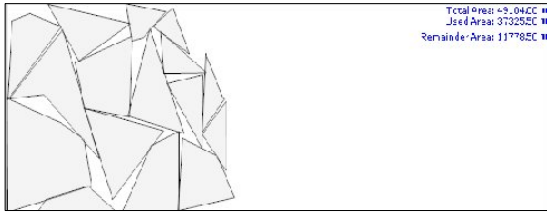


Figure 20. Result(Dighe 1 Problem)

4.5 Dighe 2 Problem(Irregular Polygon 10 Items)

Dighe 2 문제의 경우, 최적 근사해는 $\alpha : 1, \beta : 0, \gamma : 0, \delta : 1$, 회전각 1° 로 실험시 버림율(Scrap Ratio) 24.28%를 나타내었다. 동일한 문제에 대하여 Burke의 연구에서 제시한 기존 연구의 결과 값과 비교하였으며 실험결과는 다음 <Table 6> 및 <Figure 21>과 같다.

Table 6. Nesting Result of Dighe 2 Problem

구 분	버림율(%) (Scrap ratio)	계산 시간(초)	기 종	연 도
Hopper[37]	25.4	-	-	2000 (Genetic algorithm)
Burke[26]	20.6	8.87	Pentium IV	2006
VLT 휴리스틱 (본연구)	24.28	1197	Pentium celeron 1.5Ghz	

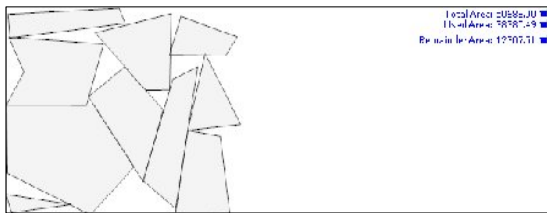


Figure 21. Result(Dighe 2 Problem)

4.6 Mao problem(임의의 형상 20개 부재)

Mao의 문제(Burke, 2006)는 의복과 유사한 임의의 형상 20개에 대한 배치 문제이다. 최적 근사해는 $\alpha : 3, \beta : 0, \gamma : 0, \delta : 1$, 회전각 90° 로 실험시 버림율(Scrap Ratio) 23.75%를 얻을 수 있었다. 동일한 문제에 대하여 Burke의 연구에서 제시한 기존 연구의 결과 값과 비교하였으며 실험결과는 다음 <Table 7> 및 <Figure 22>와 같다.

4.7 실험결과 분석

다음 <Table 8>과 같이 결과 비교가 가능한 문제의 유형과 비교시, 한운근의 연구와는 유사한 결과를, Hopper의 연구결과 보다는 월등한 해를 각각 산출하였으며, 최근 연구인 Burke의

Table 7. Nesting Result of Mao Problem

구 분	버림율(%) (Scrap Ratio)	계산 시간(초)	기 종	연 도
Hopper	28.4	-	-	2000 (Genetic Algorithm)
Burke	20.5	8.87	Pentium IV	2006
VLT 휴리스틱 (본연구)	23.75	318	Pentium celeron 1.5Ghz	

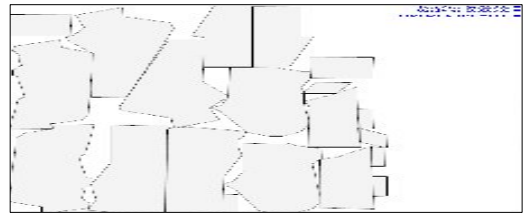


Figure 22. Result(Mao Problem)

연구 결과와 비교시 Albano(24)문제를 제외하고는 우수한 해를 산출하지 못하였으나, VLT 휴리스틱을 이용하여 부재의 배치를 면적 순으로 확정하고 배치할 경우에도 형상의 패턴에 적합한 목적함수 및 탐색 범위(회전 각도 및 이동 pixel)의 개선을 통하여 문제의 유형에 따라 일부 우수한 해를 얻을 수 있는 가능성을 제시하였다. 또한 본 연구에서 목적함수 가중치($\alpha, \beta, \gamma, \delta$), 회전각(θ) 및 탐색간격(pixel) 결정은 반복실험을 통하여 결정하였으나 추정값 선정을 위한 효율적인 실험계획이 요구된다.

Table 8. Comparison(Scrap Ratio)

문제 연구자	Albano(24)	Albano(36)	Blasz2	Dighe 1	Dighe 2	Mao
조경호	-	10.50	-	-	-	-
한운근	14.61	12.58	-	-	-	-
Hopper	-	-	-	27.6	25.4	28.4
Burke	15.4	-	25.5	22.6	20.6	20.5
VLT 휴리스틱 (본 연구)	15.05	12.77	30.7	23.98	24.28	23.75

5. 결 론

조선, 기계, 전자 산업을 비롯하여 의류 산업 등 판매 소재를 다루는 응용분야에서의 자동 배치를 위한 효율적인 알고리즘 및 기법의 개발을 위해 많은 연구가 있었다. 이들 연구의 주요 목표는 효율성 향상과 계산시간의 단축이었다. 두 가지의 서로 상반된 목적을 최적화하는 문제가 이러한 배치 문제를 더욱 흥미롭게 한다. 본 연구에서 제시하는 VLT 휴리스틱은 임의의

2차원 임의형상에 대한 배치 기법으로 기존의 연구 결과와 비교 시 문제의 종류에 따라 일부 문제에서 우수한 효율을 나타내었다. 향후 Nesting 관련 산업의 상업용 소프트웨어 개발에도 VLT 휴리스틱의 적용이 가능할 것이라고 판단된다.

기존 연구에서 메타 휴리스틱 기법인 유전자 알고리즘, 시뮬레이티드 어닐링, 타부서치 등이 Nesting 문제에 적용되었으나, 이러한 기법들은 효율성은 비교적 우수한 편이나 계산시간의 방대함으로 인하여 현실적인 적용에는 많은 애로가 있는 실정이다. 따라서 향후 연구방향은 이러한 기법들과 함께 계산시간 축소를 위한 최적화 알고리즘의 개발과 Nesting 숙련자들의 경험적 기법을 수학적으로 동시에 구현하는 것이 바람직하다고 판단되며, 목적함수 가중치($\alpha, \beta, \gamma, \delta$), 회전각(Θ) 및 탐색간격(pixel) 선정을 위한 효율적인 실험계획이 요구된다.

끝으로 Nesting의 목적이 절단공정을 통한 판재의 효율적인 사용에 있는 바 CAD 프로그램으로부터 입력과, Nesting, 절단공정이 통합된 연구가 바람직할 것으로 판단된다.

참고문헌

방기범 (1990), 판재 소모를 최소화하는 이차원 형상의 최적 배치, *서울대학교 대학원 기계설계학과 공학석사 학위논문*, 30-33.
 설인환 (2000), Simulated Annealing을 이용한 의복 패턴의 최적 배치, *서울대학교 대학원 섬유공학부 공학석사 학위논문*, 34-35.
 유병향 (2002), 유전 알고리즘과 No Fit Polygon법을 이용한 임의형상 부재 최적배치 연구, *부경대학교 대학원 조선해양시스템공학과 공학박사 학위논문*, 1-32.
 조경호 (1993), 판재부품의 가공 자동화를 위한 CAD/CAM통합 시스템, *서울대학교대학원 기계설계학과 공학박사 학위논문*, 64-109.
 조준홍 (1990), Quadtree를 이용한 불규칙한 형상을 갖는 패턴의 최적 배치에 관한 연구, *한국과학기술원 대학원 산업공학과 공학석사 학위논문*, 71-76.
 한국찬 (1992), 레이저 절단 공정에서의 CAD/CAM 시스템 개발 및 형상 최적배치 알고리즘 개발에 관한 연구, *한국과학기술원 대학원 생산공학과 공학석사 학위논문*, 24-35.
 한국찬, 나석주 (1993), 신경회로망을 이용한 직사각형의 최적배치

에 관한 연구, *대한기계학회 논문집*, 17(12), 3063-3072.
 한윤근 (2000), 임의 형상부재의 자동 네스팅 시스템에 관한 연구, *서울대학교 대학원 조선해양공학과 공학박사 학위논문*, 19-39.
 한윤근 (1992), 판재소모의 최소화를 위한 부재의 최적배치 알고리즘에 관한 연구, *서울대학교 대학원 조선해양공학과 공학석사 학위논문*, 13-22.
 Adamowicz, M. and Albano, A. (1976), A Solution of the Rectangular Cutting Stock Problem, *IEEE Trans. Syst., Man. and Cyber.*, SMC-6(4), 302-310.
 Albano, A. and Sapuppo, G. (1980), Optimal allocation of two-dimensional irregular shapes using heuristic search methods, *IEEE Transactions on Systems, Man and Cybernetics*, SMC-10, 242-248.
 Bennell, J. A., Dowsland, K. A., and Dowsland, W. B. (2000), A New Procedure for Deriving the No-Fit Polygon, Report, *European Business Management School Singleton Park Swansea*, UK.
 Bennell, J. A., Dowsland, K. A., and Dowsland, W. B. (2001), The irregular cutting-stock problem-a new procedure for deriving the no-fit polygon, *Computers and Operations Research*, 28, 271-287.
 Burke, E. K., Hellier, R., Kendall, G., and Whitewell, G. (2006), A New Bottom-Left-Fill Heuristic Algorithm for the Two-Dimensional Irregular Packing Problem, *Operations Research*, 54(3), 587-601.
 Fujita, K., Akagi, S., and Hirokawa, N. (1993), Approach for Optimal Nesting using a Genetic Algorithm and Local Minimization Algorithm, *일본기계학회 논문집*, 59(564), 2576-2583.
 Fujita, K., Akagi, S., and Hirokawa, N. (1993), Hybrid Approach for Optima Nesting using a Genetic Algorithm and a Local Minimization Algorithm, *ASME, Advances in Design Automation*, 1(65-1), 477-484.
 Hopper, E. (2000), Two Dimensional Packing utilizing evolutionary algorithms and other meta-heuristic methods, *Ph.D. thesis, University of Wales, Cardiff*.
 Kirkpatrick, S., Gelatt, C. D. Jr., and Vecchi, M. P. (1983), Optimization by Simulated Annealing, *Science*, 220, 671-680.
 Marques, V. M. M., Bispo, C. F. G., and Sentieiro, J. J. S. (1991), A system for the compaction of two-dimensional irregular shapes based on simulated annealing, *Proceedings of the 1991 International Conference On Industrial Electronics, Control and Instrumentation IECON 1991, Kobe, Japan*, 1911-1916.
 Yamauchi, S. and Tezuka K. (1995), Automatic Nesting System by Use of Genetic Algorithm, *Journal of the Society of Naval Architects of Japan*, 178, 707-712.
<http://www.diku.dk/~pisinger>.



정성교
 육군사관학교 학사
 국방대학교 운영분석학과 석사
 현재: 육군 9사단 28연대 군수과장
 관심분야: 휴리스틱, 부재배치, 최적화기법 응용



전건욱
 공군사관학교 전자공학과 학사
 고려대학교 산업공학과 석사
 University of Louisville 산업공학 박사
 현재: 국방대학교 운영분석학과 부교수
 관심분야: 최적화기법 응용, 일정계획, 신뢰도분석, 셀형 제조시스템