

경계면스캔에서의 선택가능한 관측점 시험구조의 개발

이창희*, 장영식*

Development of selectable observation point test architecture in the Boundry Scan

Chang-Hee Lee *, Young-Sig Jhang *

요약

경계면 스캔 구조는 시험대상회로의 출력값들을 캡처하여 스캔경로를 이용하여 TDO로 직렬출력하여 출력값을 관찰할 수 있는 시험구조이며, Sample/Preload 명령어를 이용하여 시험대상회로의 특정한 한 순간의 출력만을 캡처하여 직렬출력하여 분석할 수 있다. 본 논문에서는 4비트 비동기 카운터회로를 시험대상회로로 선정하고, 정상동작중인 카운터의 특정 출력을 지정하여 특정한 순간의 정적인 출력이 아닌, 연속적인 동적인 출력값들을 다른 출력결과의 영향 없이 지속적으로 TDO로 출력하여 관찰할 수 있는 선택가능한 관측점을 가진 시험구조와 시험절차를 개발하였다. 본 논문에서 제안하는 선택가능한 관측점을 가진 시험구조는 표준에서 정한 시험동작을 정상적으로 수행하며, 관측점의 설정을 위한 명령어가 추가되었다. 4비트 카운터회로에 제안된 선택가능한 관측점 시험구조를 적용 설계하고, 관측점 설정 명령어를 사용한 시험절차를 Altera의 Max 10.0을 이용한 시뮬레이션을 통해 동작의 정확성을 확인하였다.

Abstract

In this paper, we developed a selectable observation point test architecture and test procedure for clocked 4-bit synchronous counter circuit based on boundary scan architecture. To develop, we analyze the operation of Sample/Preload instruction on boundary scan architecture. The Sample/Preload instruction make possible to snapshot of outputs of CUT(circuit under test) at the specific time. But the changes of output of CUT during normal operation are not possible to observe using Sample/Preload in typical scan architecture. We suggested a selectable observation point test architecture that allows to select output of CUT and to observe of the changes of selected output of CUT during normal operation. The suggested a selectable observation point test architecture and test procedure is simulated by Altera Max 10.0. The simulation results of 4-bit counter shows the accurate operation and effectiveness of the proposed test architecture and procedure.

▶ Keyword : 경계면스캔(Boundary Scan), DFT(Design For Test), IEEE1149.1

• 제1저자 : 이창희
• 접수일 : 2008. 5. 14, 심사일 : 2008. 6. 20, 심사완료일 : 2008. 7. 25.
* 계명문화대학 컴퓨터학부 교수

I. 서론

IEEE 1149.1 스캔 구조는 대상회로에 대한 표준적인 시험 구조로서 회로에 대한 표준적인 접근을 허용케 하는 시험구조로서 대부분의 칩 제조사에서 사용하는 시험 구조이다. IEEE 1149.1 스캔 구조는 각 IC 칩의 모든 입출력포트에 기억소자를 두고, 이것을 직렬 쉬프트 레지스터 스캔경로로 연결시키는 기능을 추가하는 것이다. 경계면스캔을 이용하면 IC 칩들의 모든 초단입력(Primary Input: PI)과 중단출력(Primary Output: PO)을 하나의 경계면스캔 입력(TDI)과 한 경계면스캔 출력(TDO)을 가진 하나의 쉬프트 레지스터로 연결함으로써 외부에서부터 PCB 상의 모든 초단입력과 중단출력들에 접근하고 제어할 수 있는 기법이다. 이러한 경계면 스캔 구조는 대상회로의 논리 결함의 원인이 되는 고착 결함을 검출하는데 주로 사용되고 있으며, 최근 들어 회로의 동작 타이밍과 관련된 지연 시험에의 응용에 대해 관심이 높아지고 있다.[4,5]

본 논문에서는 표준의 경계면 스캔 구조에서의 시험 동작중 특정시간의 대상회로의 모든 출력값들을 직렬 스캔경로를 통하여 TDO로 직렬출력하는 동작을 수정하여, 대상회로의 출력들 중 선택된 하나의 출력선을 관측점으로 지정할 수 있도록 하고, 선택된 출력의 신호값을 TDO를 통해 관측할 수 있는, 선택 출력 전용의 시험구조로 동작할 수 있는 시험구조를 개발하였다.

표준에서 정한 Sample/Preload명령은 정상동작중인 대상회로의 출력값을 캡처하고 그 결과값을 TDO로 직렬출력하는 동작을 수행한다. 이때 Sample/Preload명령이 TDO로 출력하는 출력값은 캡처되는 특정 시점의 대상회로의 출력이다. 본 논문에서 제안하는 선택가능한 관측점을 가진 시험구조는 선택된 관측점에서의 연속적으로 변화되는 출력을 TDO를 통해 선택된 관측점전용으로 출력함으로써 대상회로의 실시간 동작의 관측에 사용될 수 있도록 하였다.

본 논문에서는 시험 대상회로의 출력측 경계면 스캔 레지스터의 구조를 새로이 설계하여 선택된 하나의 출력값만이 TDO로 출력되도록 설계하였고, 특정 하나의 출력을 선택하기 위한 선택출력 명령어와 이를 이용한 시험절차를 개발하였다. 본 논문의 구성은 1장 서론에 이어서, 2장에서 경계면 스캔 구조에서의 출력값 관측동작에 대해 알아보고, 3장에서 선택가능한 관측점 지정이 가능한 출력측 경계면 스캔 레지스터의 구조와 동작에 대해 논한다. 4장에서 설계된 시험구조를 시뮬레이션을 통해 제안된 시험 구조와 시험절차에 대한 동작의 정확성을 확인한다. 그리고 5장에서 결론을 맺는다.

II. 경계면 스캔 관련연구

2.1 1149.1 경계면 스캔 구조

ANSI/IEEE Std 1149.1의 근본 목적은 전자적 시험접근 메커니즘(test-access mechanism)을 IC 자체 내에 구현해 넣음으로써 시험을 위한 회로기판에의 물리적 탐침의 필요성을 배제하는 것이다.

경계면 스캔을 이용한 시험 구조는 시스템 논리(system logic)와 시험 논리(test logic)의 두 부분으로 나눌 수 있다. 시스템 논리는 칩 설계의 원래 목적대로 정상 동작을 수행하는 회로이다. 시험 논리는 시스템 논리를 제외한 부분으로서, 시험을 위해 칩 속에 포함된 논리이다. 이 시험 논리는 칩 자체나 칩들 간의 연결을 시험할 뿐만 아니라 소자의 정상 동작에 영향을 주지 않으면서 회로의 행동을 관측 및 제어한다. 이를 위해 시험 접근 포트(TAP : Test Access Port)를 통해 접근한다.

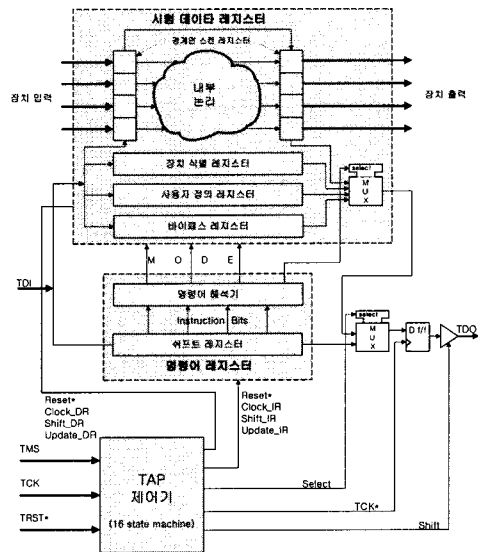


그림 1. 경계면 스캔 구조의 블록도
Fig 1. Block diagram of Boundary Scan

경계면 스캔 구조의 두 가지 기본 동작 모드는 정상 동작 모드와 시험 동작 모드이다. 정상 동작 모드에서는 시험이 아닌, 원래의 기능들을 수행한다. 그러므로 대상회로의 입력 핀에 신호가 병렬로 입력되고, 그 결과값이 병렬로 출력된다. 경계면 스캔 레지스터에 인가되는 시험 데이터들은 단지 그

레지스터들을 통해서 출력된다. 시험 동작 모드에서는 대상 회로의 입출력 신호는 무시되고, TDI(Test Data Input)에서 입력되는 시험 데이터는 TDO(Test Data Output)로 출력되어 결함이 진단된다. 그림1은 경계면 스캔 구조의 블록도를 나타내며 크게 다음의 3가지 핵심요소로서 구성된다.

1. TAP 제어기(test access port controller: TAPC)
2. 명령어 레지스터(instruction register: IR)
3. 시험 데이터 레지스터(test data register: TDR)

그림1에서 내부 논리(Internal Logic)를 제외한 부분이 경계면 스캔 구조의 시험 논리구조이다.

TAP 제어기(TAPC)는 TAP(test access port)을 통해 공급되는 입력 신호들인 TMS(Test Mode Select), TCK(Test Clock)와 TRST*(Test Reset)을 받아 명령어 레지스터와 시험 데이터 레지스터에 필요한 클럭과 제어 신호를 제어 신호를 발생시키는 16개의 상태를 가지는 동기식 유한 상태 기계이다

명령어 레지스터는 쉬프트 레지스터로 구성되며, 수행될 명령어가 직렬로 적재되고, 시험 데이터 레지스터는 쉬프트 레지스터로 구성되며, 시험에 필요한 데이터나 조건 값이 직렬로 적재된다. 시험 수행 후 시험 데이터 레지스터내의 결과를 쉬프트해서 검사할 수 있다.

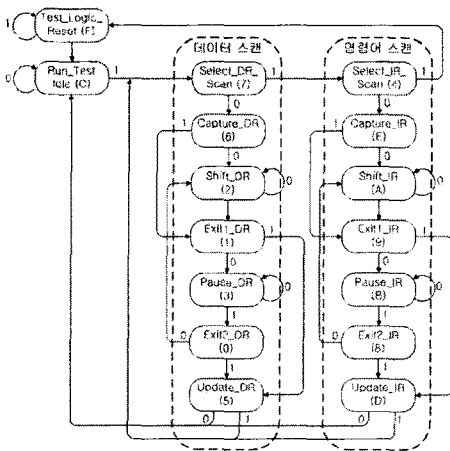


그림 2. TAP 제어기의 상태 천이 다이어그램
Fig 2. State transition diagram of TAP controller

이들 회로들은 하나의 TAP에 연결된다. TAP은 4개의 신호를 포함하는데, 이 신호들은 시험 동작을 제어하고 명령어와 시험 데이터를 직렬 적재(loading) 및 비적재(unloading)하는데 사용되며, TAP을 구성하는 각 신호선과 기능은 다음과 같다.

1. Test Clock Input(TCK): 칩의 시스템 클럭과는 독립적이며, 시험 동작은 PCB상의 여러 칩 사이에 동기화 될 수 있다.
2. Test Mode Select Input(TMS): 시험논리의 동작은 이 입력에 적용된 비트열에 의해 제어된다. 이 비트열은 TAP제어기를 지시하여 다른 시험논리 블록이 필요로 하는 클럭과 제어신호를 발생한다.
3. Test Data Input(TDI): 이 직렬 입력에 인가되는 데이터는 앞서 TMS에 인가된 비트열에 따라 IR또는 TDR에 입력된다.
4. Test Data Output(TDO): 시험 논리의 출력은 앞서 TMS에 인가된 비트열에 따라 IR 혹은 TDR로 부터 공급된다. 쉬프트 동작 동안에는 TDI에 인가된 데이터는 몇 TCK 사이클 뒤(직렬 경로에 포함된 레지스터의 개수에 의해 결정됨)에 TDO에 나타난다.

1) TAP 제어기

TAP 제어기는 16상태를 가지는 유한 상태 기계이며, 그림 2는 TAP제어기의 상태 천이도를 나타낸다. TAP 제어기는 시험 클럭(TCK)과 시험 모드 선택(TMS)을 입력으로 받아서 제어 구조의 여타 부분들을 위한 클럭 신호들과 제어 신호들을 생성한다. TCK의 상승 에지에서 상태천이가 일어난다. 상태 천이도상의 0과 1은 특정 천이를 유발키 위해 TCK의 상승 에지때 TMS에 유지되어야 할 논리값이다.

2) 명령어 레지스터

명령어 레지스터는 쉬프트 레지스터로 구성되며, Sample/Preload, Bypass, Extest, Intest, Runbist와 같은 수행될 명령어가 직렬로 적재된다. 일반적으로 명령어 레지스터는 명령을 해독하는 회로부분을 포함한다.

3) 시험 데이터 레지스터

시험 데이터 레지스터 블록은 4종류의 레지스터로 구성되며 다음과 같다.

1. 경계면 스캔 레지스터(boundary scan register)
2. 바이패스 레지스터(bypass register)
3. 장치 식별 레지스터(device identification register)
4. 사용자 시험 데이터 레지스터(user test data register)

경계면 스캔 레지스터(boundary-scan register:BSR)는 쉬프트 레지스터 기반구조로서, 특정 소자의 요구를 충족시키기 위해 여러 종류의 셀이 설계되며, 시스템 핀의 종류(input,output,3-state,bidirectional)에 따라, 또 지원되

는 경계면 스캔 명령들에 따라 서로 다른 구조를 가진다. 그림3은 전형적인 경계면 스캔 레지스터로서 ClockDR, ShiftDR, 및 UpdateDR신호는, TAP제어기가 TCK와 TMS 입력의 변화에 대한 응답으로 생성한다. Mode입력은 경계면 스캔 레지스터에 연결되는 핀의 유형(input, output)과 선택된 명령에 따라 제어된다.

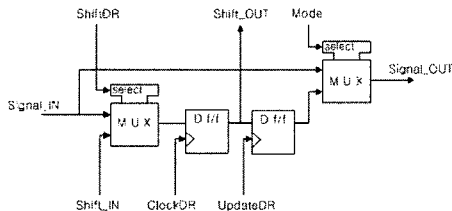


그림 3. 전형적인 경계면 스캔 레지스터의 구조
Fig 3. Typical design of Boundary Scan Register

2.2 Sample/Preload 명령의 동작분석

앞질의 명령어 레지스터에서 언급한 Sample/Preload 명령어는 표준에서 정한 필수 명령어이다. 이 명령어는 대상회로가 정상동작중인 경우 대상회로의 출력값을 캡처하여 관측하기 위한 용도로 사용된다. Sample/Preload 명령어의 동작의 수행을 각 단계별로 살펴보면, 그림 4,5,6과 같다.

대상회로의 모든 출력들은 경계면 스캔 레지스터에 연결되어 있으며, 이들 경계면 스캔 레지스터는 하나의 스캔 경로를 형성하게 된다. 그림 4는 Sample/Preload 명령어가 명령어 레지스터에 입력되었을 경우 mode 신호가 '0'이 되며, 이때 대상회로의 출력들이 출력단에 연결된 각각의 경계면 스캔 레지스터의 오른쪽 MUX를 거쳐서 출력쪽으로 전파된다. 이때 회로는 정상동작을 수행중인 상태이다. 그림 5는 정상동작중인 대상회로의 출력을 캡처하는 동작이다. 이 동작을 위해서 그림2의 TAP 제어기는 천이도상의 데이터스캔을 따라야 한다. 즉, 7->6 으로 천이함으로써 TAP 제어기에 의해 생성된 ShiftDR 신호가 '0'을 유지하고, ClockDR 신호에 의해 경계면 스캔 레지스터의 왼쪽 F/F에 대상회로의 출력이 캡처된다. 그림 6은 각 경계면 스캔 레지스터의 왼쪽 F/F에 저장된 그림 5에서의 캡처결과를 TDO로 직렬 출력하기 위한 과정이다. 이를 위해서 TAP 제어기는 앞단계의 6 번 상태에서 2번 상태인 Shift_DR 상태를 N번 반복유지하게 된다. Shift_DR 상태에서 ShiftDR 신호가 '1'이 되어 캡처된 출력값이 하나의 직렬 연결된 스캔 경로를 통해 TDO로 직렬 출력된다. 이상에서 살펴본 표준의 Sample/Preload 명령은 대상회로의 정상동작에 영향을 주지 않고, 출력결과값

을 TDO를 통해 관측하는 기능을 제공한다. 이때 관측할 수 있는 출력값은 단계2의 Capture_DR 상태에서의 대상회로의 출력값만을 관측할 수 있다.

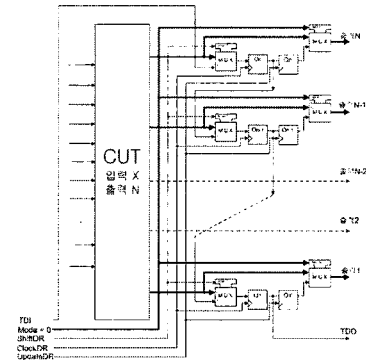


그림 4. Sample/Preload 명령어의 동작1
Fig 4. Operation 1 of Sample/preload Instruction.

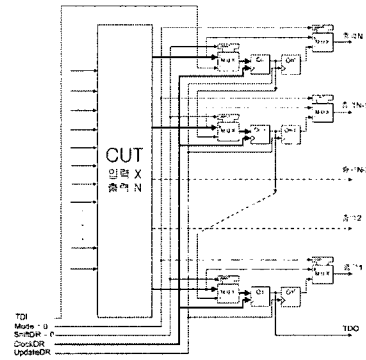


그림 5. Sample/Preload 명령어의 동작1
Fig 5. Operation 2 of Sample/preload Instruction.

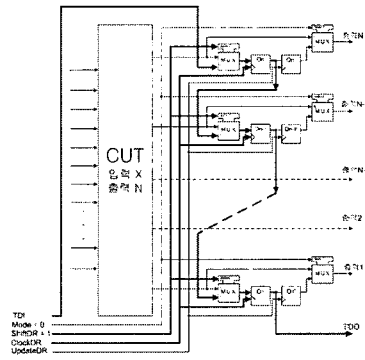


그림 6. Sample/Preload 명령어의 동작3
Fig 6. Operation 3 of Sample/preload Instruction.

III. 선택가능한 관측점 시험 구조의 개발

2장에서 살펴본 바와 같이 경계면 스캔구조의 Sample/Preload 명령은 정상동작중인 대상회로의 출력값을 캡처하여 경계면 스캔 경로를 사용하여 TDO를 통해 직렬출력함으로써 회로의 동작을 관측가능하게 한다. 이때 관측되는 출력값은 그림 7에서와 같이 ①번 시점에서 캡처되는 정적 데이터가 경계면 스캔 레지스터의 왼쪽 F/F에 저장된다. 즉, 대상회로의 출력중 특정한 시간의 출력만을 캡처하여 ②번과정의 직렬출력을 거쳐서 TDO에서 관측가능하게 된다. 그러나 대상회로의 출력이 시간상으로 연속적으로 변화되는 경우라면 표준 경계면 스캔에서의 Sample/Preload 명령어로 대상회로의 연속적인 출력값을 관측하는 것은 불가능하다.

3장에서는 대상회로의 출력들중 특정 하나를 선택하여 대상회로의 동적인 출력값을 TDO를 통해 관측할 수 있는 선택가능한 관측점 스캔 레지스터를 설계하고, 필요한 명령과 시험절차를 개발한다.

3.1 선택가능한 관측점 시험구조의 개발

본 논문에서 제안하는 시험구조는 대상회로의 출력들중 특정 하나를 선택하여, 선택된 출력선의 연속적인 대상회로의 출력값들을 TDO를 통해 직렬출력하여 회로의 연속된 출력값을 관측가능하게 설계되었다. 그림 8과 그림 9에 본 논문에서 제안된 시험구조의 기본적인 동작을 도식화하였다. 그림 8은 대상회로의 출력들중 특정 하나를 지정하기 위한 관측점 설정과정이다. 그림에서와 같이 먼저 ①번 과정에서 TDI를 통해 출력측 경계면 스캔레지스터들의 왼쪽 F/F인 O1O2O3O4에 "1101"이 입력되도록 TDI를 통해 데이터를 직렬로 쉬프트 입력한다. ②번 과정에서 스캔 레지스터들의 오른쪽 F/F인 O1'O2'O3'O4'에 각각 왼쪽 F/F의 값을 전파시킨다. 이과정은 TAP제어기의 데이터스캔과정의 마지막인 Update_DR 상태에 의해 이루어진다. 그림 8의 두과정을 통해 O1'O2'O3'O4'에 입력된 '1100'은 관측점 지정을 위한 설정 데이터로서, 설정된 값이 '1'인 경우에는 TAP제어기의 데이터 스캔 동작에서 해당 스캔 레지스터의 왼쪽 F/F에 스캔경로상의 앞단의 스캔레지스터의 출력을 쉬프트인된 데이터를 입력받도록 한다. 만약 설정된 값이 '0'인 경우 이후, TAP제어기의 데이터 스캔 동작에서 해당 스캔 레지스터의 왼쪽 F/F에는 대상회로의 출력선의 데이터값이 입력되도록 설계하였다. 즉, 현재 설정된 '1100'의 의미는 O4와 O3에는 대상회로의 출력선의 값이 입력되고 그 값이 스캔 경로상의 다음 스캔 레지스터의 쉬프트

인입력으로 전달된다. O2와 O1에는 스캔 경로상의 앞단에서 전파되는 쉬프트 인되는 데이터가 입력된다. 그림 9는 설정된 관측경로를 나타내고 있다. ①번 과정에서 F/F O3에 입력되는 대상회로의 출력값이 ②번 과정의 직렬쉬프트 동작을 통해 설정된 경로를 지나 TDO로 출력된다. 이 과정은 TAP제어기의 데이터 스캔 동작에 의해 이루어지며 Shift_DR상태의 반복유지를 통해 대상회로의 연속적인 출력값이 TDO로 연속 직렬 출력되므로 대상회로의 동적인 출력데이터를 관측가능하게 한다.

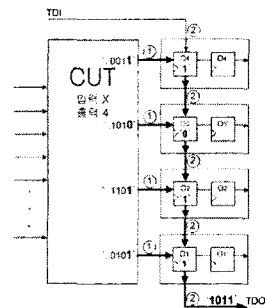


그림 7. Sample/Preload명령어의 캡처와 직렬출력
Fig 7. Capture & Shift out Operation of Sample/Preload

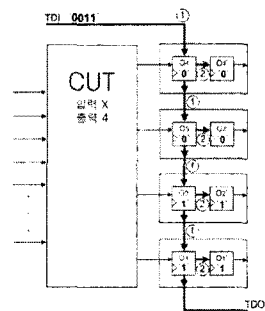


그림 8. 관측점 설정 데이터의 직렬입력
Fig 8. Shift out of Observation Configure Data

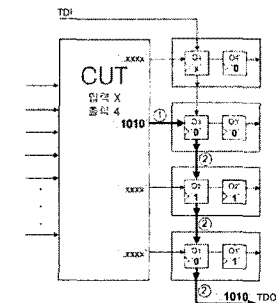


그림 9. 관측점의 캡처와 직렬출력 경로
Fig 9. Capture of observation point & Shift out path

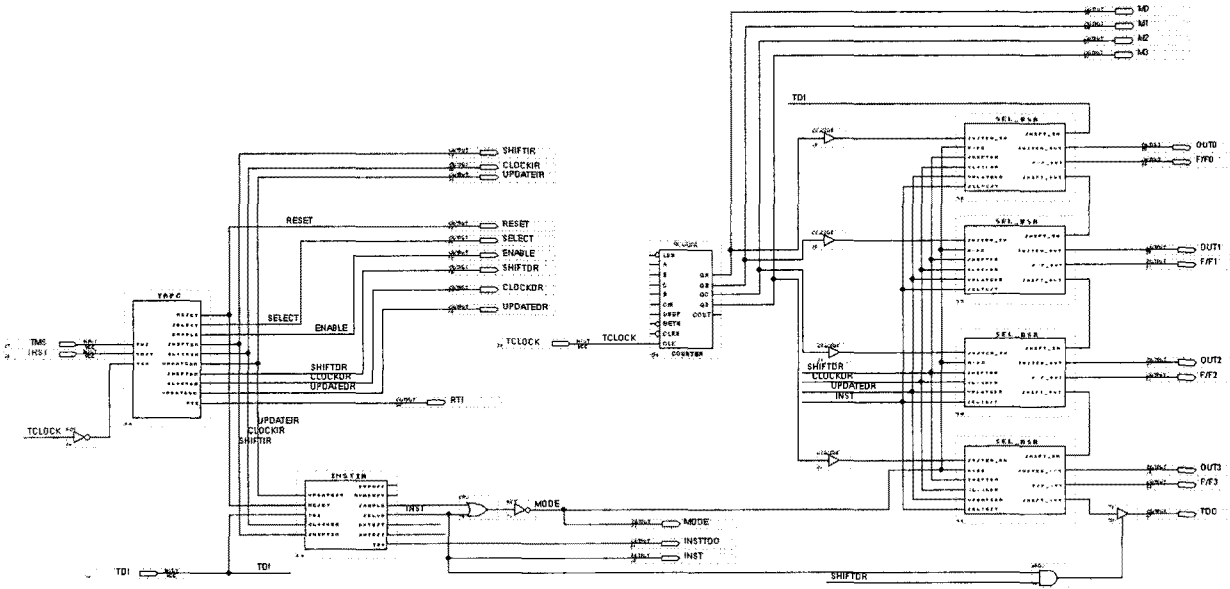


그림 12. 4비트 카운터에 적용한 선택가능한 관측점 시험구조의 회로도
 Fig 12. Design of Selectable Observation Point Arch, adopted for 4bit counter

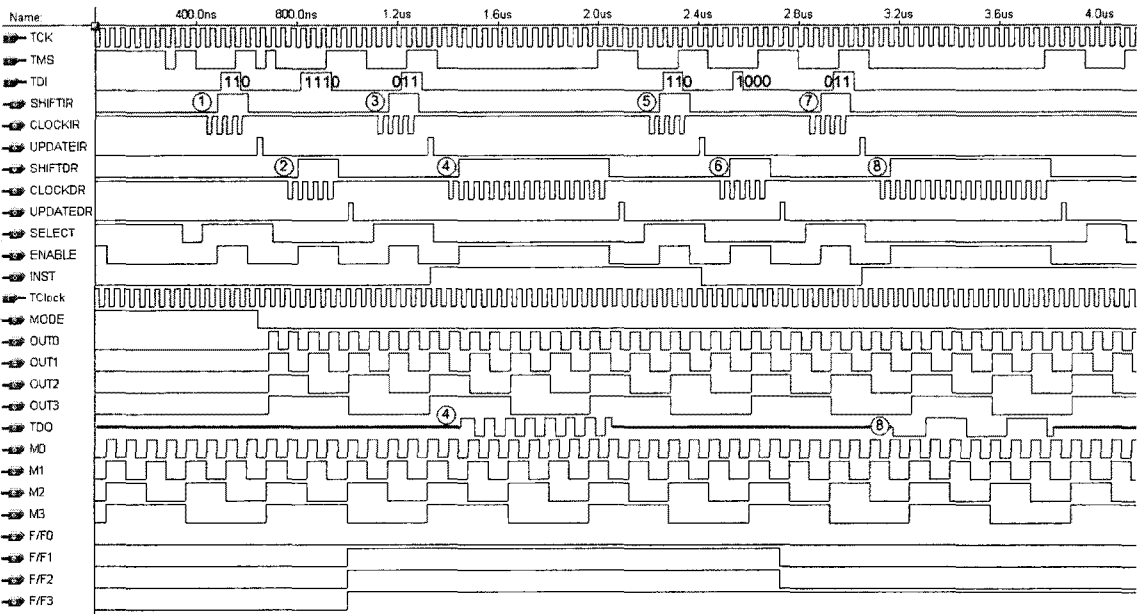


그림 13. 시뮬레이션 결과 파형도
 Fig 13. Result of simulation

IV. 시뮬레이션

3장에서 개발된 경계면 스캔 레지스터인 SEL_BSR과 시험절차를 적용한 시험대상회로로 동적으로 출력값이 변화되는 클럭입력을 갖는 동기식 4비트 카운터회로를 선정하고, 시험구조의 설계와 시뮬레이션은 ALTERA의 MAX PLUS II 10.0을 사용하였다. 시험대상회로인 카운터회로는 4개의 출력 신호선을 가지며, 초기값 0에서부터 입력 클럭의 상승 에지에서 1씩 감소되는 감소 카운터이다. 즉, 클럭의 상승 에지에서 대상회로의 출력은 0부터 15, 14, 13, ..., 0으로 천이된다. 그림 12는 시험대상회로에 선택가능한 관측점 시험구조를 적용한 전체 회로도이며 MAX PLUS II 10.0의 그래픽 편집기와 AHDL을 이용하여 작성되었다.

카운터회로의 4개의 출력신호선(M0,M1,M2,M3)마다 본문에서 설계된 경계면 스캔 레지스터인 SEL_BSR이 장착되어 있으며, 4개의 경계면 스캔 레지스터 SEL_BSR은 TDI입력에서 TDO출력으로 직렬 연결되어 있다. 카운터의 동작을 위한 클럭입력인 TCLOCK을 TAP제어기의 TCK로 사용하였다.

그림 13은 그림 11의 시험 절차를 따라 선택가능한 관측점 시험구조를 로직 시뮬레이션한 결과 파형도이며, 시뮬레이션에 사용된 TCK의 클럭주기는 40ns을 이다. 주요신호로 M0:M3는 카운터의 출력신호값을 의미하며, F/F(0:3)는 그림 10의 SEL_BSR의 오른쪽 F/F값을 의미한다. 이 값에 의해 관측점이 설정되고, 쉬프트경로가 결정된다. OUT(0:3)은 SEL_BSR의 System_Out신호값을 의미한다. INST는 SELOP명령의 활성화를 나타내며, 1인 경우 활성화 상태를 의미한다. MODE는 Sample/Preload명령과 SELOP명령시 대상회로의 정상동작을 허용하는 신호값으로 SEL_BSR의 입력으로 사용된다. TDI는 시험구조의 직렬입력으로서 데이터와 명령어 입력에 사용되며, TDO는 시험구조의 직렬출력을 나타낸다.

시뮬레이션 결과 파형을 설명하면 다음과 같다. 아래의 원숫자는 그림 13의 시뮬레이션 파형도상의 원숫자가 지시하는 시뮬레이션 시점을 나타낸다.

① Sample/Preload 명령어 입력 단계.

Sample/Preload('110')를 TDI를 통해 명령어 레지스터에 직렬 입력한다.

파형도에서 UPDATEIR의 상승에지에서 활성화가 되어 MODE신호가 0으로 천이된다. 이 결과 SEL_BSR의 System_out인 OUT(0:3)의 신호가 카운터 출력인 M(0:3)을 반영하

게 된다.

② 관측점 설정 데이터 입력 단계.

관측점 설정 데이터 '1110'을 직렬 입력하여 SEL_BSR에 쉬프트시키고, UPDATEDR의 상승에지에서 SEL_BSR의 오른쪽 F/F에 차례대로 입력된다. 그 결과 F/F(0:3)에 '0111'로 변화됨을 알 수 있다. 즉, 카운터 출력 M0에 연결된 SEL_BSR의 F/F0의 '0'이고 나머지는 '1'값을 가짐으로써, 관측점은 출력 M0가 된다.

③ SELOP 명령어 입력 단계.

SELOP('011')를 TDI를 통해 직렬 입력한다.

파형도에서 UPDATEIR의 상승에지에서 활성화가 되며, INST 신호가 '1'로 천이됨을 알 수 있다. 이 명령의 활성화에 의해 TAP제어기의 데이터스캔 동작중에 각 SEL_BSR의 오른쪽 F/F의 값이 고정되어 관측점과 쉬프트경로를 유지한다.

④ 관측점 결과 캡처 및 결과 직렬출력

TAP제어기의 데이터 스캔동작을 따라서 관측점의 원하는 출력갯수만큼 SHIFR_DR상태를 반복유지함으로써 정상동작 중인 카운터의 연속된 캡처 결과가 TDO로 출력된다. ②단계의 관측점 설정에서 지정된 관측점 M0의 출력이 TDO로 출력됨을 파형도에서 확인할 수 있다.

⑤ Sample/Preload 명령어 입력 단계.

새로운 관측점을 지정하기 위하여 Sample/Preload('110')를 TDI를 통해 명령어 레지스터에 직렬 입력한다.

⑥ 관측점 설정 데이터 입력 단계.

새로운 관측점 설정을 위하여 '1000'을 직렬 입력하여 SEL_BSR에 쉬프트시키고, UPDATEDR의 상승에지에서 SEL_BSR의 오른쪽 F/F에 차례대로 입력된다. 그 결과 F/F(0:3)에 '0001'로 변화됨을 알 수 있다. 즉, 카운터 출력 M2에 연결된 SEL_BSR의 오른쪽 F/F값을 의미하는 F/F2 신호선의 값이 '0'이 되어, SEL_BSR의 왼쪽 F/F에는 카운터회로의 출력 M2가 캡처되고, 다음단에 연결된 SEL_BSR의 F/F3이 '1'이므로 캡처된 M2의 값이 TDO로 전파되는 쉬프트 경로가 형성된다.

⑦ SELOP 명령어 입력 단계.

SELOP('011')를 TDI를 통해 직렬 입력한다.

파형도에서 UPDATEIR의 상승에지에서 활성화가 되며, INST 신호가 '1'로 천이됨을 알 수 있다. 이 명령의 활성화에 의해 TAP제어기의 데이터스캔 동작중에 각 SEL_BSR의 오른쪽 F/F의 값이 고정되어 관측점과 쉬프트경로를 유지한다.

⑧ 관측점 결과 캡처 및 결과 직렬출력

TAP제어기의 데이터 스캔동작을 따라서 관측점의 원하는 출력갯수만큼 SHIFR_DR상태를 반복유지함으로써 정상동작 중인 카운터의 연속된 캡처 결과가 TDO로 출력된다. ⑥단계의 관측점 설정에서 지정된 관측점 M2의 출력이 TDO로 출력됨을 파형도에서 확인할 수 있다.

시뮬레이션 파형도를 분석한 결과, 본 논문에서 제안한 선택가능한 관측점 시험구조가 정상적으로 관측점을 설정하고, 설정된 관측점의 결과를 연속적으로 캡처하여 직렬출력함을 알 수 있다.

V. 결론

표준 경계면 스캔 구조에서의 Sample/Preload명령이 특정한 한 순간의 대상회로의 결과값을 캡처하여 관측할 수 있다. 본 논문에서는 정상동작중인 대상회로의 출력중 특정 하나를 선택하고, 선택된 출력의 연속적인 출력값들을 캡처하여 관측할 수 있는 선택가능한 관측점 시험구조와 시험명령어를 개발하고, 시험절차를 제안하였다. 제안된 시험구조는 출력이 동적으로 변화되거나, 출력의 주기를 가지는 대상회로인 경우 일반적인 경계면 스캔 구조에서의 시험에 비해 동작분석에 있어서 정확하고, 효과적으로 사용될 수 있을 것이다. 선택가능한 관측점 시험구조를 위하여 설계된 경계면 스캔 레지스터 SEL_BSR은 일반적인 경계면 스캔 레지스터와 비교하여 소규모의 하드웨어의 추가만을 요구하며, 일반적인 경계면 스캔 레지스터의 기능도 만족시킨다.

제안된 선택가능한 관측점 시험구조를 클럭입력을 갖는 4비트 동기식카운터를 시험대상회로로 하여 회로도를 작성하고, 시뮬레이션을 통하여 관측점 설정과 관측점의 연속적인 출력값들을 직렬출력함을 확인함으로써 제안된 선택가능한 관측점 시험구조의 동작의 정확성을 확인하였다.

참고문헌

[1] M. A. Breuer, "The Effects of Races, Delays and Delay Faults on Test Generation," IEEE Transaction on Computers, pp. 1078-1092, October, 1974.
 [2] G. L. Smith, "Model for Delay Faults Based upon Path," IEEE International Test Conference, pp. 342-349, 1985.
 [3] C. J. Lin and S. M. Reddy, "On Delay Fault Testing in Logic Circuits," IEEE Transaction on CAD, pp.

694-703, September 1987.

[4] H. Chang and J. A. Abraham, "Delay Test Techniques for Boundary Scan based Architecture," IEEE Custom Integrated Circuit Conference, 1992.
 [5] 姜秉旭, 安光善 "경계면-스캔 기저 구조를 위한 지연 시험," 대한전자공학회 논문집, 31권 A편 6호, pp. 199-208, 1994.
 [6] IEEE Std. 1149.1-1990, IEEE Standard Test Access Port and Boundary Scan Architecture, 1990.
 [7] C. M. Maunder and R. E. Tulloss, "The Test Access Port and Boundary Scan Architecture," IEEE Computer Society, 1990.
 [8] I. Park, D. Ha and G. Sim, "A New Method for Partial Scan Design Based on Propagation and Justification Requirements of Faults," IEEE International Test Conference, pp. 413-422, 1995.
 [9] C. M. Maunder and R. E. Tulloss, "An Introduction to Boundary Scan Standard ANSI/IEEE std1149.1," Journal of Electronic Testing, vol. 2, no. 1, pp. 27-42, 1990.
 [10] L. Whetsel, "Improved Boundary Scan Design," IEEE International Test Conference, pp. 851-860, 1995.

저자소개



이창희
 1998년 8월 : 경북대학교 컴퓨터공학
 학과 박사
 1998년 ~ 현재 : 계명문화대학 컴퓨터학부 교수
 관심분야 : DFT, 임베디드시스템, 마이크로프로세서



장영식
 1996년 2월 : 경북대학교 컴퓨터공학박사 수료
 1983년 ~ 1994년 : 한국전지통신연구소, 선임연구원
 1994년 ~ 현재 : 계명문화대학 컴퓨터학부 교수
 관심분야 : 임베디드시스템, 마이크로프로세서