

고체 전해질 메모리 소자의 연구 동향

박영삼*, 이승윤, 윤성민, 정순원, 유병곤

한국전자통신연구원 (ETRI), 대전 305-700

(2008년 5월 23일 받음, 2008년 6월 30일 수정, 2008년 6월 30일 확정)

Programmable metalization cell (PMC) memory 소자로도 명명되는 고체 전해질 메모리 소자는 비휘발성, 고속 및 높은 ON/OFF 저항비 등을 갖고 있기 때문에, 차세대 비휘발성 메모리로서 각광받고 있는 소자 중의 하나이다. 본 논문에서는 고체 전해질 메모리 소자의 동작 원리를 먼저 소개하고자 한다. 또한, 메모리향 소자 개발을 진행 중인 미국 코지키 교수 그룹, 비메모리향 소자 개발을 진행 중인 일본 NEC 그룹 등의 해외 연구진과, Te 계열의 칼코게나이드 합금을 채택하여 소자를 제작한 한국전자통신연구원 및 충남대학교 등의 국내 연구진의 연구 성과를 소개하고자 한다.

주제어 : 메모리, 반도체, Programmable metalization cell memory, 고체 전해질

I. 서 론

플래시 메모리가 독점하고 있는 비휘발성 메모리 시장은 최근 급팽창해 오고 있는데, 이는 디지털 카메라 및 MP3 등으로 대표되는 대용량 모바일 기기 등의 폭발적인 수요에 힘입었기 때문이다. 대용량 모바일 기기의 대표적인 요구 사양은 고집적도인데, 이를 충족시키기 위한 방안으로는 design rule 감소에 의한 scale down이 주로 채택되어져 왔다. 하지만, 실리콘 자체의 물리적인 한계에 점차 다가가면서부터, 많은 연구자들은 기존의 scale down 방안과 더불어, 신규 비휘발성 메모리 소자 개발에도 전념해 오고 있다.

고체 전해질 메모리 소자는 비휘발성, 고속 및 높은 ON/OFF 저항비 등을 갖고 있어, 차세대 비휘발성 메모리 소자 중의 하나로 인식되어 오고 있다. 고체 전해질 메모리 소자 관련 대표적인 해외 연구기관은 미국 코지키 교수 그룹과 일본 NEC 그룹을 꼽을 수 있다. 코지키 교수 그룹은, 원천특허를 보유하고 있으며 메모리향 소자 개발을 주도하고 있으며, NEC 그룹은 비메모리향 FPGA (field programmable gate array) 스위치 소자 개발을 진행하고 있다. 국내 연구진으로는 한국전자통신연구원 및 충남대학교 등을 들 수 있다. 본 논문에서는 고체 전해질 소자의 동작 원리 및 이들 연구기관들의 최신 연구동향을 소개하고자 한다.

II. 동작원리 및 기본구조

고체 전해질 메모리 소자의 동작원리는 미국 코지키 교수 그룹에 의해 제안되었다[1-2]. 고체 전해질은 액체 전해질과 비교하여, 전해질 내에 모바일 이온의 양이 많고 또한 이들 모바일 이온의 이동성이 크다는 공통점을 가지고 있다. 하지만, 고체 전해질은 액체 전해질과 달리, 양(positive) 이온만 이동성이 있으며, 음(negative) 이온은 이동성이 없다는 차이점을 가지고 있다.

그림 1은 고체 전해질 메모리 소자의 기본 구조인 포어 구조를 나타낸 그림이다. 대부분의 연구기관들은 포어 구조를 채택하고 있다. 소자 제작을 위해서는, 하부 금속전극, 칼코게나이드 합금(Se, Te, S 등의 칼코겐족 원소가 포함된 합금) 등의 매질, 산화 금속전극(oxidizable metal electrode, Ag 혹은 Cu)을 차례로 적층시킨 후, photo diffusion 혹은 thermal diffusion 공정을 추가 진행한다.

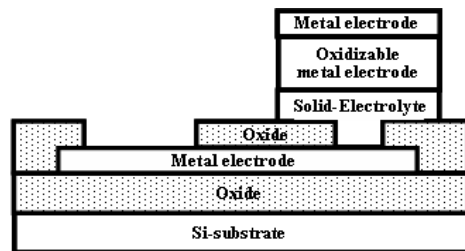


Fig 1. Vertical structure of a typical PMC memory device

* [전자우편] s_yspark@etri.re.kr

Photo diffusion 혹은 thermal diffusion에 의해 산화 금속전극 중 일부가 매질(칼코게나이드 합금)로 확산되어 완전 고용됨으로써 고체 전해질 (solid electrolyte)이 형성된다. 고체 전해질 내에서 산화 금속전극은 이온의 형태로 존재한다.

그림 2는 전형적인 고체 전해질 소자의 동작을 나타내는 전류-전압 및 저항-전압 그림이다 [3]. 첫째, 하부 금속전극을 0V로 고정시키고, 상부 금속전극에 인가하는 전압을 양의 방향으로 sweep하는 경우를 살펴보자. 고체 전해질은 초기엔 높은 저항값 ($>10^6$ Ohm)을 갖다가, ON 임계 전압 (+1.8V)에 도달하면 고체 전해질 내에 존재하고 있던 산화 금속전극 이온들에 의해 conduction link가 형성되기 시작한다. 또한, 상부 금속전극에 인가된 양의 전압에 의해 산화 금속전극에서는 지속적인 산화반응이 발생하므로, 산화 금속전극 이온들은 고체 전해질 내로 공급된다. Conduction link는 완성되며, 소자는 낮은 저항값 ($\sim 10^3$ Ohm)으로 바뀌게 된다. ON 임계 전압 이후에는 소자는 Ohm의 법칙을 따르게 된다. 소자에 과도한 전류가 흘러 손상 받는 것을 방지하기 위해 current compliance를 설정한다. 둘째, conduction link가 완성된 소자에 대하여,

하부 금속전극을 0V로 고정시키고 상부 금속전극에 인가하는 전압을 음의 방향으로 sweep하는 경우를 살펴보자. 초기엔 conduction link가 형성되어 있기 때문에 Ohm의 법칙을 따르게 된다. OFF 임계 전압에 도달하면, 역 반응 (reverse reaction)이 일어나서 conduction link가 순식간에 소멸된다. 따라서, 소자는 높은 저항값 ($>10^6$ Ohm)으로 바뀌게 된다. OFF 임계 전압 이후에도 소자는 계속 높은 저항값을 유지하게 된다.

III. 연구동향

3.1 미국 코지키 교수그룹

코지키 교수 그룹은 고체 전해질 메모리 소자에 대한 원천특허를 1996년 미국 출원하였으며, 이의 상업화를 위해 1996년 AXON Technology를 설립하였다. 주요 특허들은 US patent number 5,761,115와 5,896,312와 5,914,893 및 6,084,796 등을 들 수 있다. 주요 청구항으로는 고체 전해질 메모리 소자의 동작 개념, 기본 구조, 재료 및 응용처 (메모리, 프로그램 가능한 저항기 및 콘덴서, 광학장치 및 센서 등) 등에 대해 설정하였다. AXON Technology는 2001년엔 미국 Micron Technology, 2004년에는 독일 Infineon Technologies와 특허 라이선스를 맺었으며, 원천특허를 포함하여 수많은 패밀리 특허들을 세계 각국에 국가별로 출원 및 등록을 완료하였다 [1].

코지키 교수 그룹은 메모리 응용을 위한 소자 개발을 연구 목표로 삼고 있기 때문에, 낮은 ON/OFF 임계전압 실현에 의한 저소비전력 구현을 주요 연구방향으로 설정하고 있다. 코지키 교수 그룹의 초기 연구결과물로는 칼코게나이드 매질을 채택하여 제작한 소자 특성에 대한 결과들이 주를 이루고 있다. Ag-diffused GeS 및 Ag-diffused GeSe 소자 제작을 위하여 금속전극은 W, 매질로는 50nm 두께의 GeS 혹은 GeSe를 스퍼터에 의해 증착하였다. 산화 금속전극으로는 Ag를 증착한 후 photo diffusion 혹은 thermal diffusion 공정을 추가함으로써, GeS 혹은 GeSe 매질내로 Ag를 확산시켜 Ag-diffused GeS 혹은 Ag-diffused GeSe 고체 전해질을 형성하였다 [2]. 포어 크기 0.24 μ m인 Ag-diffused GeS 소자의 경우, ON 임계전압은 +0.4V, OFF 임계전압은 -0.1V이며, ON/OFF 저항비는

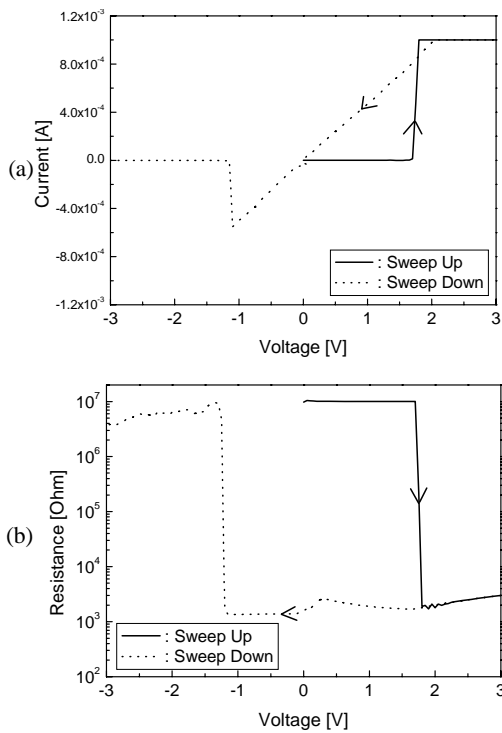


Fig 2. (a) Current-voltage and (b) resistance-voltage plots of PMC memory device [3].

10^6 으로 보고되고 있다 [2]. 그림 3으로부터 포어 크기 70nm인 Ag-diffused GeSe 소자에 대해 1.2V/1.6us 및 -1.3V/ 8.7us의 펄스를 번갈아 입력하며 cycling을 진행한 결과, 3×10^{10} 회까지 확보하였음을 알 수 있다 [2]. 한편, Se가 포함된 합금은 Se 자체의 휘발성으로 인해 섭씨 200도 이상에서의 공정 진행이 불가능하다고 보고되고 있기 때문에, 소자 양산을 위한 CMOS (complementary metal oxide semiconductor) 적용은 불가능한 것으로 알려져 있다[3-4]. 그림 4는 포어 크기 2.5um인 Ag-diffused GeS 소자에 대하여 읽기 전압 0.2V가 인가되었을 때의 read retention을 측정한 결과로서, 27시간동안 ON 상태가 지속됨을 알 수 있다 [4].

이상, 칼코게나이드 합금 매질을 이용하여 제작한 소자들로부터 고체 전해질 소자의 기본 특성을 파악한 코지키 교수 그룹은, 양산성 확보를 위해 CMOS 적용이 가능한 재료를 선정하여 소자를 제작하기 시작하였다. 그 일례로, 산화 금속전극을 Ag가 아닌 Cu로 대체한 것을 들 수 있다.

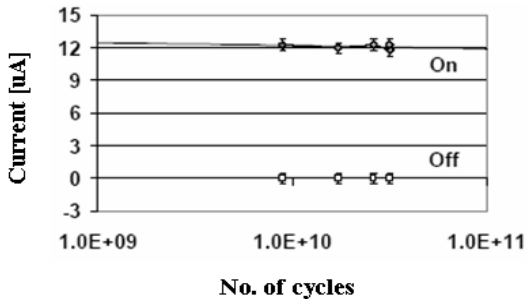


Fig 3. Cycling behavior of Ag-diffused GeSe device with a 70nm pore diameter [2].

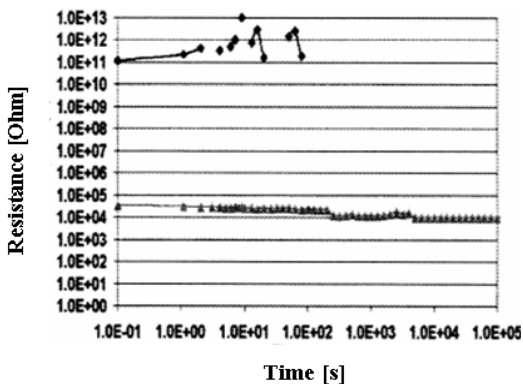


Fig 4. Retention behavior of 300°C annealed Ag-diffused GeS device with a 2.5um pore diameter. The device was programmed at 1 V with 10uA current compliance [4].

포어 크기 0.3um인 Cu-diffused GeS 소자는 상온에서는 ON 임계전압은 +0.3V, OFF 임계전압은 -0.05V의 값을 가지며, 섭씨 125도에서는 ON 임계전압은 +0.15V, OFF 임계전압은 -0.02V로 절대값이 감소한다고 보고하고 있다 [5].

CMOS 적용을 위하여 산화 금속이온은 Cu, 매질은 기존의 칼코게나이드 합금 대신 WO_3 산화물을 적용하기도 하였는데, Cu-diffused WO_3 소자가 그 일례라 할 수 있다. 그림 5(a)로부터 포어 크기 0.24um인 Cu-diffused WO_3 소자의 경우 ON 임계전압은 +0.4V, OFF 임계전압은 -0.1V를 확보하였음을 알 수 있다 [6]. 하지만 칼코게나이드 합금 매질과 비교하여, ON 저항값이 100kOhm 수준으로 높는데, 이는 소자의 동작속도 저하라는 단점을 초래할 것으로 예상된다. ON 저항값은 소자의 포어 크기나 고체 전해질 두께 등에는 무관하지만 그림 5(b)와 같이 current compliance를 증가시킴으로써 감소시킬 수 있다고 보고되고 있다 [6]. 0.5um 포어 크기를 갖는 Cu-diffused WO_3 소자를 이용하여 섭씨 135도에서 1만회 동안의 cycling 거

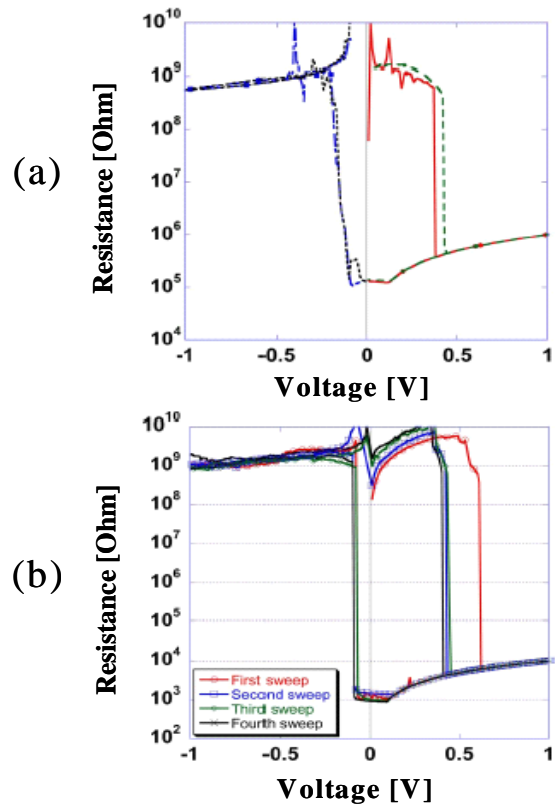


Fig 5. Resistance-voltage characteristics of Cu-diffused WO_3 device with a 0.24um pore size [6]. (a) 1uA current compliance and (b) 100uA current compliance.

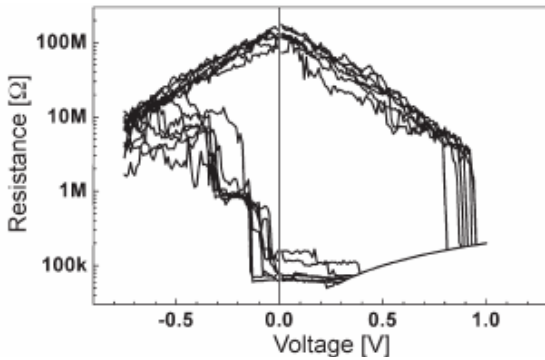


Fig 6. Resistance–voltage plot of Cu–diffused SiO₂ device with a diameter of 1μm pore using sweeps of –0.75 to +1 to –0.75 V with a current compliance of 5μA [7].

동을 관찰한 결과, OFF 임계전압의 경우 –0.2V에서 –0.6V의 범위를 가지며, ON 임계전압은 0.4V의 균일한 값을 가진다고 보고되고 있다 [6]. 하지만, 10,000 cycle에서 OFF 저항값이 급격히 감소하며 또한 ON 저항값 역시 이상 거동을 보인다고 보고되고 있다 [6]. SiO₂ 매질을 채용한 소자에 대한 연구 결과도 발표되고 있다. 그림 6으로부터 1μm 포어 크기를 갖는 Cu–diffused SiO₂ 소자의 경우 ON 임계전압은 +0.9V, OFF 임계전압은 –0.1V이며, ON/OFF 저항비는 10²임을 알 수 있다 [7]. 하지만, WO₃ 매질과 마찬가지로 SiO₂ 매질 역시 ON 저항값이 높다는 단점을 가지고 있다.

그림 7은 0.18μm CMOS가 집적화된 2kb 메모리 칩의 수직 단면도이다 [8]. 그림 7과 같이 고체 전해질 및 산화 금속전극이 최상층 메탈 배선(Metal 3) 아래에 위치하게 되는 경우 메모리 고집적화를 구현할 수 없는 것으로 예상되는데, 이는 채택된 고체 전해질 및 산화 금속전극 재료의 고유 특성으로 인해 CMOS 적용이 가능하지 않은데 따른

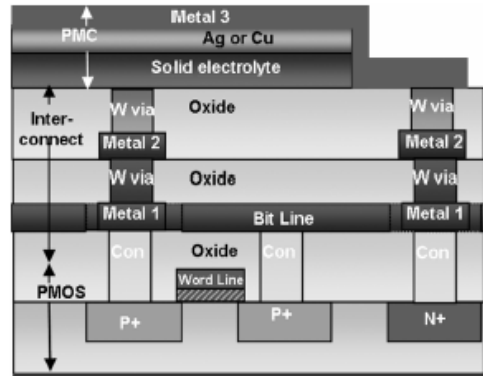


Fig 7. Cross section of 0.18μm CMOS integrated 2Kb PMC memory chip [8].

공여지책인 것으로 판단된다. 표 1은 동일 2kb EEPROM (electrically erasable programmable read only memory) 메모리가 집적된 칩과의 특성을 비교한 결과이다 [8]. 고체 전해질 메모리가 내장된 칩이, program time/bit, read out delay 와 current drain 및 cell size 등에서 EEPROM 내장 칩 대비 우위를 보이고 있음을 알 수 있다.

3.2 일본 NEC 그룹

NEC 그룹은 연구 초기 Cu–diffused Cu₂S 소자를 택하고 있다 [9]. 하지만 소자 제작을 위해 Cu 박막을 0.025M Na₂S 용액에 담그는 방법을 택하고 있는데, 이는 CMOS 적용이 불가능한 방법인 것으로 판단된다. Cu–diffused Cu₂S 소자의 ON 임계전압은 +0.07V, OFF 임계전압은 –0.28V로 보고되고 있다 [9]. 1V 미만의 ON 임계전압은 NEC 그룹이 지향하는 FPGA용 스위치 소자로 응용하고자 할 때 그림 8[9] 및 그림 9[10]과 같은 문제점이 노출되므로, 이를 개선하기 위한 결과[11]가 차후 발표된다. 그림 8

Table I. Summary of results of a 2Kb PMC–integrated chip compared with a commercial EEPROM–integrated chip of similar size and performance [8].

		PMC–integrated	EEPROM–integrated
AC measurement	program time/bit	250ns	2.8us
	read output delay	40ns	250ns
	operation frequency	2MHz (program/read)	3MHz (read only)
current drain	program	188uA	2mA
	read	233uA	500uA
dimensions	cell size	8F ²	40F ²
	design footprint	200×150μm ²	NA

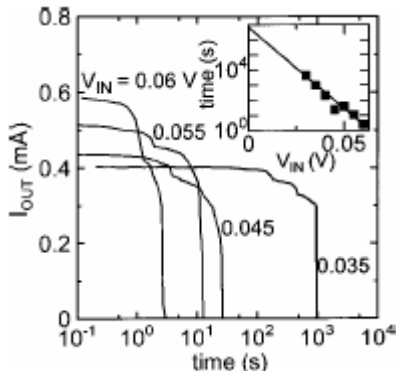


Fig 8. Current-time behavior illustrating dc-stress failure of Cu-diffused Cu_2S device with a $0.3\mu\text{m}$ diameter hole. Different dc voltages ($V_{\text{IN}}=0.06, 0.055, 0.045$ and 0.035 V) are biased for each curve. inset: dependence of lifetime for ON state on stress voltage [9].

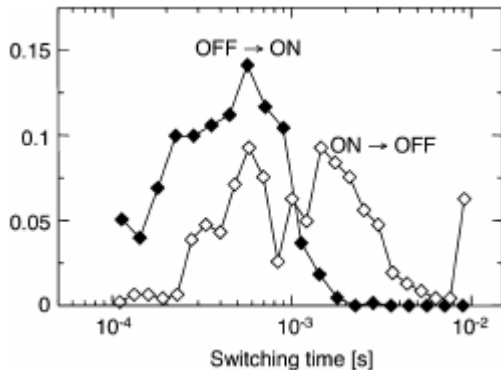


Fig 9. Switching time distribution of Cu-diffused Cu_2S switch [10].

로부터 ON 상태로 기록된 소자에 대하여 0.06V 인가하면 2.5초 , 0.035V 인가하면 950초 만에 오동작이 발생하며, extrapolation 결과 0V 에서 약 3개월의 지속시간을 가짐을 알 수 있다 [9]. 한편, 그림 9는 Cu-diffused Cu_2S 소자를 $0.18\mu\text{m}$ CMOS에 집적화하여 제작한 1kb 어레이의 ON/OFF 스위칭 시간 산포를 나타낸 그림으로, 산포가 좋지 않음을 알 수 있다. 이는 낮은 스위칭 전압에 의한 over-programming에 기인하는 것으로 보고되고 있다 [10]. 그림 10[10]은 1kb 어레이의 수직 단면도로서, 미국 코지키 그룹[8]과 마찬가지로 산화 금속전극(Cu) 및 칼코게나이드 합금 매질 (Cu_2S) 역시 최상부 메탈 라인 (Ti/Pt/Au) 아래에 형성되어 있음을 알 수 있다. 이는 Cu-diffused Cu_2S 소자 제작을 위해 Cu 박막을 Na_2S 용액으로 담그는 방법을 이용하는데 따른 불가피한 선택으로

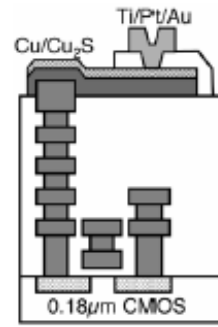


Fig 10. Cross section of Cu-diffused Cu_2S switch [10].

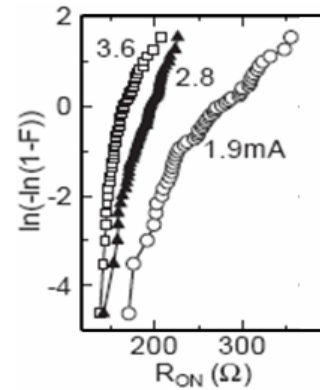


Fig 11. ON resistance (R_{ON}) distribution for different control current levels [11].

판단된다. 한편, FPGA용 스위치 스펙인 ON 임계 전압 1V 이상을 구현하기 위해 Cu_2S 매질을 Ta_2O_5 매질로 대체한 결과가 최근 보고되었다 [11]. Ta_2O_5 매질로의 대체를 위해 확산 계수(diffusion coefficient) 및 농도 등을 이용한 시뮬레이션을 진행하였으며, 실제 소자로 적용한 결과 2.5V 의 ON 임계전압 값을 확보하였다 [11]. 또한, FPGA 스위치의 주요 스펙 중 하나인 낮은 ON 저항값(약 50 Ohm)과 높은 ON/OFF 저항비 ($>10^5$)를 구현하였다 [11]. 하지만, 그림 11로부터 ON 저항값이 50 Ohm 수준인 소자는 전체 소자 중 약 10% 이하로서 실제 양산을 위해서는 재료 혹은 산포 개선이 필요하다고 판단된다.

3.3 한국전자통신연구원(ETRI)과 충남대학교

GeS 매질은 S 원소 자체의 유독성, GeSe 매질은 Se 원소가 섞여 200도 이상의 공정 적용이 불가능하다고 보고 [3,4]되고 있기 때문에, 한국전자통신연구원과 충남대학교는 각각 SbTe 및 GeTe 매질을 주요 타겟으로 설정하여 소

자를 제작하였다. SbTe 매질 소자를 제작할 때, 산화 금속 전극 증착 직후 photo diffusion 혹은 thermal diffusion 공정을 추가하지 않았는데도, 산화 금속전극 증착 도중 산화 금속이온이 SbTe 매질내로 확산 후 완전 고용되어 그림 12와 같이 고체전해질층을 형성한다고 보고되고 있다 [3]. 그림 12는 Ag 이온의 확산특성을 분석하기 위해, 650nm SiO₂/실리콘기판 시료 위에 각각 200nm 두께의 pure-Sb 혹은 SbTe 혹은 pure-Te를 스퍼터링한 후, 50nm Ag 스퍼터링까지만 진행한 샘플들을 이용하여, AES (auger electron spectroscopy) 분석을 진행한 결과들이다. 그림 12(a)로부터 Ag 스퍼터링에 의해, pure Sb로는 Ag가 전혀

확산되지 않으나 그림 12(b)와 (c)로부터 SbTe 및 pure Te로는 완전 확산 및 고용됨을 알 수 있다. 즉, Ag 확산에는 Sb 보다는 Te 원소의 기여가 필요함을 알 수 있다. 그림 12의 세 종류의 시료들을 이용하여 그림 13과 같이 XPS (x-ray photoelectron spectroscopy) 분석을 진행하였다. 그림 13(a)로부터, Ag/pure-Sb, Ag/SbTe 및 Ag/pure-Te 시료 모두에서 pure-Ag 이온 결합이 가장 dominant함을 알 수 있다. 또한, Ag/pure-Sb 시료에서는 신규 이온 결합 형성에 의한 overlap이 관찰되지 않으나, Ag/SbTe 및 Ag/pure-Te 시료에서는 overlap이 관찰되며, Ag/SbTe 및

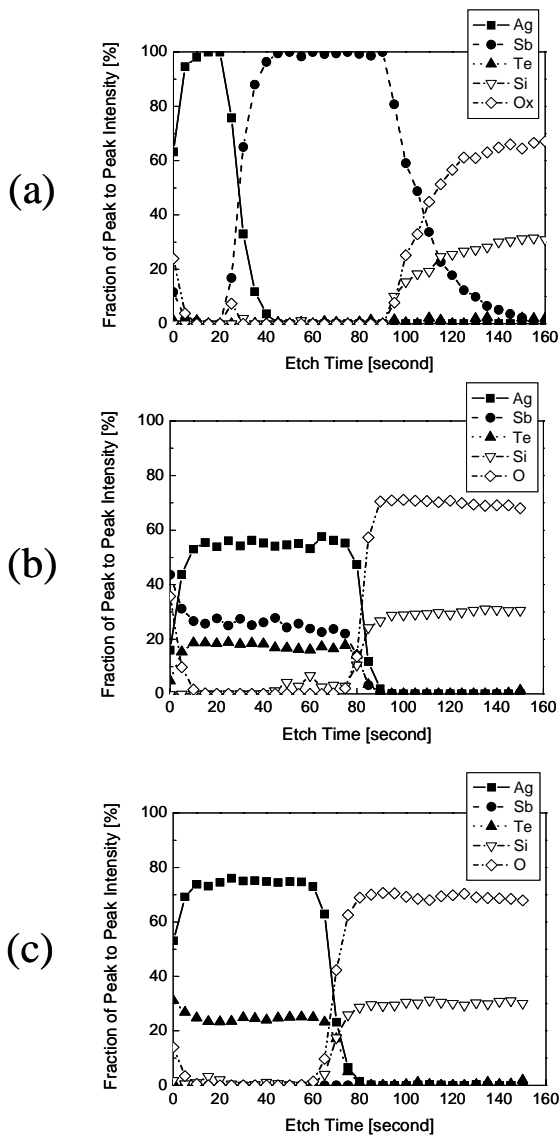


Fig 12. AES depth profiles of (a) Ag/Sb, (b) Ag/Sb₃₅Te₆₅ and (c) Ag/Te samples [3].

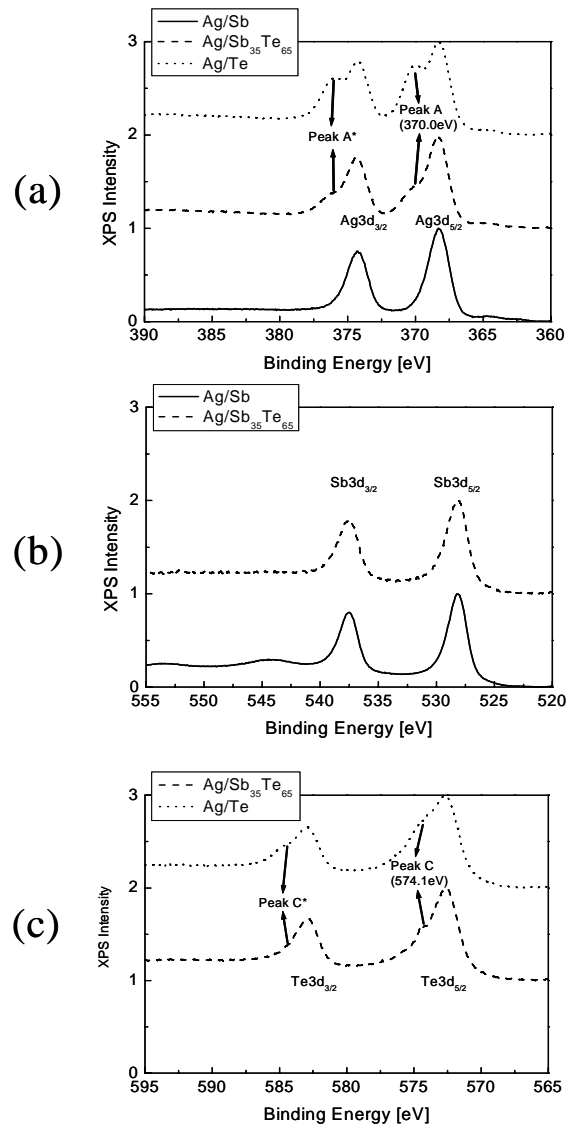


Fig 13. XPS spectra of (a) Ag 3d, (b) Sb 3d and (c) Te 3d core levels in the Ag/Sb, the Ag/Sb₃₅Te₆₅ and the Ag/Te samples [3].

대비 Ag/pure-Te 시료에서 overlap 경향이 더욱 뚜렷해 짐을 알 수 있다. 그림 13(b)로부터 Ag/pure-Sb, Ag/SbTe 시료에서 pure-Sb 이온이 가장 dominant하지만, overlap은 관찰되지 않았다. 그림 13(c)로부터 Ag/SbTe 및 Ag/pure-Te 시료에서 pure-Te 이온이 가장 dominant하며, overlap이 관찰되었다. 그림 13(a)와 (c)의 overlap은 각각 Ag계 혹은 Te계 산화물에 의한 것이 아니며, Ag-Te 신규 이온 결합에 의한 것으로 보고되고 있다 [3]. 한편, GeTe 혹은 GeTeN 매질을 이용하여 제작된 소자들에 대해서도 스위칭, 펄스 및 cycling 등의 특성들이 폭넓게 보고하고 있다 [12-14].

IV. 맺음말

고체 전해질 메모리 소자의 응용범위를 무엇으로 설정하는가에 따라, 개발 목표로 하는 소자 스펙은 뚜렷이 달라진다. 즉, 메모리 적용을 목표로 하는 코지키 교수 그룹은 저 전력 소모를 위해 낮은 ON/OFF 임계전압을 요구하는 반면, 비메모리 FPGA 스위치 적용을 목표로 하는 NEC 연구 그룹은 1V 이상의 ON 임계전압과 낮은 ON 저항값을 요구하고 있다.

고체 전해질 메모리 소자 개발에 있어서 CMOS 적용이 가장 중요한 화두가 되고 있으며, CMOS 적용을 위해 매질 및 산화 금속전극 재료들이 바뀌어 오고 있다. 즉, 코지키 교수 그룹은 산화 금속전극 재료로는 Ag에서 Cu로, 매질로는 GeSe 및 GeS 등의 칼코게나이드 합금에서 WO₃ 및 SiO₂ 등의 산화물로 바꾸어 소자 연구를 진행하였으며, 일본 NEC 그룹 역시 매질을 Cu₂S 칼코게나이드 합금에서 Ta₂O₅ 등의 산화물로 바꾸어 소자 연구를 진행하였다. 하지만, 산화물 계열의 매질은 ON 저항값이 칼코게나이드 합금 대비 높은 단점을 가지고 있다. 소자 레벨에서 한 단계 더 나아간 칩 레벨에서, CMOS 적용 문제를 완벽히 해결한 그룹은 현재까지 없는 것으로 판단되는데, 이는 두 연구 그룹 모두 산화 금속전극 혹은 매질이 최상부 메탈 전극 아래에 배치하고 있기 때문이다.

또한, 고체 전해질 메모리 소자는, 측정온도에 따라 ON/OFF 임계전압 값의 급격한 변화 및 read retention 등의 신뢰성 문제들을 노출하고 있다. 고체 전해질 소자가 survival하기 위해서는 CMOS 적용과 신뢰성 등의 요구사

항들이 충족되어야 하며, 이를 위해서는 재료 발굴 등에 있어서 보다 많은 연구가 진행되어야 하는 것으로 판단된다.

감사의 글

본 연구는 한국전자통신연구원의 “비휘발성 프로그래머블 나노스위치 핵심 원천 기술개발” 과제(과제번호: 08QB1210)에서 지원되었음.

참고문헌

- [1] <http://www.axontc.com>
- [2] M. N. Kozicki, C. Gopalan, M. Balakrishnan, M. Park and M. Mitkova, IEEE Proceeding of NVMTS (Non-Volatile Memory Technology Symposium), 10 (2004).
- [3] Y. S. Park, S. Y. Lee, S. M. Yoon, S. W. Jung, B. G. Yu, S. J. Lee and S. G. Yoon, Appl. Phys. Lett. **91**, 162107 (2007).
- [4] M. Balakrishnan, M. N. Kozicki, C. Gopalan and M. Mitkova, IEEE Proceeding of DRC (Device Research Conference), **47** (2005).
- [5] M. N. Kozicki, M. Balakrishnan, C. Gopalan, C. Ratnakumar and M. Mitkova, IEEE Proceeding of NVMTS (Non-Volatile Memory Technology Symposium), **83** (2005).
- [6] M. N. Kozicki, C. Gopalan, M. Balakrishnan and M. Mitkova, IEEE Trans. Nanotech. **5**, 535 (2006).
- [7] C. Schindler, S. C. P. Thermadam, R. Waser and M. N. Kozicki, IEEE Trans. Elect. Dev. **54**, 2762 (2007).
- [8] N. E. Gilbert and M. N. Kozicki, IEEE J. Solid-State Circ. **42**, 1383 (2007).
- [9] T. Sakamoto, H. Sunamura, H. Kawaura, T. Hasegawa, T. Nakayama and M. Aono, Appl. Phys. Lett. **82**, 3032 (2003).
- [10] S. Kaeriyama, T. Sakamoto, H. Sunamura, M. Mizuno, H. Kawaura, T. Hasegawa, K. Terabe, T.

- Nakayama and M. Aono, *IEEE J. Solid-State Circ.* **40**, 168 (2005).
- [11] T. Sakamoto, N. Banno, N. Iguchi, H. Kawaura, H. Sunamura, S. Fujieda, K. Terabe, T. Hasegawa and M. Aono, *IEEE Symp. VLSI Tech., Dig. Tech. Pap.* 38 (2007).
- [12] S. J. Lee, S. G. Yoon, K. J. Choi, S. O. Ryu, S. M. Yoon, N. Y. Lee and B. G. Yu, *J. Vac. Sci. Tech. B* **24**, 2312 (2006).
- [13] S. J. Lee, S. G. Yoon, K. J. Choi, S. O. Ryu, S. M. Yoon, N. Y. Lee and B. G. Yu, *Electrochem. Solid-State Lett.* **9**, G364 (2006).
- [14] S. J. Lee, S. G. Yoon, S. M. Yoon, N. Y. Lee and B. G. Yu, *J. Electrochem. Soc.* **154**, H853 (2007).

Research trend of programmable metalization cell (PMC) memory device

Young Sam Park*, Seung-Yun Lee, Sung-Min Yoon, Soon Won Jung, Byoung Gon Yu

Electronics and Telecommunication Research Institute (ETRI), Daejeon 305-700

(Received May 23, 2008, Revised June 30, 2008, Accepted June 30, 2008)

Programmable metallization cell (PMC) memory device has been known as one of the next generation non-volatile memory devices, because it includes non-volatility, high speed and high ON/OFF resistance ratio. This paper reviews the operation principle of the device. Besides, the recent research results of professor Kozicki who firstly invented the device and investigated it for the memory applications, NEC corporation which studied it for the FPGA (field programmable gate array) switch applications, ETRI and chungnam national university which examined Te-based devices are introduced.

Keywords : memory, semiconductor, programmable metalization cell memory, solid electrolyte.

* [E-mail] s_yspark@etri.re.kr