

## 기술 특 집

# ZnO 박막 두께에 따른 ZnO 박막 트랜지스터의 특성

김홍승, 정재현 (한국해양대학교)

## I. 서 론

최근 들어 투명하고 플렉시블한 성능을 확보할 수 있는 차세대 디스플레이를 위한 전자 소자 제작에 있어서 ZnO는 가장 적합한 물질 중 하나로 인식되고 있다. 특히 플라스틱 기판 위에 성능이 우수한 박막트랜지스터(Thin Film Transistor, TFT) 제작에 있어 중요 물질로 각광 받고 있다. 10년간, 비정질 또는 다결정 실리콘으로 제작된 TFT가 평판 디스플레이 산업분야에서 중추적인 역할을 해왔지만, 이들 TFT들은 낮은 빛 세기에서 광 감도가 좋지 않고 특히 비정질 실리콘 TFT는 낮은 이동도( $\leq 1\text{cm}^2/\text{V}\cdot\text{s}$ ) 같은 문제점을 가지고 있다. 이러한 문제점들을 해결하기 위한 접근방법 가운데 한 가지로 TFT의 채널층에 산화물 반도체를 이용하는 것이다. 최근에는 순수한 ZnO가 트랜지스터의 채널층으로써 이용이 가능하며 제안되는데, 이는 투명 산화반도체으로써 이용이 가능함을 의미한다. 드물게도 ZnO는 비정질 유리기판과 플라스틱 기판등과 같은 여러 가지 기판 위에 상대적으로 저온에서 결정성장이 가능한 산화물중 하나이다. 게다가, 비정질 실리콘 TFT와 다결정 실리콘 TFT와는 달리, 3.4eV의 넓은 직접천이형 밴드갭을 가지는 ZnO 박막은 가시광에서의 노출로 인해 기능이 저하되지도 않고 투명 TFT의 채널층의 역할로써 사용될 수 있다. 그러므로 가시광 빛으로부터 채널층을 보호할 필요가 없다.

ZnO TFT 구현을 위해서, 중요 파라미터들 가운데 한 가지는 on/off ratio이다. 낮은 특히 낮은 누설전류는 좋은 on/off ratio를 가질 수 있다. 식 (1)은 TFT에서 채널층의 두께에 따른 누설전류( $I_{DS\ off}$ )에 관한 일반적인 식이다.

$$I_{DS\ off} = \frac{\sigma Wt}{L} V_{DS} \quad (1)$$

위의 식에서,  $\sigma$ 는 전기 전도도,  $t$ 는 채널층의 두께,  $W$ 와  $L$ 은 각각 전도층의 폭과 길이, 그리고  $V_{DS}$ 는 소스-드레인 전압이다. 식 (1)에 따르면 누설전류를 감소시키기 위해서는 ZnO 채널층의 두께( $t$ )를 최적화 시킬 필요가 있다. 그러므로, 본문에서 우리는 채널층의 두께에 따른 ZnO-TFT

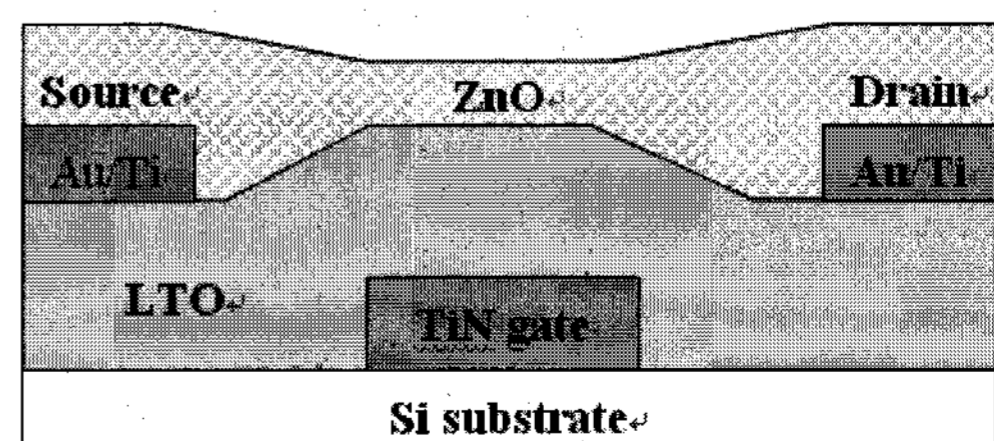
의 특성을 조사하고 ZnO 채널층의 최적화 두께를 찾고자 한다. 이러한 목적으로 ZnO 채널층은 30nm에서 150nm의 두께 변화와 함께 R.F. 스퍼터를 이용하여 상온 증착을 하였다.

## II. 산화물 TFT의 제작

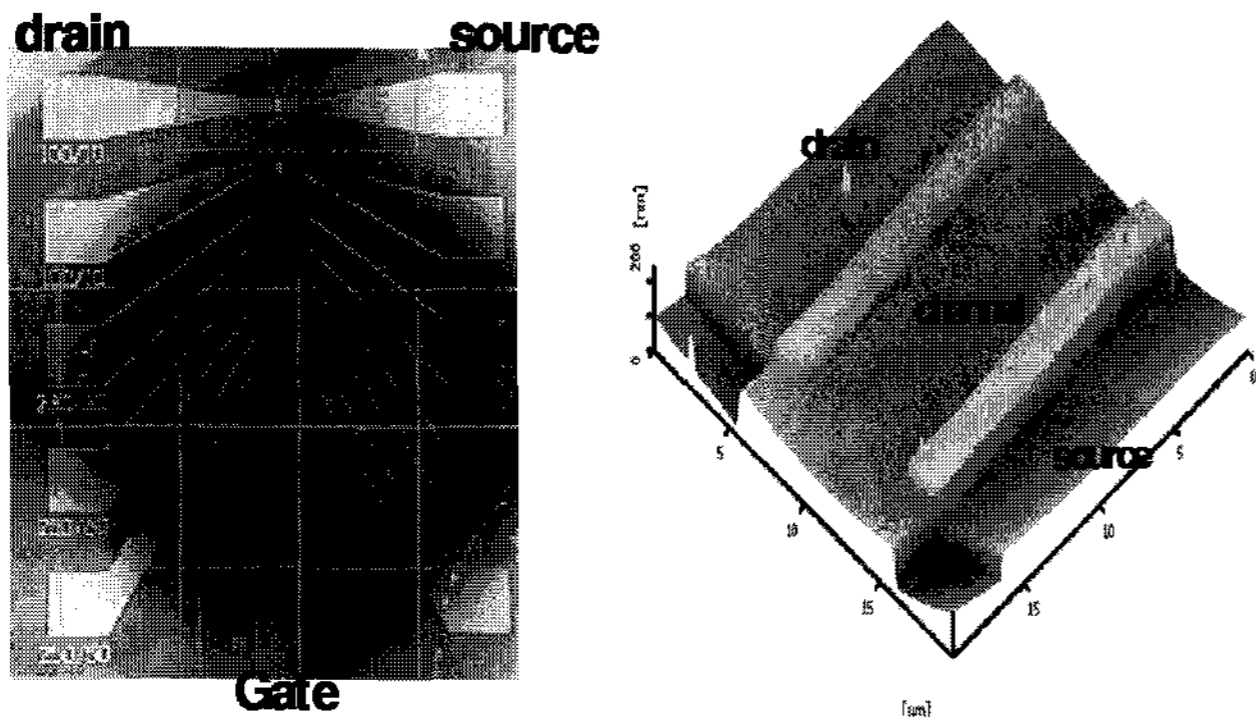
본 실험에서 우리는 bottom-gate와 bottom-contact 방식의 TFT를 제작했다. [그림 1]은 본 실험에서 제작된 ZnO-TFT의 단면 구조도이다.

Si(100)기판 위에 포토리소그래피 공정을 통해 5nm 두께의 TiN 게이트 전극을 형성하고 게이트 절연체로써 저압화학기상 증착법(Low Pressure Chemical Vapor Deposition, LPCVD)를 이용하여 350°C 온도에서 300nm 두께의 저온 산화물(Low Temperature Oxide, LTO)을 증착하였다. LTO의 성장에서 원료 물질로 실레인( $\text{SiH}_4$ )과  $\text{O}_2$ 를 사용하였고 그들의 유량은 각각 160sccm과 260sccm로 하였다. 소스와 드레인 전극은, 50nm 두께의 Au/Ti층을 e-beam evaporation로 증착되었고, lift off 방법으로 형성하였다. 여러 크기 채널과 폭의 소자를 함께 제작하였으나 그 중 측정된 소자는 채널의 폭( $W$ )은  $250\mu\text{m}$ 이고 채널의 길이는  $50\mu\text{m}$ 였다. [그림 2]는 TFT의 광학적 이미지와 AFM 이미지를 나타낸다.

ZnO 채널층은 RF 스퍼터를 이용하여 상온에서 증착되었다. 타겟은 ZnO(4N)이고 스퍼터링 가스는 Ar이었다. 증착



[그림 1] ZnO-TFT의 단면 구조도



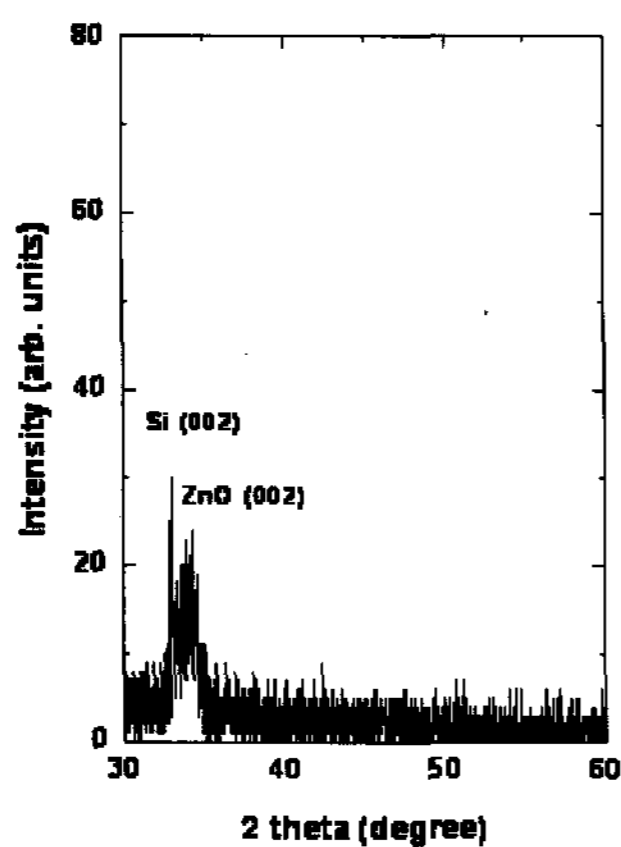
[그림 2] TFT의 (a) 광학적 (b) AFM 이미지

전의 챔버 내 압력은  $10^{-5}$ Torr였다. 증착시에는 RF 파워는 200W, Ar 가스의 유량은 70sccm과 챔버내의 압력은 7m Torr였다. 증착시간은 5분, 10분, 15분, 20분으로 변화를 주었다. 박막의 두께는 alpha step(Dektak 3st)을 이용하여 측정하였다. 증착후, ZnO 박막은 전극과의 오믹 접촉을 위하여 300°C에서 질소분위기 퍼니스에서 15분동안 열처리되었다. ZnO 박막의 구조적 특성들은 atomic force microscope(AFM), X-ray diffraction(XRD)과 transmission electron microscope(TEM)으로 관찰하였고 ZnO TFT의 전기적 특성들은 semiconductor parameter analyzer(Agilent 4155C)로 측정되었다.

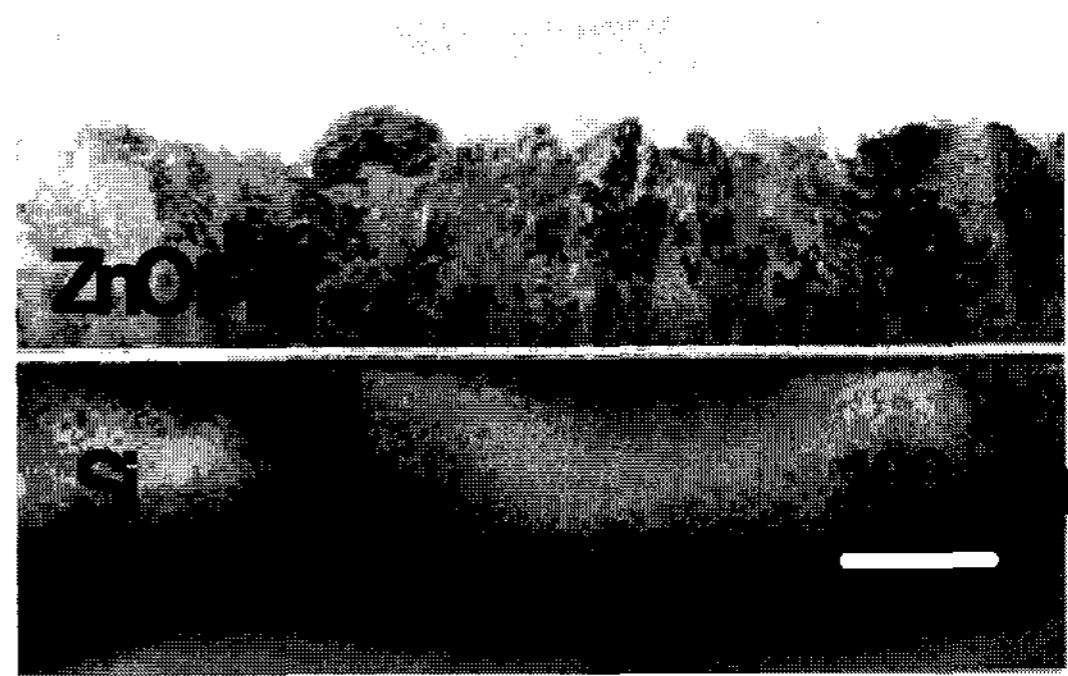
### III. 제작된 산화물 TFT의 특성

[그림 3]은 상온에서 스퍼터링으로 형성된 ZnO 박막의  $\theta$ - $2\theta$  XRD 패턴을 나타낸다.

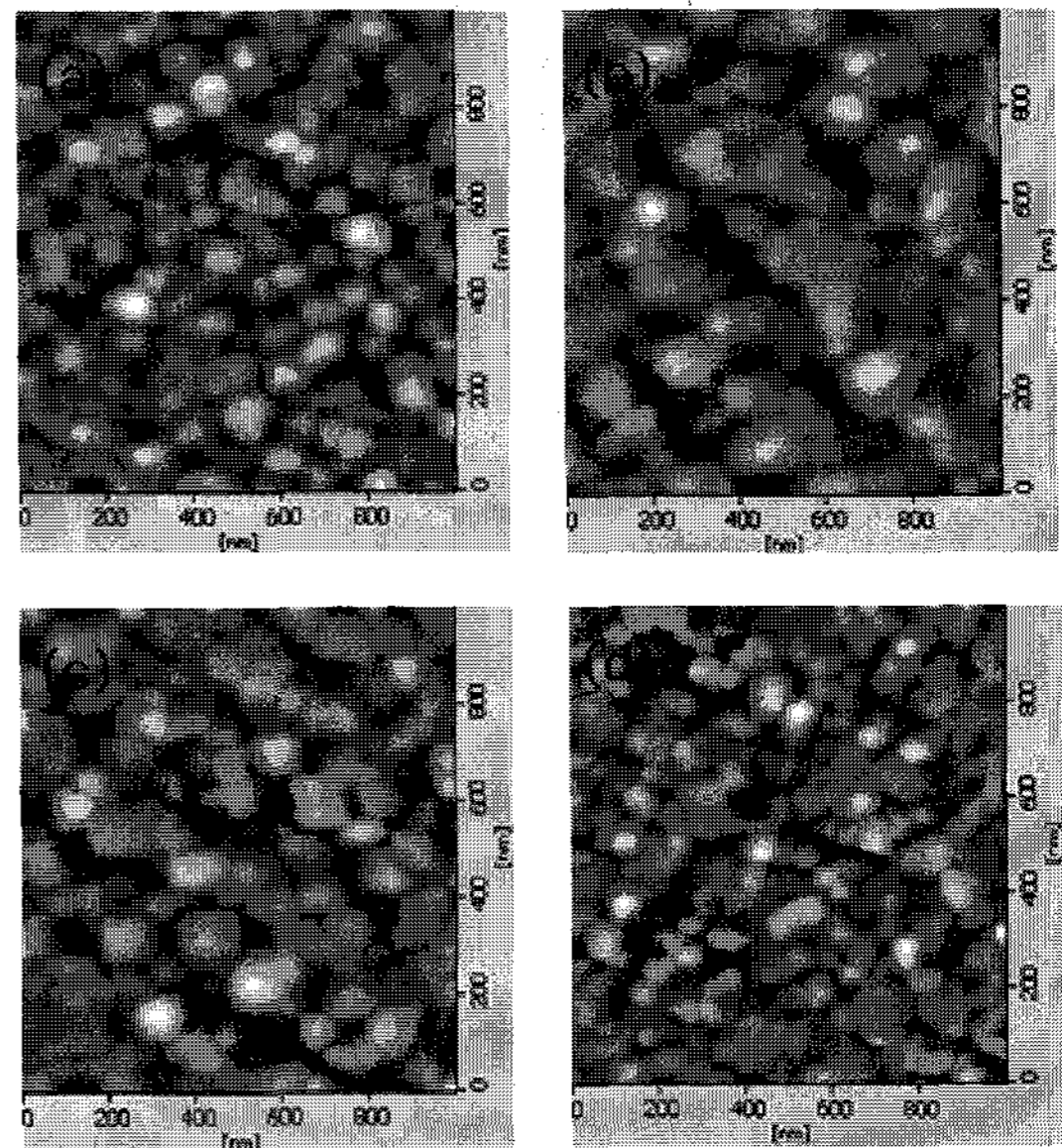
여기서, 우리는 두 종류의 피크를 관찰할 수 있는데,  $34.4^\circ$ 에서의 피크는 육방정 ZnO 결정구조의 (002)면에 대응하고  $32.9^\circ$ 에서의 날카로운 다른 피크는 Si(100) 기판의 (200)면에 의한 것이다.  $2\theta$ 에서  $34.4^\circ$ 의 피크는 ZnO 박막이 기판 위에서 c-축으로 (002)면이 우선 배향되는 것을 의미하고, 피크값의 반치폭(full width at half maximum-



[그림 3] ZnO 박막의 XRD 패턴



[그림 4] ZnO 박막의 단면의 TEM 이미지



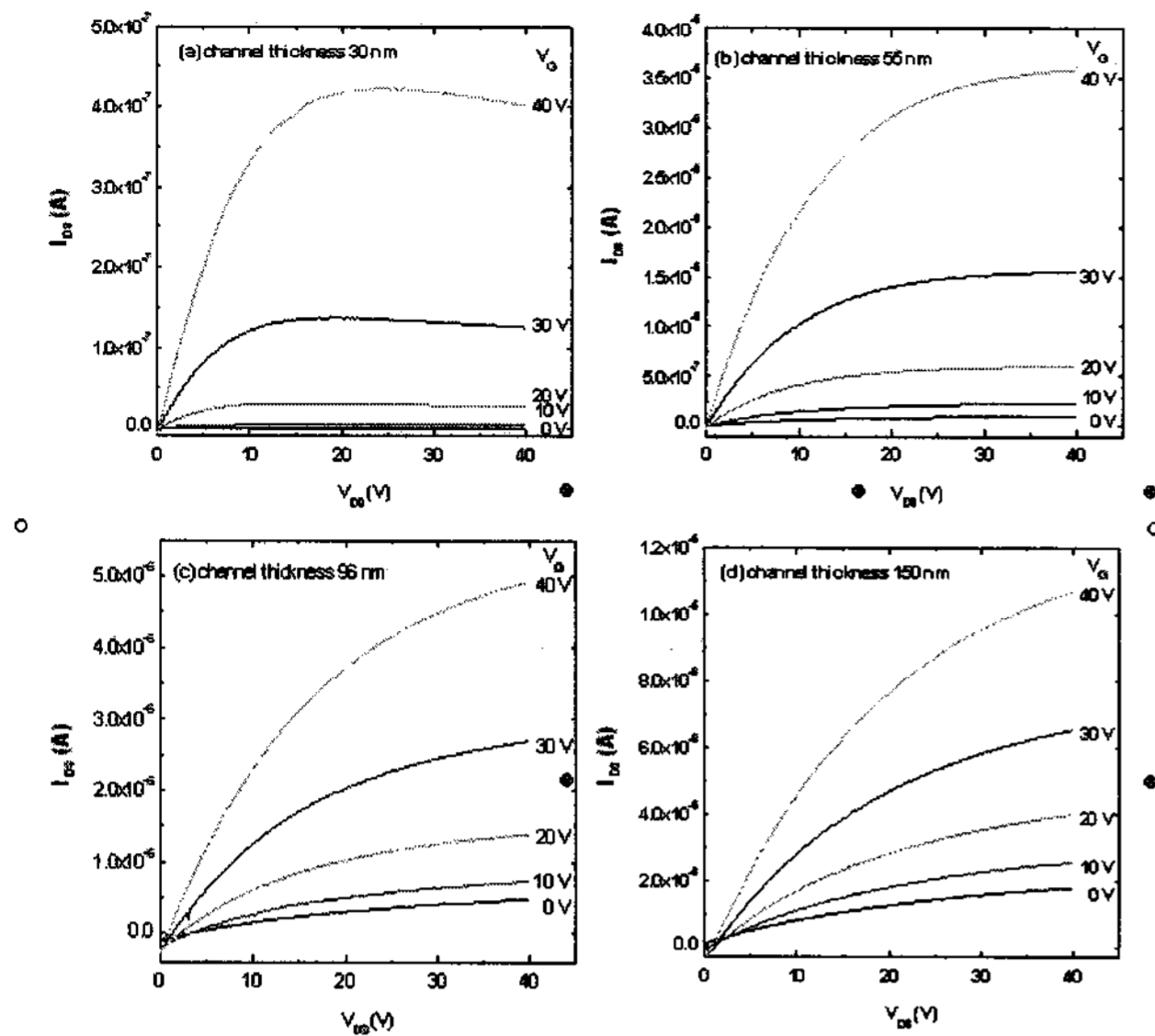
[그림 5] ZnO 박막의 표면 AFM 이미지

FWHM)은  $1.6^\circ$ 로, 보통  $700^\circ\text{C}$  이상의 고온 열처리 이후에서 얻은 결과인  $0.2^\circ$ 의 반치폭 보다 상대적으로 크다. [그림 4]는 100nm 두께의 ZnO 박막의 단면도 TEM 이미지를 보여준다. 이 그림에서는, 다결정 ZnO 박막은 위의 X-ray 결과에서의 큰 반치폭 결과와 일치하는 많은 미세결함들을 가지고 있고 또한 거친 표면을 보여주고 있다.

이 결함들은 다른 이전 결과들<sup>[5,6]</sup>과 비교하여 모든 시료에서 걸쳐 전계 효과 이동도  $1\text{cm}^2/\text{V}\cdot\text{s}$  이하로 상대적으로 낮은 이동도 갖게 하는데 기여하는 것으로 사료된다. 한편 AFM을 통하여 얻은 표면 거칠기는  $2.8\text{nm}$ 였다. [그림 5]는 상온에서 증착된 ZnO 박막의 표면상태의 AFM 이미지를 나타낸다.

여기서  $1\mu\text{m}\times 1\mu\text{m}$  크기의 scanning 방법을 통해, 그레인 크기는 각각 30nm 두께의 채널에서는 92nm, 55nm 두께의 채널층에서는 143nm, 96nm 두께의 채널층에서는 124nm로 확인되었다. 그레인 크기는 두께의 증가에 비례하지 않는 것으로 관찰되었다. 그럼에도, 채널의 두께가 30nm인 박막이 가장 작은 그레인 크기를 가졌다.

[그림 6]은 게이트 전압(VG)이 0V에서 40V 인가시



[그림 6] ZnO-TFTs의 IDS-VDS 곡선

ZnO 채널층의 두께변화에 따른 ZnO-TFT의 IDS-VDS 곡선을 나타낸다.

모든 ZnO 채널들은 I-V 특성 그래프에서 보이듯이 n-type이다. 30nm와 55nm의 채널두께를 가지는 TFT는 off 상태에서 드레인 전류는 거의 나타나지 않고, enhancement-mode에서 작동하며, 96nm와 150nm 두께의 채널을 가지는 TFT는 off 상태에서도 높은 드레인 전류가 흐르고 VDS가 0V와 positive gate voltage 경우에는, negative drain 전류가 흐르는 것을 확인할 수 있다. 이것은 채널층의 두께증가는 높은 off-current를 유도한다. 누설전류는 최소값인  $8.45 \times 10^{-10}$  A에서  $1.80 \times 10^{-6}$  A이었다. saturation current와 관련하여, 30nm의 채널 두께를 가지는 TFT가  $4 \times 10^{-7}$  A로 가장 낮은 saturation current를 가지고, 반면에 다른 채널두께의 TFT는  $10^{-6}$ – $10^{-5}$  A의 saturation current 값을 가졌다. 채널층의 두께 증가는 채널층의 저항 감소와 관련하여, 소스와 드레인을 통과하는 전자들의 유동량 증가를 유도한다. 그러므로 30nm 두께의 채널이 가장 낮은 saturation current 뿐만 아니라 가장 낮은 누설 전류 값을 가진다. 채널의 이동도( $\mu_{sat}$ )와 문턱전압( $V_{th}$ )는 [그림 7]인 드레인 전류의 제곱근과 게이트 전압의 그래프로부터 계산하였다. TFT의 문턱전압은 약 15V에서 10V로 얻어졌다. 또한, 드레인 전류( $I_{DS}$ )는 아래의 방정식으로 구해진다.

$$I_{DS} = \left( \frac{C_i \mu_{sat} W}{2L} \right) (V_{GS} - V_{th})^2 \quad (\text{for } V_{DS} > V_{GS} - V_{th}) \quad (2)$$

위 식의 W와 L은 각각 채널의 폭과 길이를 나타내고,  $C_i$ 은 유전층의 단위당 전기용량, 그리고  $V_{GS}$ 와  $V_{DS}$ 는 각각 게이트소스와 드레인소스 전압을 나타낸다. 채널의 이동도는 식 (2)를 통해 구하였다.

30nm, 55nm, 96nm, 150nm 두께의 ZnO 채널을 가진 TFT가 각각 0.04, 0.16, 0.14, 0.17  $\text{cm}^2/\text{V}\cdot\text{s}$ 의 전계효과 이동도를 나타내었다. 이동도는 55nm에서 포화되었다.

[그림 6]의 채널 이동도, 문턱전압, 누설전류가 [표 1]에 요약 되어 있다. [표 1]에서처럼, 채널층의 두께가 55nm일 때, off 상태에서의 누설전류는  $9.97 \times 10^{-8}$  A이고 채널의 이동도는  $0.16 \text{cm}^2/\text{V}\cdot\text{s}$  그리고 문턱전압은 12.7V이다. 이것은 TFT의 특성이 채널층의 두께가 55nm일 때 가장 안정적인 것을 보여준다.

[표 1] 채널층의 두께에 따른 이동도, 문턱전압, 누설전류

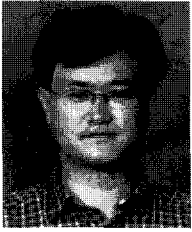
Thickness of channel layer (nm)	Leakage current (A) [ $V_G = 0 \text{ V}, V_{DS} = 40 \text{ V}$ ]	$\mu_{sat}$ ( $\text{cm}^2/\text{V}\cdot\text{s}$ )	$V_{th}$ (V)
30	$8.45 \times 10^{-10}$	0.04	15.8
55	$9.97 \times 10^{-8}$	0.16	12.7
96	$4.87 \times 10^{-7}$	0.14	10.1
150	$1.80 \times 10^{-6}$	0.17	10.2

## IV. 결 론

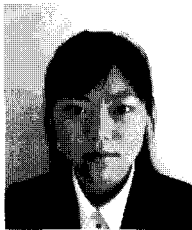
R.F. sputter를 이용하여 상온에서 증착된 ZnO가 활성 채널층으로 사용되었고, ZnO-TFT의 누설전류가 채널층의 두께 조절에 의해 감소될 수 있음을 보여준다. 또한 채널층의 두께가 55nm일 때 TFT의 특성이 가장 안정적인을 나타낸다. 이러한 조건에서는 누설전류는  $9.97 \times 10^{-8}$  A, 채널 이동도는  $0.16 \text{cm}^2/\text{V}\cdot\text{s}$ , 그리고 문턱전압은 12.7V이다.

## 참 고 문 헌

- [1] Y. Ohya, T. Niwa, T. Ban, Y. Takahashi, Jpn. J. Appl. Phys., Part 1 40, 297 (2001).
- [2] S. Masuda, K. Kitamura, Y. Okumura, S. Miyatake, J. Appl. Phys. 93, 1624 (2003).
- [3] J. Lee, K. Kim, J. H. Kim, S. Im, D. Y. Jung, Appl. Phys. Lett. 82, 4169 (2003).
- [4] R. L. Hoffman, B. J. Norris, J. F. Wager, Appl. Phys. Lett. 82, 733 (2003).
- [5] P. F. Carcia, R. S. McLean, M. H. Reilly, G. Nunes, Jr., Appl. Phys. Lett. 82, 1117 (2003).
- [6] E. Fortunato, P. Barquinha, A. Pimentel, A. Goncalves, A. Marques, R. Martins, L. Marques, Appl. Phys. Lett. 85, 13 (2004).
- [7] C. W. Chu, S. H. Li, C. W. Chen, V. Shrotriya, Y. Yang. Appl. Phys. Lett. 87, 193508 (2005).
- [8] P. Barquinha, A. Pimentel, A. Marques, L. Pereira, R. Martins, E. Fortunato, J. Non-Cryst. Solids 352, 1749 (2006).

**저자 소개****김 흥 승**

1986~1990 : 한국과학기술대학 전자재료과 학사, 1991~1993 : 한국과학기술원 재료공학과 석사, 1993~1999 : 한국과학기술원 재료공학과 박사, 1999~2003 : 한국전자통신연구원 선임연구원, 2001~2002 : 미국 코넬대학교 (박사후연수), 2003. 9~현재 : 한국해양대학교 나노반도체전공 조교수

**정 재 현**

2002~2006 : 한국해양대학교 반도체물리학과 학사, 2006~2008 : 한국해양대학교 응용과학과 석사, 2008~현재 : 하이닉스 반도체 연구원