

논문 2008-45SD-5-7

CMOS 이미지 센서를 위한 고효율 Charge Pump

(High-Efficiency Charge Pump for CMOS Image Sensor)

김주하*, 전영현**, 공배선***

(Ju-Ha Kim, Young-Hyun Jun, and Bai-Sun Kong)

요약

본 논문에서는 CMOS image sensor(CIS)에서 사용될 수 있는 고효율 charge pump를 제안하였다. 제안된 charge pump는 CIS의 동작 특성을 활용하여 switching loss 및 reversion loss를 최소화하여 고효율 동작을 실현하였다. 즉, CIS 픽셀 동작 구간에 따라 local clock driver, 펌핑 커패시터, 그리고 charge 전달 switch의 크기를 역동적으로 조절함으로써 switching loss를 최소화하였다. 또한, schmitt trigger를 채용한 tri-state local clock driver를 이용하여 non-overlapping 구간이 충분히 확보된 local clock을 공급할 수 있게 함으로써 reversion loss를 최소화하였다. 0.13-um CMOS 공정을 이용한 시뮬레이션 비교 결과, 제안된 charge pump는 구동 전류가 없는 조건에서 기존 구조에 비해 최대 49.1% 전력 소모를 개선하였으며, 구동 전류가 최대인 조건에서는 19.0% 전력 소모를 개선할 수 있었음을 확인하였다.

Abstract

In this paper, a high-efficiency charge pump for use in CMOS image sensor(CIS) is proposed. The proposed charge pump pursues high pumping efficiency by minimizing the switching and reversion losses by taking advantage of operation characteristics of CIS. That is, the proposed charge pump minimizes the switching loss by dynamically controlling the size of clock driver, pumping capacitor, and charge transfer switch based on the operation phase of CIS pixel sensor. The charge pump also minimizes the reversion loss by guaranteeing a sufficient non-overlapping period of local clocks using a tri-state local clock driver adapting the schmitt trigger. Comparison results using a 0.13-um CMOS process technology indicate that the proposed charge pump achieves up to 49.1% reduction on power consumption under no loading current condition as compared to conventional charge pump. They also indicate that the charge pump provides 19.0% reduction on power consumption under the maximum loading current condition.

Keywords : CMOS image sensor, charge pump, voltage doubler, power efficiency

I. 서론

이미지 센서는 빛의 신호를 전기적 신호로 변환하여 디스플레이 장치에 표시하거나 저장 장치에 저장할 수 있도록 하는 반도체 소자이다. 이미지 센서의 적용 부문은 디지털 카메라, 휴대폰 카메라, 캠코더, 보안기기, 의료기기 등 굉장히 광범위하며 또한 지속적으로 확대되고 있다. 이미지 센서는 크게 고체 촬상 소자(charge

coupled device, CCD)와 상보성 금속-산화막-반도체 이미지 센서(CMOS image sensor, CIS)의 두 가지로 나누어진다. CCD는 센서에 최적화된 공정을 사용할 수 있어, 암전류나 변환 효율, 노이즈와 같은 화질 측면에서 우수한 특성을 나타내고 있다. 한편, CIS는 집적도가 높고 전력소모가 적으며, 고속 동작이 가능하고 다양한 동작모드가 가능하다는 장점을 가지고 있다. 최근에는 화질 측면에서도 CCD에 뒤지지 않는 CIS 제품들이 출시되고 있어, 이미지 센서 시장에서 CIS는 CCD를 급속히 대체해 가고 있다.^[1]

CIS의 화질을 개선하기 위해서는 공급 전압보다 높은 전압이 절대적으로 필요하게 되는데, 최근의 CIS들은 이를 위하여 CMOS charge pump를 적극적으로 채용하고 있다. 휴대용 제품에 사용되고 있는 CIS의 경우

* 학생회원, *** 평생회원, 성균관대학교 전자전기컴퓨터공학과

(Department of Electronics and Electrical Engineering, Sungkyunkwan University)

** 평생회원, 삼성전자(주) 반도체총괄

(Semiconductor Division, Samsung Electronics)

접수일자: 2008년2월14일, 수정완료일: 2008년4월14일

에는 특히 저 전력 설계가 매우 중요한 고려 사항이 되고 있는데, 이 경우 고 전압 생성을 위하여 주로 사용되는 CMOS charge pump의 전력 소모를 줄이는 것도 매우 중요한 요소로 인식되고 있다. 본 논문에서는 CIS의 동작 타이밍 특성을 이용하여 charge pump의 효율을 극대화할 수 있는 방안을 제안하고자 한다.

II. CMOS Image Sensor 구조 및 동작

그림 1은 최근 들어 주로 사용되는 능동 픽셀 센서(active pixel sensor) 구조를 보여주고 있는데, 단위 cell은 한 개의 포토다이오드(photo diode)와 네 개의 NMOS 트랜지스터로 구성되어 있다. 포토다이오드는 광전 현상을 이용하여 빛 에너지를 전기적 신호로 바꾸는 역할을 하며, 네 개의 트랜지스터들은 변화된 전기적 신호를 외부로 읽어 내는 역할을 한다. 트랜지스터 M5는 전류원 역할을 수행하며, 같은 column에 존재하는 모든 단위 능동 픽셀 센서들에 의하여 공유된다.

그림 2는 능동 픽셀 센서의 동작을 위한 타이밍 도를 나타내고 있다. CIS의 동작 구간은 외부 신호 SEL의

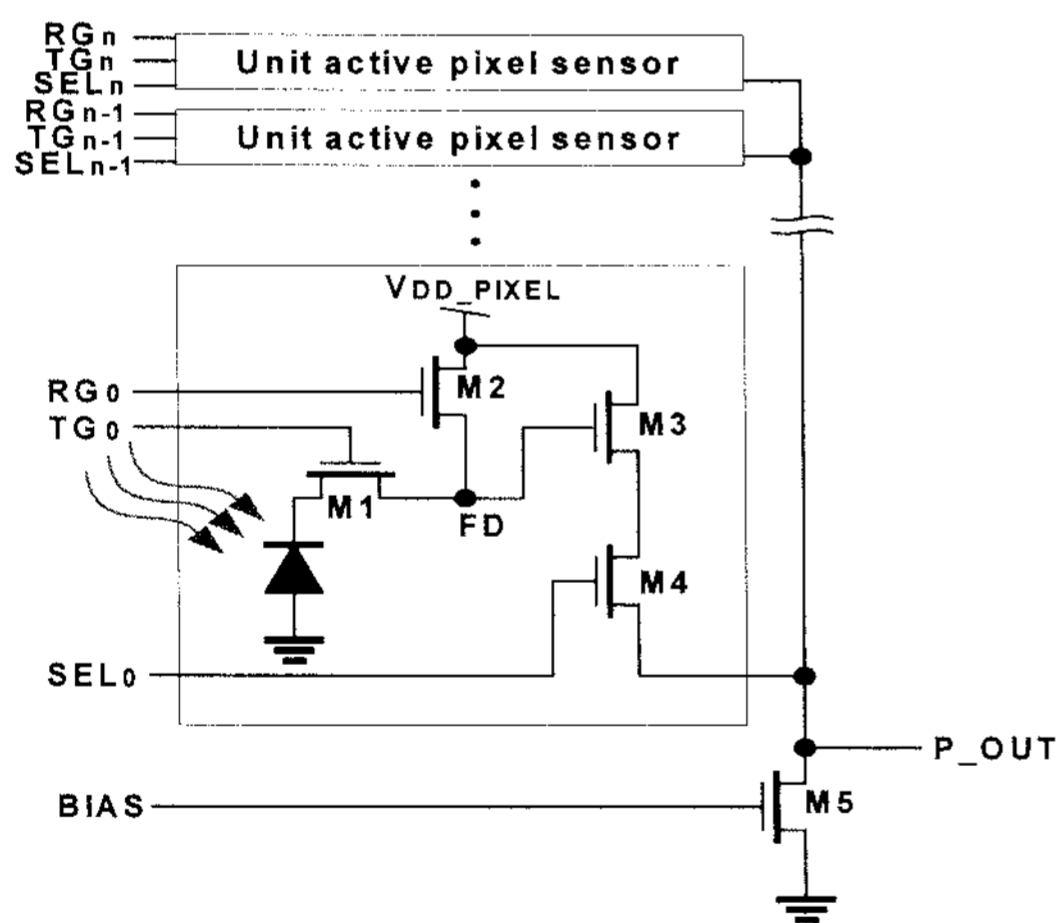


그림 1. 능동 픽셀 센서 구조
Fig. 1. The structure of active pixel sensor.

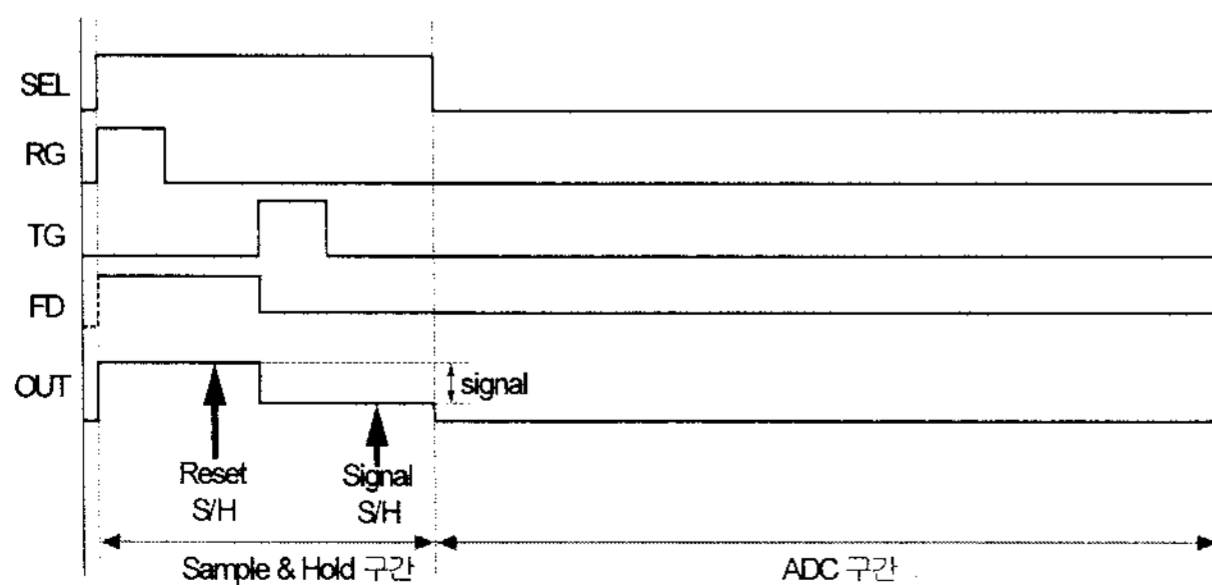


그림 2. CIS 동작 타이밍 도
Fig. 2. CIS operation timing diagram.

전압 level에 따라 크게 sample & hold (S/H) 구간과 analog-to-digital conversion (ADC) 구간으로 나누어진다. S/H 구간은 능동 픽셀 센서에서 전기적 신호를 읽어 내는 구간이며, ADC 구간은 S/H 구간 동안에 읽혀진 아날로그 픽셀 신호를 디지털 신호로 변환하는 구간이다. 이들 각각의 동작 구간에 대하여 좀 더 자세히 설명하면 아래와 같다.

신호 SEL이 활성화되면 능동 픽셀 센서는 S/H 구간에서 동작하게 된다. 이때, 신호 RG가 활성화되면, M2의 turn-on에 의해 단자 FD가 VDD에 연결되어 reset 된다. 동시에 M3도 turn-on 되어 출력 단자 P_OUT에는 $V_{DD} - V_{TH}$ 만큼의 전압이 나타나게 된다. 이어서, RG의 비활성화에 의해 M2가 turn-off 된 후 신호 TG가 활성화되면 M1이 turn-on 되어 포토다이오드에 축적된 전기적 신호가 단자 FD로 전달된다. FD로 전달된 신호는 다시 M3와 M5로 구성된 source follower를 거쳐 출력 단자 P_OUT으로 전달된다. 매 S/H 구간 동안에 포토다이오드에 축적된 전기적 신호를 남김없이 단자 FD로 전달하기 위하여 M1의 동작을 조절하는 신호인 TG의 전압 레벨을 공급 전압보다 높게 승압시킬 필요가 있는데, 이는 charge pump라고 불리는 승압 회로와 레귤레이터를 이용하여 구현될 수 있다^[2]. 픽셀 센서의 공급 전원(VDD_PIXEL)도 이러한 승압 회로와 레귤레이터를 이용하면 외부 노이즈(noise)에 덜 민감한 안정적인 전원 공급이 가능하다. 이러한 용도를 위하여 CIS에 내장되어 사용되는 charge pump는 출력 단자에서의 ripple을 최소화하여야 하고, mobile 제품에 많이 채용되고 있는 CIS의 특성 상, 저 전력 및 고 효율 특성을 가져야 한다.

한편, S/H 구간 동안에 읽혀진 아날로그 픽셀 신호는 ADC 구간에서 이미지 처리가 용이한 디지털 신호로 변환되게 된다. 아날로그 픽셀 신호를 디지털 신호로 변환하기 위해서는 비교적 많은 시간이 필요하므로 ADC 구간은 전체 CIS 동작 구간의 대부분을 차지하게 되는데, 이 구간 동안에 픽셀 센서의 트랜지스터들은 아무런 동작도 하지 않는다. ADC 구간에서의 이러한 동작 특성은, 뒤에서 설명하는 바와 같이, 전압 승압을 위하여 내장된 charge pump의 전력 효율을 극대화하는데 활용될 수 있다.

III. 기존의 CMOS Charge Pump

Charge pump의 효율 η 은 부하 단(load)으로 공급된

전력 P_{load} 와 전원으로부터 charge pump에 공급된 전력 P_{pump} , clock generator로 공급된 전력 P_{clk} 및 clock driver로 공급된 전력 P_{drv} 의 합의 비율로 정의되며, 이를 수식으로 나타내면 식 (1)과 같다.^[3]

$$\eta = \frac{P_{load}}{P_{pump} + P_{clk} + P_{drv}} \quad (1)$$

식 (1)에서 보는 바와 같이, 전력 효율을 극대화하기 위해서는 charge pump의 내부 전력 손실 뿐만 아니라 clock generator 및 clock driver의 전력 손실을 줄이는 것도 매우 중요함을 알 수 있다.

Charge pump의 전력 손실은 크게 4 종류로 나눌 수 있는데, 이들은 각각 redistribution loss, conduction loss, switching loss, reversion loss이다.^[4] Redistribution loss는 커패시터들 간의 charge 전달 과정에서 발생하는 손실이고, conduction loss는 charge를 전달하는 스위치의 저항 때문에 발생하는 손실이다. Switching loss는 트랜지스터의 gate를 구동하거나 기생 커패시턴스의 switching 동작 때문에 발생하는 손실이고, reversion loss는 높은 전압과 낮은 전압이 연결되면서 발생하는 손실이다. Switching loss의 대부분은 트랜지스터의 gate를 구동할 때 발생하는데, gate에서 발생하는 전력 loss P_g 는 gate 커패시턴스 C_g , clock 주파수 f , gate의 최대 control voltage V_g 의 제곱의 곱으로 표현할 수 있다. 여기서, V_g 는 동작 전원에 의해 이미 정해져 있으므로, switching loss를 줄이기 위해서는 gate 커패시턴스를 줄이거나 clock 주파수를 낮추는 방법이 유효하다. 높은 전압과 낮은 전압이 트랜지스터에 의해 도통되어 발생하는 reversion loss는 일반적으로 non-overlapping clock을 사용하여 효율적으로 제거할 수 있다.^[5] 이 경우, 하나의 non-overlapping clock으로 NMOS precharge 트랜지스터와 PMOS charge 전달 트랜지스터를 동시에 제어하게 되면 최소한 하나의 트랜지스터에서는 항상 reversion loss가 발생하는 문제가 있으므로, 이를 개선하기 위해 voltage doubler를 추가하고 여러 개의 non-overlapping clock으로 NMOS와 PMOS를 각각 제어하는 구조가 제안되었다.^[6] 한편, Charge pump를 구동하는 clock driver로는 일반적으로 inverter chain driver가 사용되는데, 구동 전류가 큰 charge pump의 경우에는 short-circuit current를 줄이기 위해 tri-state driver가 사용되기도 한다.

위에서 언급한 방식들을 채용한 기존 CIS의 charge pump와 clock driver의 구조가 그림 3-(a)에 나타나 있

으며, 그림 3-(b)는 이를 제어하기 위한 control 신호의 타이밍 도를 나타내고 있다. 본 charge pump는 주 pump와 보조 pump로 구성되어 있는데, 주 pump는 precharge 트랜지스터인 MN2와 MN3, 펌핑 커패시터인 C2와 C3, charge 전달 switch인 MP0와 MP1, bulk switch인 MP2와 MP3로 구성되어 있고, 보조 pump는 precharge 트랜지스터인 MN0와 MN1, 펌핑 커패시터인 C0와 C1으로 구성되어 있다. 그리고, charge pump를 구동하는 4 개의 local clock($clk_0 \sim clk_3$)을 만들어 내기 위한 clock driver가 charge pump 하단에 나타나 있다. 본 charge pump의 동작을 살펴보면 아래와 같다. 즉, clk_0 와 clk_1 이 high인 구간에서 MN2와 MN3가 교대로 켜지며, 단자 X와 Y를 V_{DD} 로 precharge한다. clk_2 와 clk_3 가 high로 변하면 C2와 C3를 통해 precharge된 단자 X와 Y는 V_{DD} 의 2배로 펌핑된다. clk_2 와 clk_3 가 low인 구간에서 MP0와 MP1이 교대로 켜지며 단자 X와 Y의 charge를 출력 단으로 전달하고, MP2와 MP3는 교대로 켜지며 기생 BJT의 turn-on을 막는 기능을 수행한다. 보조 pump는 MN2와 MN3가 동시에 turn-on 되는 것을 막기 위해 사용된다. 그림 3-(a)의 charge pump에서 펌핑 커패시터 C2와 C3의 크기는 식 (2)에 의해 결정되는데 최대의 구동 전류를 고려하여 설계된다. 본 논문에서 사용된 회로는 최대 구동 전류가 5 mA로 100 MHz의 주파수, 최대 1 V의 출력 전압 변동을 갖도록 설계하였으며 주파수 변동의 마진을 추가하여 30 pF으로 결정하였다.

$$C_{pump} = \frac{I_{max}}{2 * freq. * \Delta V} \quad (2)$$

또한, charge 전달 switch인 MP0와 MP1의 크기는 최대 구동 전류 조건에서 50 mV 미만의 전압강하가 발생하는 것을 목표로 정하였고, 대략 10 ohm의 on-저항을 갖도록 트랜지스터 크기를 600 um로 결정하였다. 이 경우, CIS 능동 픽셀 센서가 S/H 구간에 있을 때는 구동 전류가 크므로 효율적으로 동작할 수 있지만, 픽셀 센서가 동작하지 않는 ADC 구간에서는 구동 전류가 존재하지 않으므로 불필요한 switching loss로 인한 효율 저하가 나타나게 된다. 실제로, 앞의 2 절에서 언급한 바와 같이, CIS 전체 동작 구간 중 ADC 구간이 차지하는 비율이 상대적으로 크므로, 이로 인한 전력 효율 저하는 매우 심각한 문제로 받아들여지고 있다.

그림 3-(a)의 아래 부분에 나타난 clock driver는 외부 clock인 ϕ_1 과 ϕ_2 로부터 charge pump를 구동하는

IV. 제안된 CMOS Charge Pump

본 논문에서는, 앞 장에서 설명한 기존의 charge pump의 효율 저하 문제를 해결하기 위하여, 아래에 열거한 세 가지 방법을 채용한 charge pump를 제안하고자 한다. 첫째, 펌핑 커패시터의 크기와 clock driver의 구동 능력을 가변 할 수 있게 하여 ADC 구간에서 switching loss를 줄이고, 둘째, charge 전달 switch의 크기를 가변 할 수 있게 하여 ADC 구간에서 불필요하게 소모되는 gate 커패시턴스의 충전 전력을 줄이고자 한다. 마지막으로, hysteresis 특성을 가진 inverter를 tri-state driver에 사용하여, driver 출력 단자에서 항상 non-overlapping clock이 확보되도록 하여 reversion loss를 최소화 하고자 한다.

위에서 언급된 기술을 채용한 CMOS charge pump와 clock driver의 회로도가 그림 4-(a)에 나타나 있다. 제안된 회로의 기본적인 구성은 기존 회로와 동일하며, 효율 개선을 위해 추가 혹은 변형된 부분만을 설명하면 다음과 같다. 첫째, 그림 3-(a)에서 30 pF으로 사용하던 펌핑 커패시터 C2와 C3를 5 pF과 25 pF으로 나누어 C2와 C2', C3와 C3'으로 배치하고, 나누어진 펌핑 커패시터를 각각 따로 구동하도록 회로를 구성하였다. 펌핑 커패시터의 최소 크기는 구동 전류가 없을 때 마진을 갖고 5 pF으로 결정하였다. 이렇게 분리된 펌핑 커패시터는 동작 구간에 따라 S/H 구간에서는 모든 tri-state driver를 동작시켜 모든 펌핑 커패시터가 동작하게 하고, ADC 구간에서는 5 pF의 C2와 C3를 구동하는 tri-state driver 만 동작시켜 switching loss를 줄일 수 있도록 설계하였다.

둘째, 기존 회로에서 사용하던 600 um의 크기를 갖는 charge 전달 switch를 펌핑 커패시터와 같은 비율을 적용하여, 100 um의 MP0, MP1과 500 um의 MP0A, MP1A로 분리하여 MP0와 MP1은 동작 구간에 상관없이 항상 동작하게 하고, MP0A와 MP1A는 S/H 구간에서만 동작하게 한다. 이를 제어하기 위하여, 신호 HSEL을 받아 S/H 구간에서는 switch MP6와 MP7을 turn-on 시켜 MP0A와 MP1A의 gate단자 A, B를 펌핑 단자 X와 Y에 연결시키고, ADC 구간에서는 switch MP4와 MP5를 turn-on 시켜 단자 A와 B를 단자 V_{CP}에 연결시킨다. 이 경우, ADC 구간에서 펌핑단자 X와 Y에 연결된 gate 커패시턴스가 줄어들게 되어, 이로 인한 전력 소모를 감소시킬 수 있게 된다. 신호 HSEL은 CIS동작 타이밍 도의 SEL을 level shifter를 통해 V_{DD}

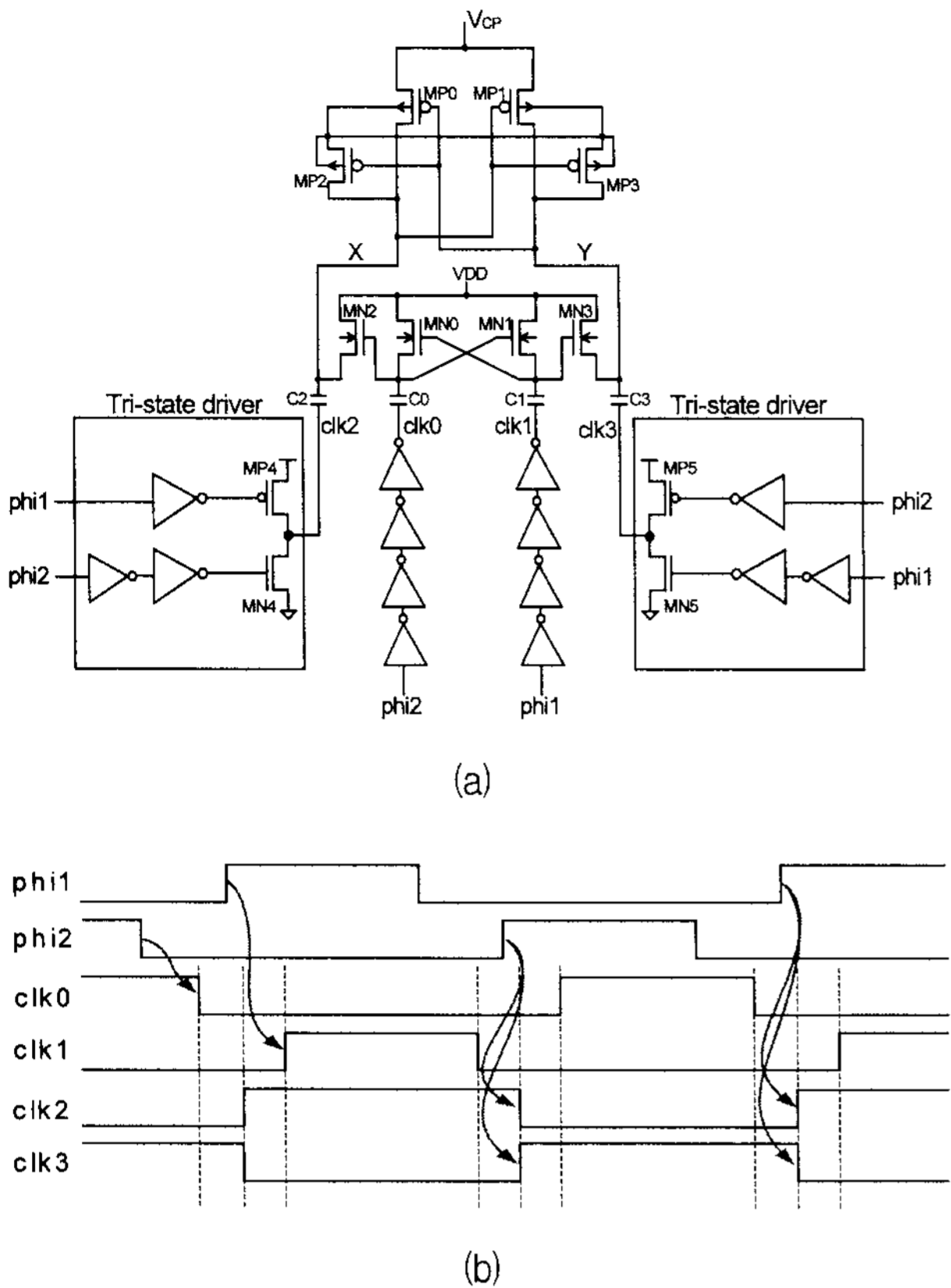


그림 3. 기존의 (a)charge pump와 clock driver (b)control signal 타이밍 도
Fig. 3. Conventional (a)charge pump and clock driver (b)control signal timing diagram.

네 개의 local clock을 만드는데 사용된다. Clock driver는 두 가지 종류가 사용되는데, 이들은 각각 tri-state driver와 inverter chain driver이다. tri-state driver는, non-overlapping clock인 phi1과 phi2에 의해 PMOS와 NMOS를 각각 따로 turn-on 시킴으로써, 신호 천이 시 short-circuit current를 원천적으로 봉쇄할 수 있는 특성을 가지고 있다. 그러나, 그림 3-(b)의 타이밍도에서 보듯이, tri-state driver는 clk2와 clk3을 만드는 과정에서 불필요한 위상 변화를 일으켜 이들 사이의 non-overlapping 구간이 없어지도록 만들어, 이들 local clock이 구동하는 MP0와 MP1에서 reversion loss를 발생시키는 단점을 가지고 있다. 또한, 이는 charge pump의 출력(V_{CP})에 ripple을 크게 하고 효율을 떨어뜨리게 하므로 개선의 필요성이 절실히 대두되고 있다. 한편, inverter chain driver는 동작 시에 short-circuit current를 발생시킬 수 있지만, 작은 크기의 트랜지스터들로 구성된 보조 pump 만을 구동하기 때문에 전력 손실이 크지는 않다.

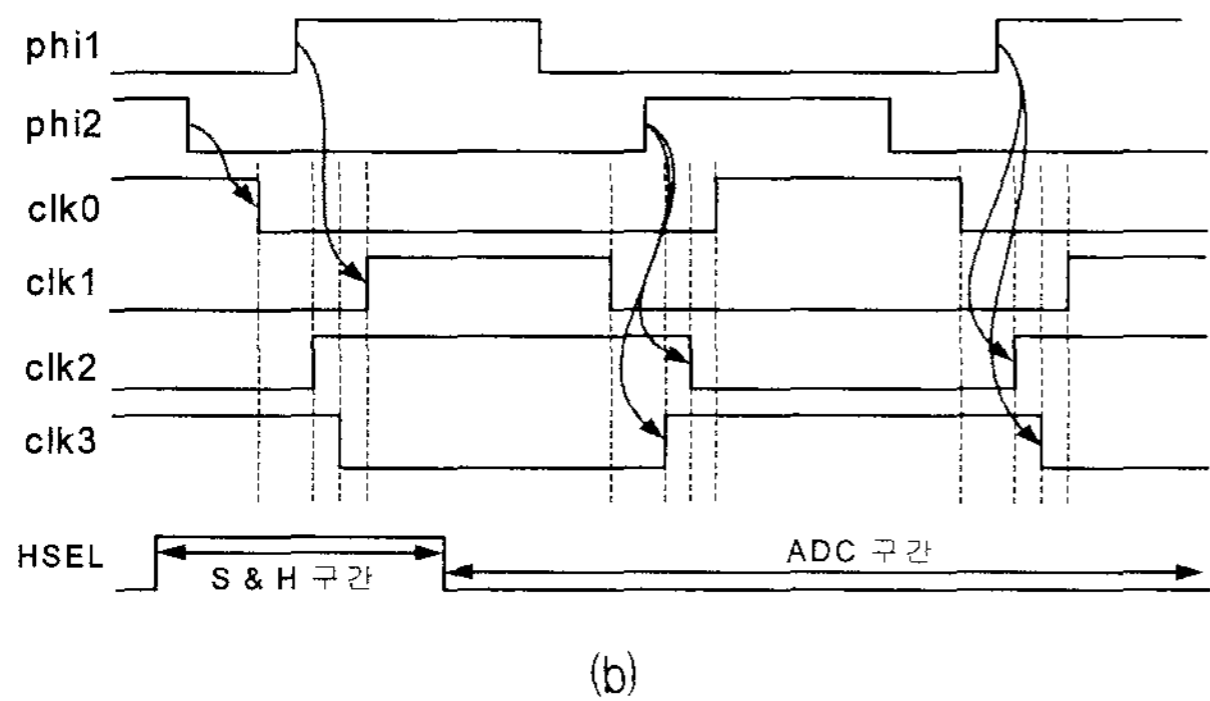
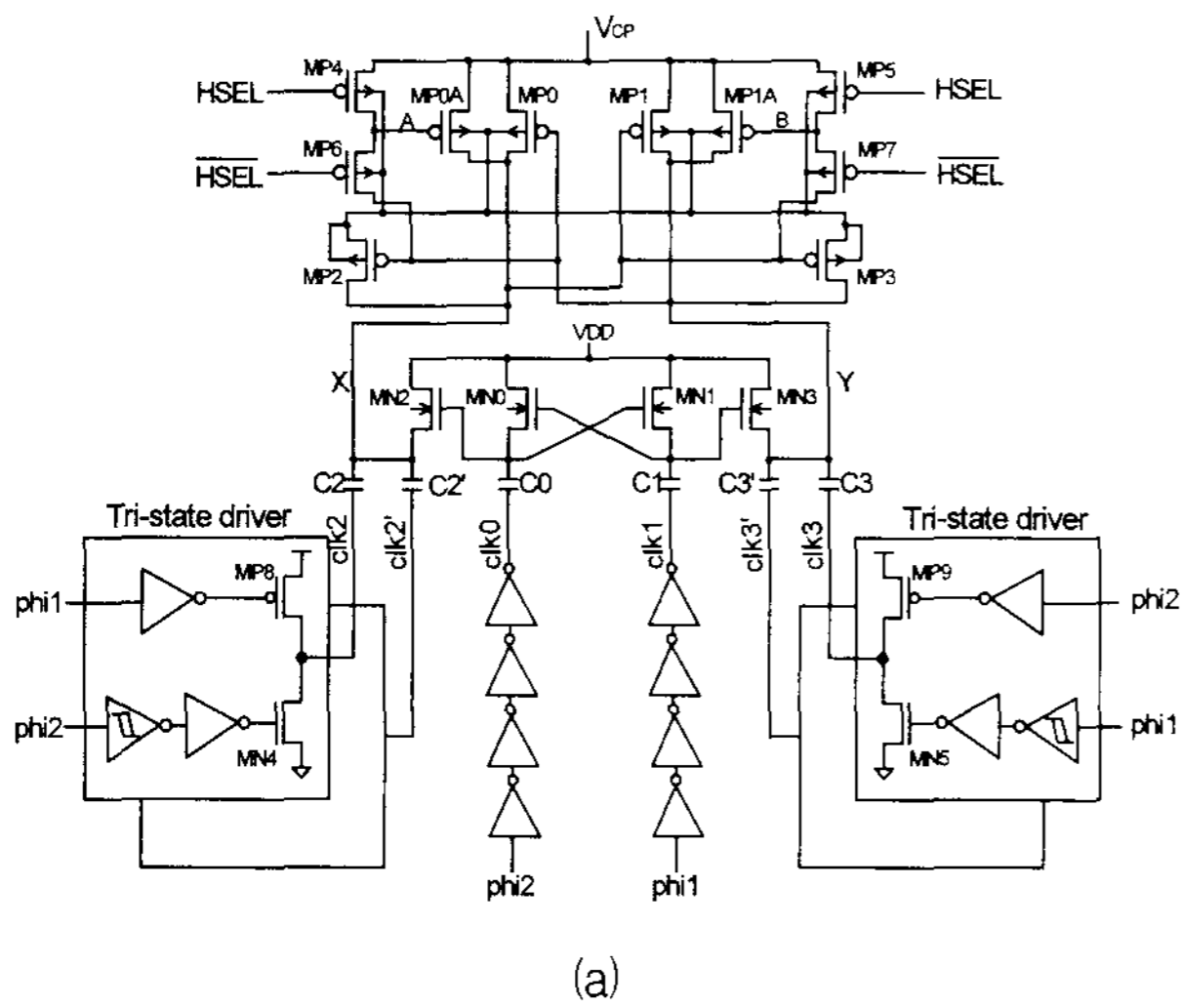


그림 4. 제안된 (a) charge pump와 clock driver 및 (b) control signal 타이밍 도
 Fig. 4. Proposed (a) charge pump and clock driver and (b) control signal timing diagram.

의 2 배로 switching하는 신호로 만들어진 후 사용된다.

셋째, 펌핑 커패시터 C2, C2', C3 및 C3'를 구동하는 tri-state driver에 hysteresis 기능을 갖는 inverter를 추가하였으며, 이에 대한 자세한 회로도 및 타이밍 도가 그림 5에 나타나 있다. 본 구조는 한 개의 PMOS와 세 개의 NMOS로 구성되는데, pull down 트랜지스터 MN0와 MN1이 직렬로 연결되어 있고, 중간 단자 X를 V_{DD}에 연결하는 MN2가 추가된 것이 보통의 inverter와 다른 부분이다. 입력 A가 low 상태일 때, 출력 Y는 high 상태이고 MN2는 turn-on 되어 있다. 따라서, 단자 X에는 V_{DD}-V_{TH,MN2}의 전압이 걸리게 된다. A가 점점 증가하여 V_{TH,MN1}을 넘어서면 MN1이 turn-on 되고, 단자 X의 전압은 MN2와 MN1의 turn-on 저항비에 의해 결정된다. A의 전압이 더 증가하면 MN1의 turn-on 저항이 더 줄어들게 되고 X의 전압은 더욱 더 내려가게 된다. MN0는 A의 전압이 X의 전압보다 V_{TH,MN0}만큼 더 높아져야만 비로소 turn-on 되어 Y를 방전시키기 시작한다. Y가 방전되어 전압이 V_X+V_{TH,MN2}보다 낮

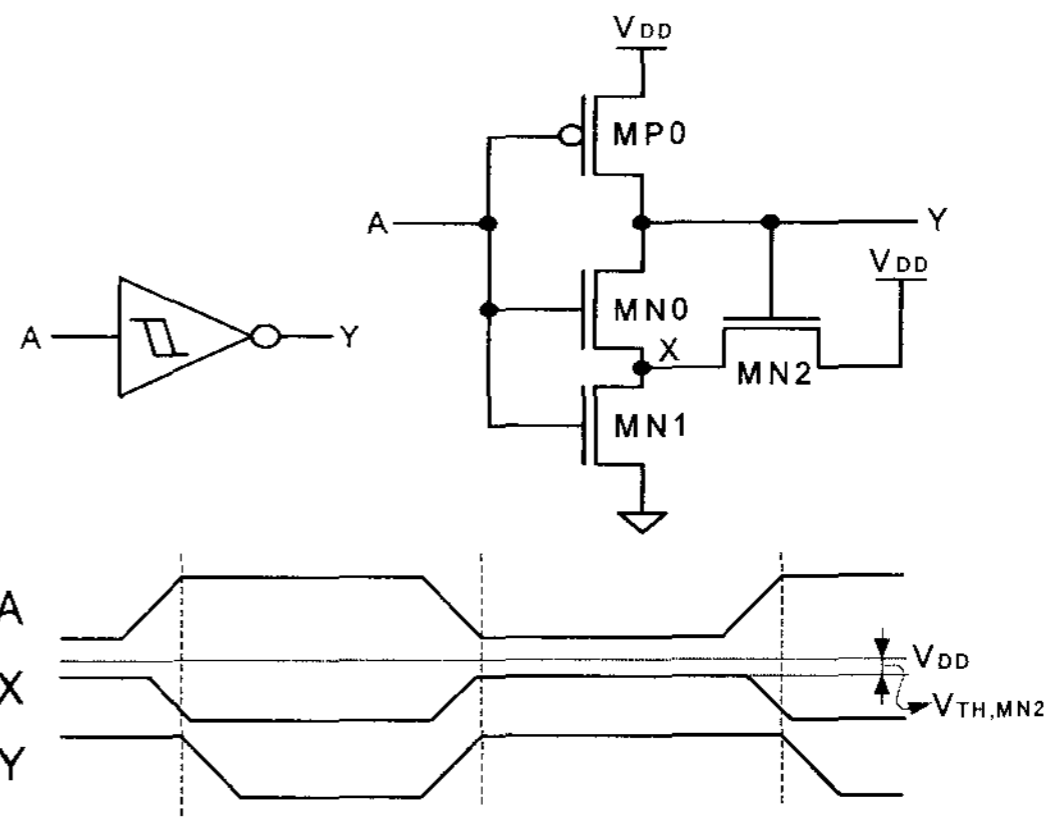


그림 5. Hysteresis inverter 회로도
 Fig. 5. Schematic of hysteresis inverter.

아지게 되면 MN2는 turn-off 된다. 보통의 inverter와 동작을 비교할 때, low-to-high transition 시에는 동일한 동작을 하고, high-to-low transition 시에는 MN2로 인해 pull down 동작이 방해받게 되어 타이밍도 상에 시간 지연이 발생된다. 이는 그림 4-(a)에서 tri-state driver의 MN4와 MN5를 turn-on 시키는 신호 전달을 늦추어 그만큼 출력의 high 상태를 더 유지하게 된다. 결국, 그림 4-(b)에서처럼 clk2와 clk3는 low 상태가 non-overlapping 구간을 갖게 되어 MP0와 MP1의 reversion loss를 없앨 수 있게 된다.

V. 실험 및 고찰

본 논문에서 제안된 charge pump를 0.13um의 CMOS 공정을 이용하여 설계하였으며, 이에 대한 layout photograph가 그림 6에 나타나 있다. 설계된 회로의 총 면적은 400 X 280 um²로, 기존 회로에 비해 면적 증가분은 1.1% 정도인 것으로 나타났다. 면적 증가분이 크지 않은 이유는, 새로이 추가된 회로의 면적 비중이 크지 않고, 분리된 펌핑 커패시터와 charge 전달 switch, clock driver의 경우 크기의 총합이 기존 회로와 같기 때문인 것으로 분석된다. Layout 시 출력 단자 V_{CP}와 연결된 metal은 선폭을 두껍게 하여 전류가 흐를 때 발생하는 metal 저항을 줄였다. 그리고, 펌핑 커패시터의 위, 아래로 다른 신호의 metal layer가 지나가는 것을 피해 펌핑 커패시터의 양단에 발생하는 기생 커패시턴스를 줄여 펌핑 효율을 높였다. 또한, 펌핑 커패시터와 driver를 최대한 가깝게 배치하고 회로 상에서 대칭적으로 동작하는 부분은 layout시에도 좌우에 대칭적으로 배치하여 mismatch에 의한 영향을 최소화하였다.

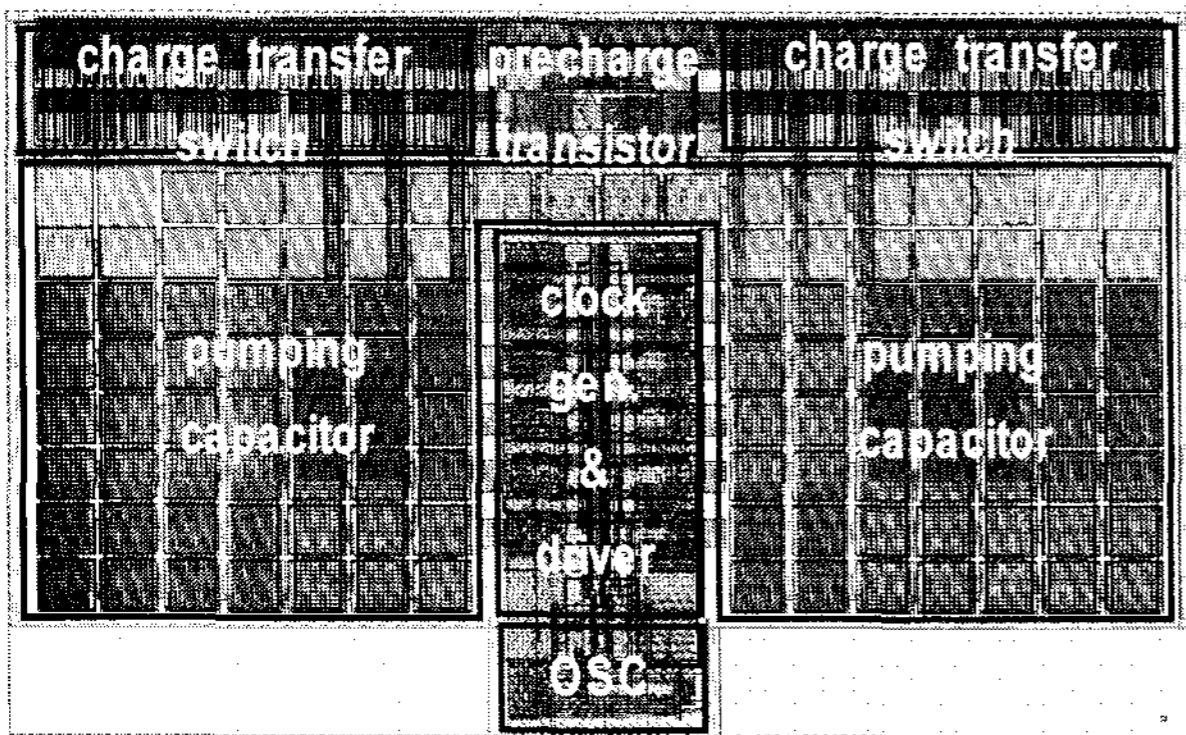


그림 6. 제안 회로의 layout
Fig. 6. Layout of proposed charge pump.

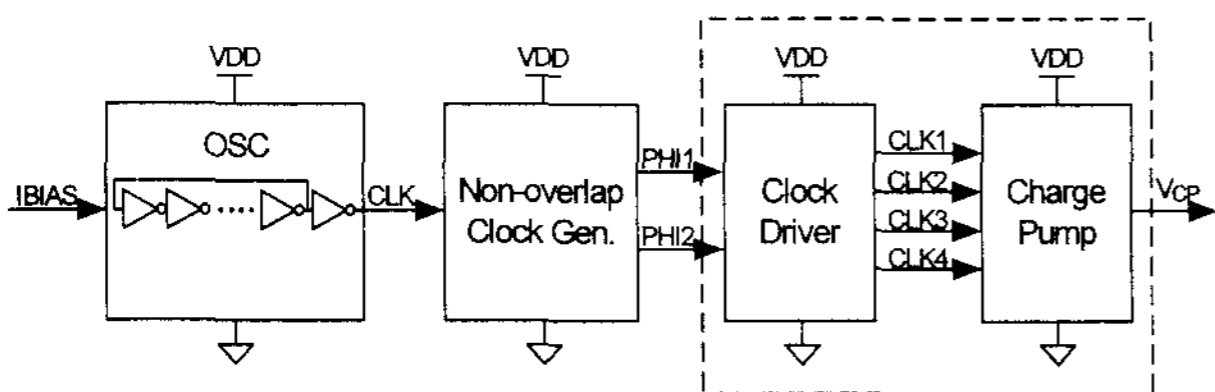
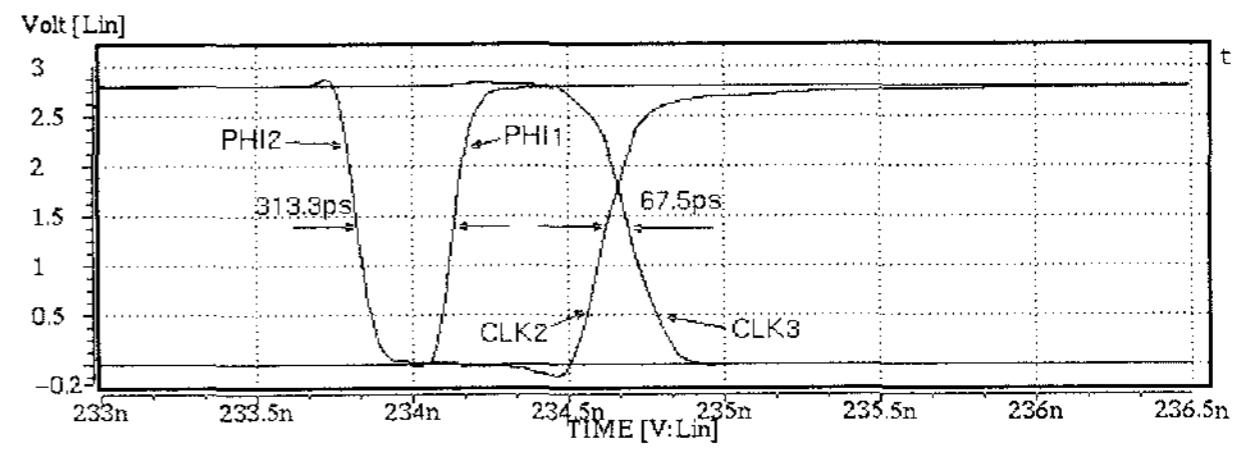


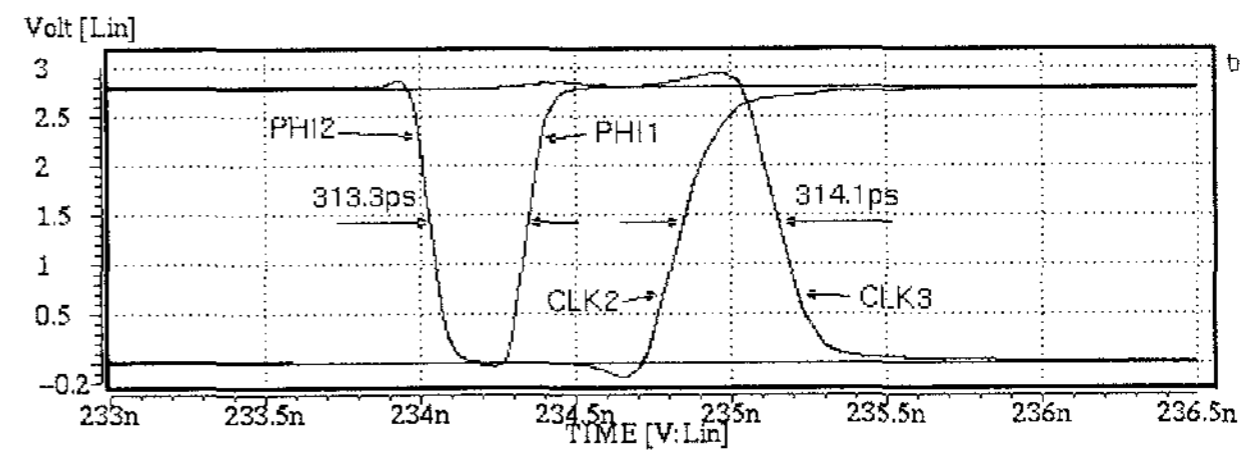
그림 7. Charge pump의 블록 다이어그램
Fig. 7. Block diagram of Charge Pump.

그림 7은 제안된 회로의 성능을 검증하기 위하여 구성된 회로로 clock을 만드는 오실레이터와 이 clock을 받아 phi1과 phi2를 만드는 non-overlapping clock generator, 그리고 charge pump 및 이를 구동하는 clock driver로 구성되어 있다. 여기서 사용한 오실레이터는 일반적인 링 오실레이터로 바이어스전류에 의해 clock주파수가 결정되는데, 공정변화에 따라 주파수가 바뀌게 되면 charge pump의 출력전압도 바뀌게 된다. 그러나 CIS에서는 charge pump의 출력에 레귤레이터를 연결하여 사용하므로 적정 출력 전압만 유지되면 공정변화에 따른 영향성을 막을 수 있다. 이를 위해 보통 펌핑 커패시터의 크기는 공정변화에 따른 마진을 더해 설계한다. 성능 검증은 2.8 V 공급 전압, 100-MHz clock 주파수, 30-pF capacitive load, 25°C의 온도 조건에서, 제안된 charge pump와 기존 charge pump의 비교 시뮬레이션을 통해 행해졌다.

그림 8은 기존 charge pump의 tri-state driver와 제안하는 charge pump의 tri-state driver의 출력 파형을 비교한 결과이다. Non-overlapping 구간이 313.3ps인 입력 phi1과 phi2에 대하여 출력 clk2와 clk3의 파형을 보면, 기존 회로에서는 non-overlapping 구간이 67.5ps로 줄어든 반면, 제안된 회로에서는 non-overlapping 구간이 314.1ps로 주어진 non-overlapping 구간을 유지하는 것을 확인하였다.



(a)



(b)

그림 8. tri-state driver 출력 clock 파형: (a) 기존 구조 (b) 제안된 구조

Fig. 8. Tri-state driver output clock waveforms: (a) conventional, (b) proposed.

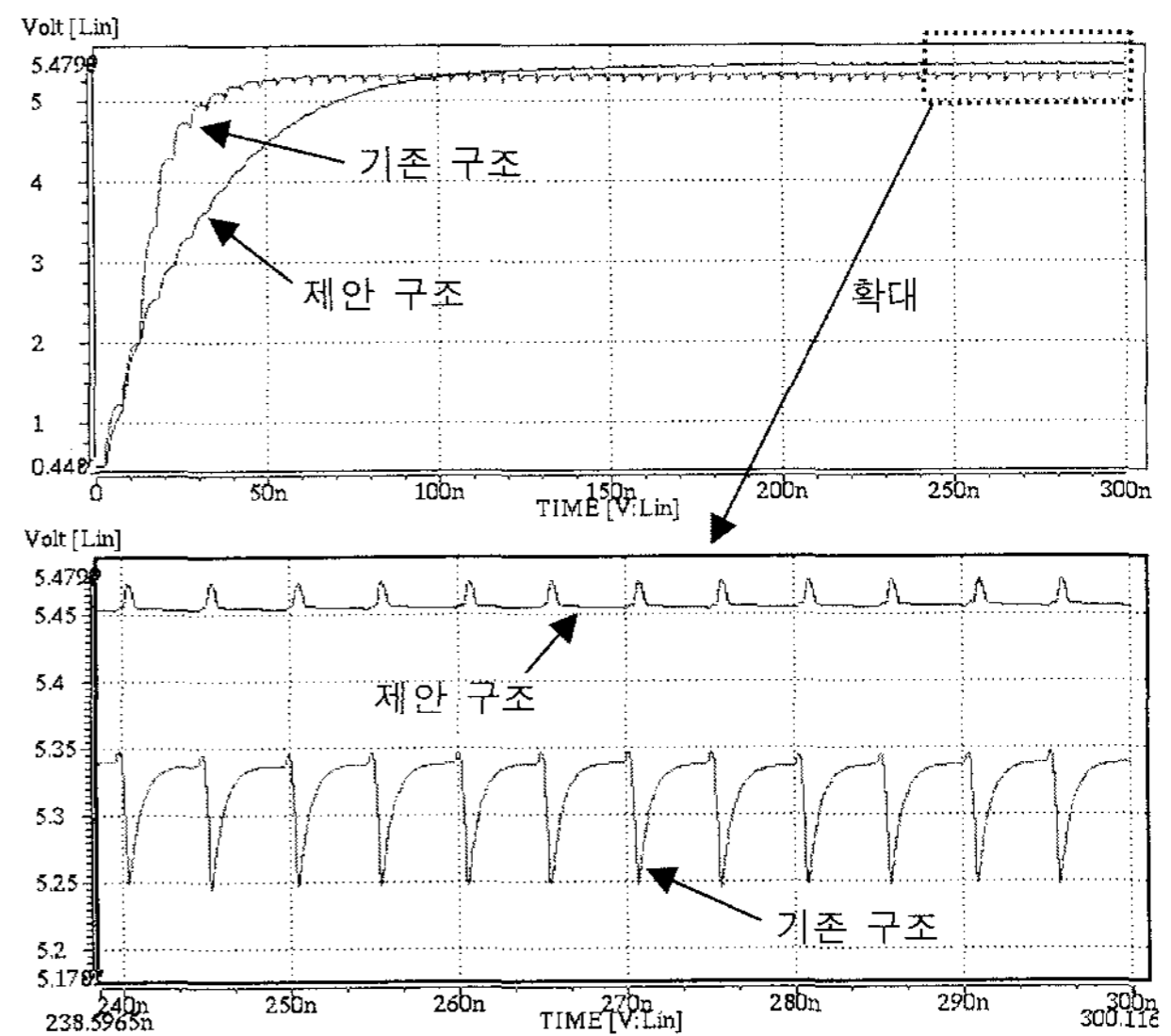


그림 9. 기존회로와 제안회로의 출력 파형 비교

Fig. 9. Comparison of the output wave for a conventional and a proposed charge pump.

그림 9는 구동 전류가 없는 조건에서 시간에 따른 charge pump 출력 전압(V_{CP})의 파형을 비교한 결과를 나타내고 있다. 제안된 회로의 출력 전압이 5.461V로 기존 구조의 5.322V에 비해 139mV 더 높은 전압을 나타내었으며, 출력 전압(V_{CP})에 발생하는 ripple도 제안된 구조의 경우 약 78% 감소하였다. 그러나, 초기의 펌핑 속도는 제안된 구조가 기존의 구조에 비해 느려졌는데, 이는 제안된 구조의 경우 loading 전류가 없을 때는 최소한의 driver와 커패시터를 사용하여 동작하는데 반해, 기존 구조는 loading 전류가 없을 때에도 모든

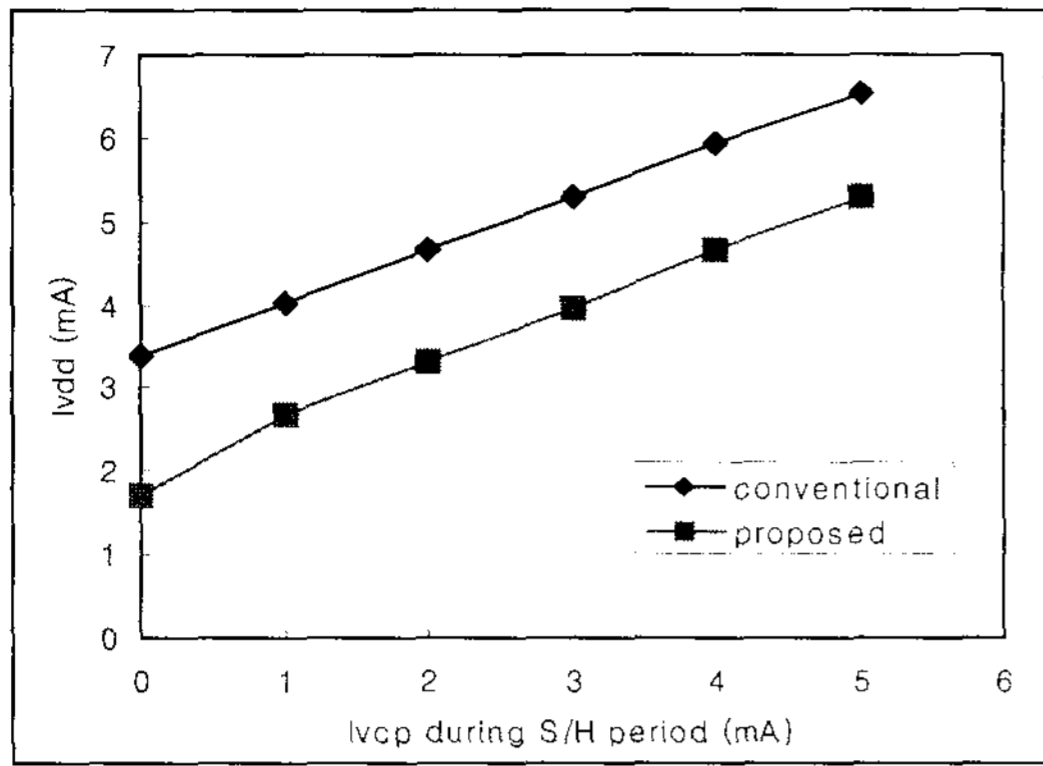


그림 10. 구동 전류에 따른 공급 전원 전류
Fig. 10. Power supply current as a function of the loading current.

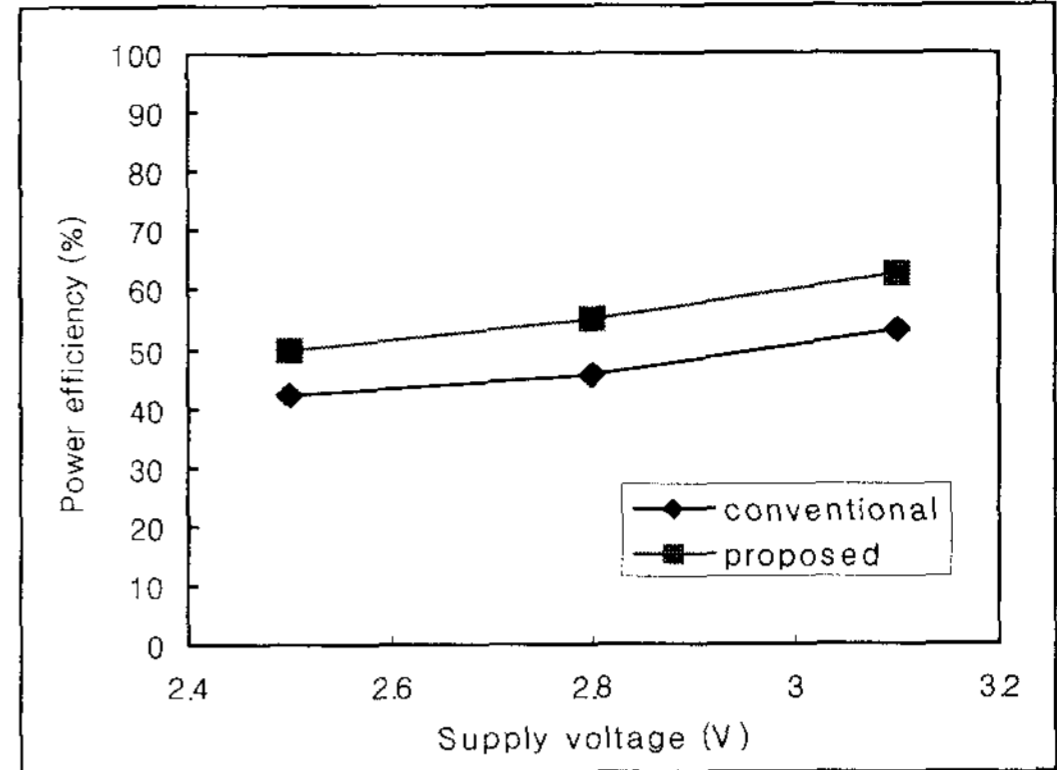


그림 12. 공급 전원에 따른 전력 효율
Fig. 12. Power efficiency as a function of the power supply.

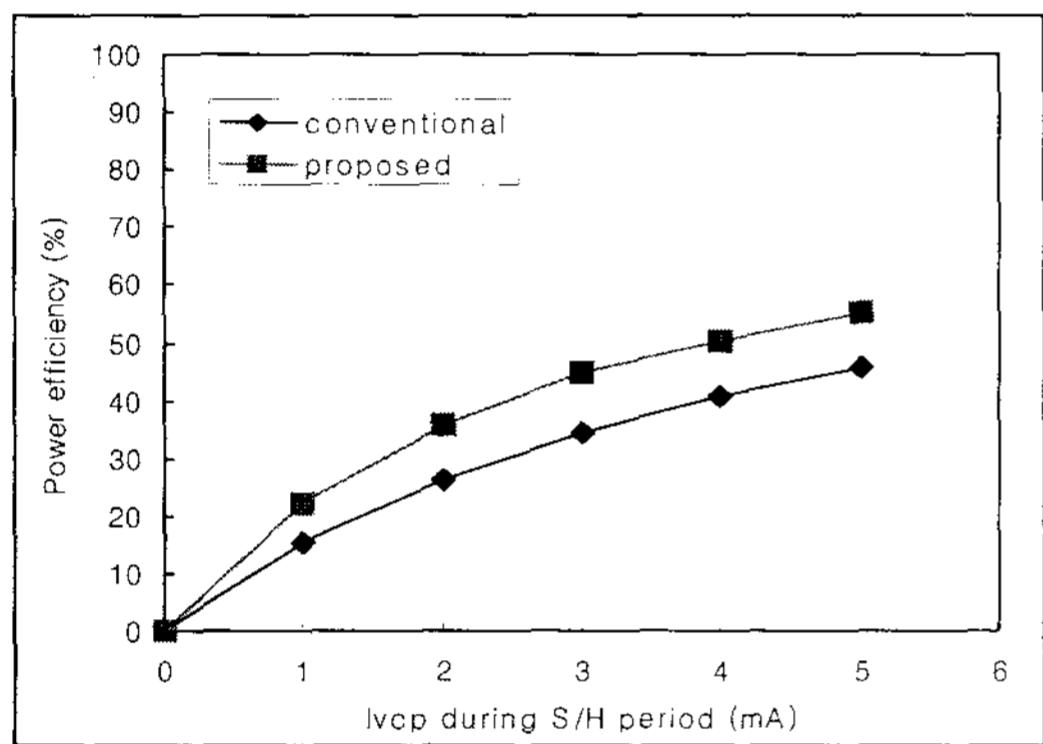


그림 11. 구동 전류에 따른 전력 효율
Fig. 11. Power efficiency as a function of the loading current.

driver와 커패시터를 사용하여 동작하기 때문이다. CIS에서는 보통 동작 초기 3~4 frame의 영상은 사용하지 않는데, 이때의 시간은 30 frame/s로 동작할 경우에도 수십 ms 정도 이상이 된다. 따라서, charge pump가 안정화될 수 있는 시간이 충분하기 때문에 초기 펌핑 속도는 문제가 되지 않는다.

그림 10은 S/H 구간에서 흐르는 구동 전류를 0 mA에서 5 mA로 변화시켰을 때, 공급 전원(2.8 V)에서 흐르는 전류량을, CIS의 전 동작 구간에 걸쳐 평균값을 취한 결과이다. 제안된 회로가 기존 회로에 비해 최고 49.1%의 동작 전류가 줄어들었으며, 전 영역에서 우위를 나타내고 있음을 알 수 있다. 그림 10의 동작 전류로부터 식 (1)을 사용하여 계산된 charge pump의 전력 효율 비교 결과가 그림 11에 나타나 있다. 최대 구동 전류 조건(5 mA)에서, 제안 회로의 경우 최대 55.2%의 전력효율을 나타내며 기존 회로의 45.6%보다 21%개선된 전력효율을 보여주고 있다. 그림 12는 최대 구동 전류 조건에서 공급 전원을 2.5 V, 2.8 V, 3.1 V로 변화시

킬 때 나타나는 전력 효율 변화를 비교한 결과이다. 그림에서 보는 바와 같이, 제안된 회로가 기존 회로에 비해 최대 21.0% 더 개선된 전력효율을 가지는 것을 확인할 수 있었다.

VI. 결 론

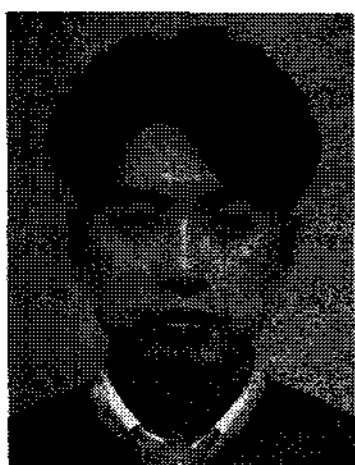
본 논문에서는 기존의 CIS에서 주로 사용되던 charge pump의 전력 손실을 개선할 수 있는 방법을 제안하였다. 즉, CIS의 동작 특성을 이용하여, charge pump의 구동 전류를 사용하는 동작 구간과 사용하지 않는 동작 구간으로 구분하여, charge 전달 switch와 local clock driver 및 펌핑 커패시터의 크기를 역동적으로 조절함으로써 불필요한 switching loss를 최소화하였다. 또한, schmitt trigger를 채용한 tri-state driver를 통해 reversion loss를 야기하지 않는 최적의 clock을 공급함으로써 고 효율을 달성하였다. 제안된 방식에 의해 구현된 회로는 시뮬레이션 결과 기존 회로에 비해 139mV 더 높은 출력 전압을 만들어 내었으며, 출력의 ripple도 기존 회로에 비해 78% 감소하였다. 또한, 제안된 회로의 전력 소모는 기존 구조에 비해 최대 49.1% 줄어들었고, 최대 구동 전류 조건에서도 전력 소모량이 19.0% 개선되는 결과를 확인하였다.

참 고 문 헌

- [1] El Gamel, A. and Eltoukhy, H., "CMOS image sensors," Circuits and Devices Magazine, IEEE, Vol. 21, Issue 3, pp.6-20, May-June 2005.
- [2] Chang-Rok Moon, Jongwan Jung, Doowon

- Kwon, Seok-Ha Lee, Jae-seob Roh, Kee-Hyun Paik, Doo-Cheol Park, HongKi Kim, Heegeun Jeong, Jae-Hwang Sim, Hyunpil Noh, Kangbok Lee, and Duckhyung Lee, "The features and characteristics of 5M CMOS image sensor with 1.9x1.9um² pixels," Electron Devices Meeting, 2005. IEDM Technical Digest. IEEE International, pp.4, Dec. 2005.
- [3] C. Lauterbach, W. Weber, and D. Romer, "Charge sharing concept and new clocking scheme for power efficiency and electromagnetic emission improvement of boosted charge pumps," IEEE Journal of Solid-State Circuits, Vol. 35, No. 5, May 2000.
- [4] Feng Su, Wing-Hung Ki, and Chi-Ying Tsui,, "High Efficiency cross-coupled doubler with no reversion loss," Circuits and Systems, ISCAS 2006. Proceedings. IEEE International Symposium, pp.4, May 2006.
- [5] P. Favrat, P. Deval, and M.J. Declercq, "A high-efficiency CMOS voltage doubler," IEEE Journal of Solid-State Circuits, Vol. 33, Issue 3, pp.410-416, Mar. 1998.
- [6] C. Falconi, G. Savone, and A. D'Amico, "High light-load efficiency charge pumps," IEEE International Symposium on Circuits and Systems, Kobe, Japan, pp.1887-1890, May 2005.

저 자 소 개



김 주 하(학생회원)
1998년 아주대학교 전자공학과
학사 졸업.
1998년~현재 삼성전자 반도체
총괄 System LSI사업부
Image개발팀 책임연구원
재직.

2007년~현재 성균관대학교 정보통신공학부
반도체디스플레이공학과 석사 과정
<주관심분야 : 아날로그 집적회로 설계, Mixed
Signal 회로 설계>



전 영 현(평생회원)
1984년 한양대학교 전자공학과
공학사.
1986년 한국과학기술원(KAIST)
전기 및 전자공학과
공학석사.
1989년 한국과학기술원(KAIST)
전기 및 전자공학과
공학박사.

1990년~1991년 미국 University of Illinois,
Coordinated Science Lab. 연구원.
2008년 현재 삼성전자(주) 반도체총괄
DRAM설계팀 전무.
<주관심분야 : 초고속 메모리 설계, 고속 I/O
Interface 설계>



공 배 선(평생회원)
1990년 연세대학교 전자공학과
공학사.
1992년 한국과학기술원(KAIST)
전기 및 전자공학과
공학석사.
1996년 한국과학기술원(KAIST)
전기 및 전자공학과
공학박사.

1996년~1999년 LG반도체 중앙연구소선임
연구원.
2000년~2005년 한국항공대학교 항공전자공학과
부교수.
2005년~현재 성균관대학교 정보통신공학부
전자전기공학과 부교수.
<주관심분야 : 디지털 및 혼성모드 집적회로설
계, 저전력 메모리 설계>