

고전압 변환비의 극성 반전형 DC/DC 전력 변환 전원장치

鄭同烈^{*}, 鄭鏞准^{**}, 洪成洙^{***}, 韓翔圭^{***}, 司空石鎮[§], 盧政煜[†]

Polarity Inversion DC/DC Power Conversion Power Supply with High Voltage Step-up Ratio

Dong-Yeol Jung, Yong-Joon Jung

Sung-Soo Hong, Sang-Kyoo Han, Sug-Chin Sakong and Chung-Wook Roh

요약

고전압 DC 전원 응용에 사용되는 높은 입출력 전압 변환비의 특성을 가지는 새로운 극성 반전형 dc/dc 전력 변환 회로를 제안하였다. 제안한 회로의 특징은 기존회로보다 소자의 전압 스트레스가 감소된다. 제안한 회로의 동작 원리를 분석하고 특징을 비교하였다. 제안한 회로의 타당성을 검증하기 위해 시뮬레이션결과와 실험결과를 비교 분석 하였다.

ABSTRACT

A noble polarity inversion dc/dc power conversion circuit that has the high input-output voltage conversion ration characteristics is presented for high voltage DC power supply applications. The proposed circuit features the reduced voltage stresses of the component compared to those of the conventional ones. The operational principles of the proposed circuit is analyzed and comparative features are presented. The simulation results and experimental results are presented to verify the validity of the proposed circuit.

Key Words : High Voltage Power Supply Voltage Multiplier

1. 서 론

고압 전원 장치(High Voltage Power Supply)는 근래에 와서 산업전반에 응용이 매우 광범위하게 확산되고 있고 고전압장치가 필수적으로 이용 되어야 하는 분야가 점차 확산되고 있다. 응용분야로는 신소재 개

발과 플라즈마 응용을 위한 공업용과 민생용, 의료기 기용, 군사용, 또한 프린터에 이르기까지 다양하게 있다. 가정이나 사무실에서 쉽게 접할 수 있는 IT장비인 프린터인 경우에도 전원 공급 장치의 측면에서는 화상 형성에 있어 가장 필수적인 안정적이고 다기능을 가지는 고압 전원 장치를 적용하고 있고, 수요 또한 증가하고 있다.

그림 1은 종래의 고압 전원 장치를 위한 극성 반전형 DC/DC converter회로를 나타낸다. 종래의 회로는 반도체 Switch 하나와 고압 변환 Transformer 하나에 다수의 Diode와 Capacitor로 전력 단이 구성되어 있으며, 이른바 플라이백 컨버터[1]의 회로 구조에 전압 체 배기(Voltage Multiplier) 회로[2]를 적용한 구조이다.

^{*}교신저자 : 정회원, 국민대 전자정보통신공학부 부교수
E-mail : drno@kookmin.ac.kr

^{**}정회원, 국민대 전자공학과 대학원 박사과정

^{***}학생회원, 국민대 전자공학과 대학원 석사과정

[§]정회원, 국민대 전자정보통신공학부 부교수

^{***}정회원, 국민대 전자정보통신공학부 조교수

[†]정회원, 국민대 전자정보통신공학부 교수

접수일자 : 2008. 2. 14 1차 심사 : 2008. 3. 5

2차 심사 : 2008. 3. 17 심사완료 : 2008. 3. 22

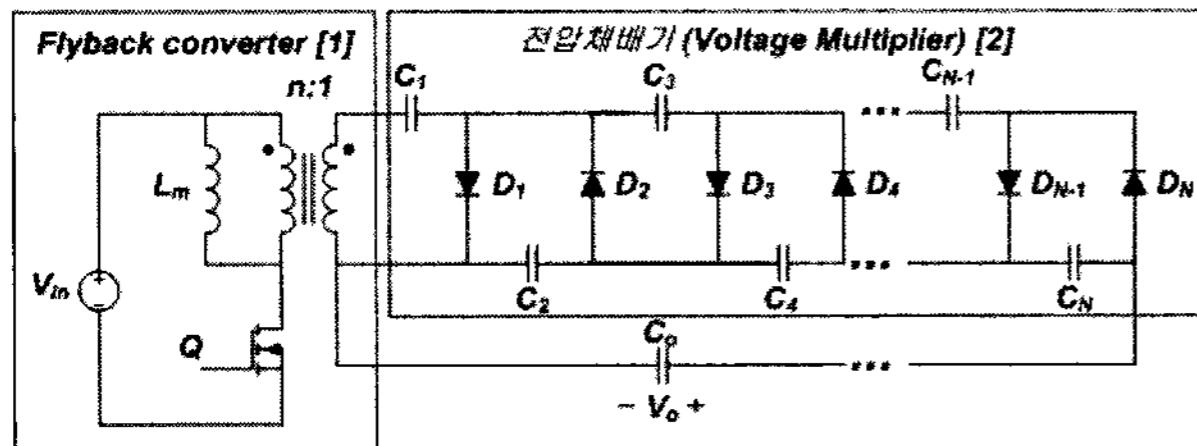


그림 1 종래의 고압 전원 장치를 위한 극성 반전형 DC/DC converter

Fig. 1 Polarity Inversion DC/DC converter for conventional high voltage power supply

반도체 스위치의 도통(On) 시간과 차단(Off)시간을 조절함으로써 출력 전압의 안정화를 이를 수 있고, 전압 체배기 회로를 적용함으로써 높은 출력 전압 조건 하에서도 비교적 낮은 내압의 Diode 및 Capacitor들을 선정하여 적용할 수 있게 된다. 전압 체배기(Voltage Multiplier) 회로[2]를 적용한 플라이백 컨버터 방식은 비교적 적은 소자 수로 구성되고 회로 구조가 간단하여, 수 W급의 낮은 전력 용량의 고압 전원 장치에 널리 사용되고 있다. 하지만, 고압 Transformer를 사용함으로써 Magnetic 소자의 부피 및 크기가 커지게 되고, 전압 체배기를 구성하는 Diode와 Capacitor의 전압 스트레스가 커져, 고 내압의 소자를 적용해야 하므로, 고압 전원 장치의 소형화와 경량화, 그리고 원가 저감에 장애 요소가 된다.^{[1]-[3]}

따라서 본 논문에서는 소자 Stress가 감소되고, 입출력 전압 변환 비가 크고 안정적인 Topology의 특성을 갖는 새로운 트랜스포머가 없는 고전압용 승압 형 회로를 제안한다. 제안된 회로에서는 Transformer를 사용하지 않고 Transformer 대신 Magnetic소자로 Inductor가 사용된다. 이는 Magnetic 소자 사이즈의 감소 효과를 볼 수 있고, 전력변환효율이 증대된다. 제안된 회로의 원리를 분석하고, 종래의 고압 전원 장치와 비교함으로써 장점을 알아본 후, 동작원리에 대한 타당성을 Simulation 및 실험을 통하여 검증한다.

2. 제안회로의 구성

그림 2은 제안된 높은 전압 변환비의 Two-Level 극성 반전 DC/DC 컨버터의 회로도이다. 제안된 Two-Level 극성 반전 회로는 일반적인 극성 반전 DC/DC 컨버터와 회로 구성이 유사하지만(Switch Q, Inductor Lm, Diode Do, Capacitor Co로 구성됨), 소

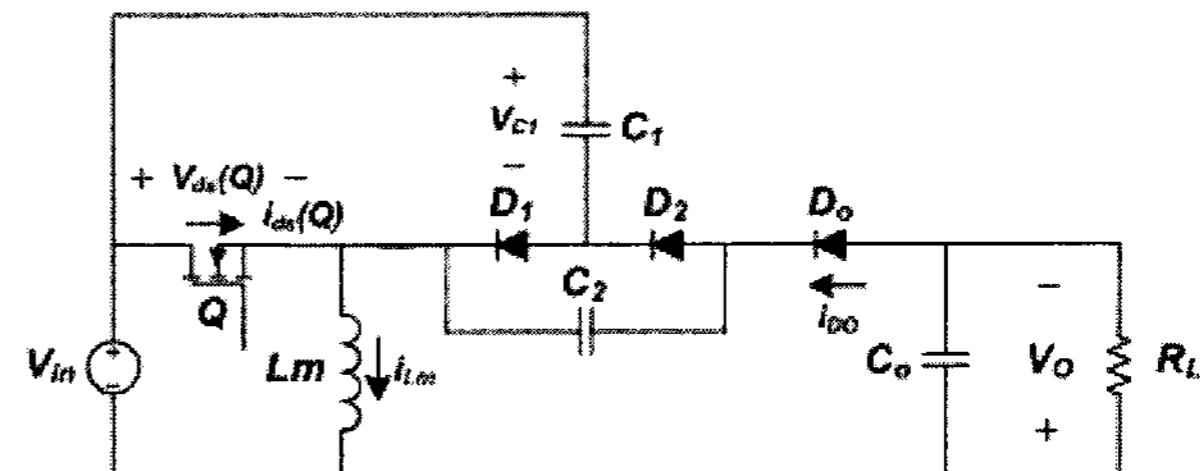


그림 2 제안된 Two-Level 극성 반전 DC/DC 컨버터

Fig. 2 The proposed Polarity Inversion DC/DC converter of Two-Level

자 내압 저감을 위해 Diode D1, D2과 Capacitor C1, C2로 구성된 회로(Voltage Multi Cell)를 추가한 것이다. 전원장치는 Primary 와 Secondary로 나눌 수가 있는데, Primary는 외부의 AC전원을 직접 공급 받는 곳이며, Secondary는 Primary전압과 직접 연결되지 않으면서, 2차측에 DC 전원을 공급해주는 역할을 한다. 그림 1의 일반적인 전압체배기를 사용한 플라이백 컨버터의 트랜스포머는 1,2차 측 절연용이라기보다는 2차 측에 고압을 발생시키기 위한 DC 전압배 압용으로 사용되었다. HVPS에서 일반적으로 행하여지고 있는 안전규격항목에는 SELV(Safety Extra Low Voltage)테스트가 있다. 사람이 접촉되는 단자가 제품 밖으로 나와 있을 시에는 반드시 SELV Test를 해야 한다. Secondary 측의 입력전압과 출력전압을 단락시켜 VDC 60V가 넘으면 절연거리를 20mm 이상 떨어뜨려야 하며, 만일 2차단의 전압을 사용하는 단자가 제품외부로 나와 있을 경우 본 논문에서 제안한 트랜스포머가 없는 고전압용 승압형 회로에서 사용 제약이 따를 것으로 예상된다.

3. 제안회로의 동작원리

3.1 CCM 회로 구성 및 동작원리

제안된 회로의 동작을 살펴보기 위해 다음 사항을 가정한다.

- 모든 반도체 소자는 이상적이다.
- 회로는 정상상태에서 동작한다.
- Capacitance C1, C2, Co의 값이 충분히 커서, 각 Capacitor에 인가되는 양단 전압은 각각 V_{C1} , V_{C2} , V_O 의 DC 전압으로 근사할 수 있다.
- Capacitor C1과 C2 양단에 인가되는 전압은 V_X

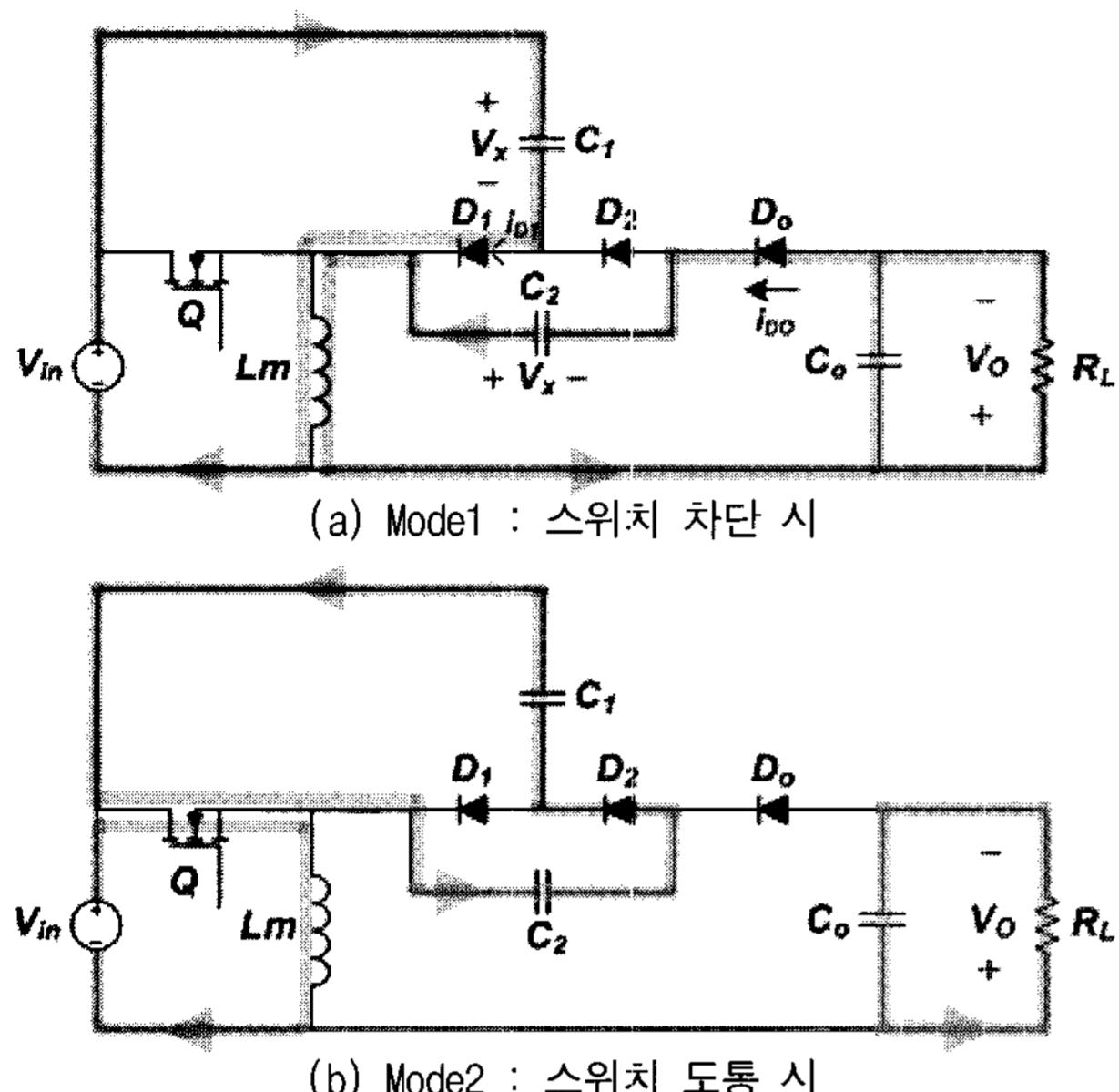


그림 3.1 연속전도 모드(CCM) 동작 시 등가회로

Fig. 3.1 Equivalent Circuit of continuous conduction mode(CCM)

로 같다.

- $V_{in} < V_x < V_o$

마지막 두 가지 가정은 다음의 구체적인 회로 동작 설명을 통해 자명해진다.

그림 3.1은 제안된 회로의 Inductor 전류 $i_{Lm}(t)$ 의 연속전도 모드(Continuous Conduction Mode) 동작 시에 반도체 스위치의 도통/차단에 따른 등가 회로이고, 그림 3.2는 제안한 회로의 주요 전압/전류 파형. 각 구간별 등가회로에 대한 설명은 다음과 같다.

Mode 1[$T_0 - T_1$] : $t=T_0$ 에서 스위치 Q가 차단되면, 다이오드 D_1 과 출력다이오드 D_0 가 도통되고, Inductor L_m 에 저장된 에너지는 $Lm-V_{in}-C_1-D_1$ 의 경로와 $Lm-C_0-D_0-C_2$ 의 경로로 방전하게 된다. 따라서, Inductor L_m 에 흐르는 전류 $i_{Lm}(t)$ 는 다음과 같다.

$$\begin{aligned} i_{Lm}(t) &= i_{Lm}(T_0) + \frac{V_{in} - V_x}{L_m}(t - T_0) \\ &= i_{Lm}(T_0) + \frac{V_x - V_0}{L_m}(t - T_0) \end{aligned} \quad (1)$$

$t=T_1$ 에서 $i_{Lm}(T_1)$ 은 다음과 같다.

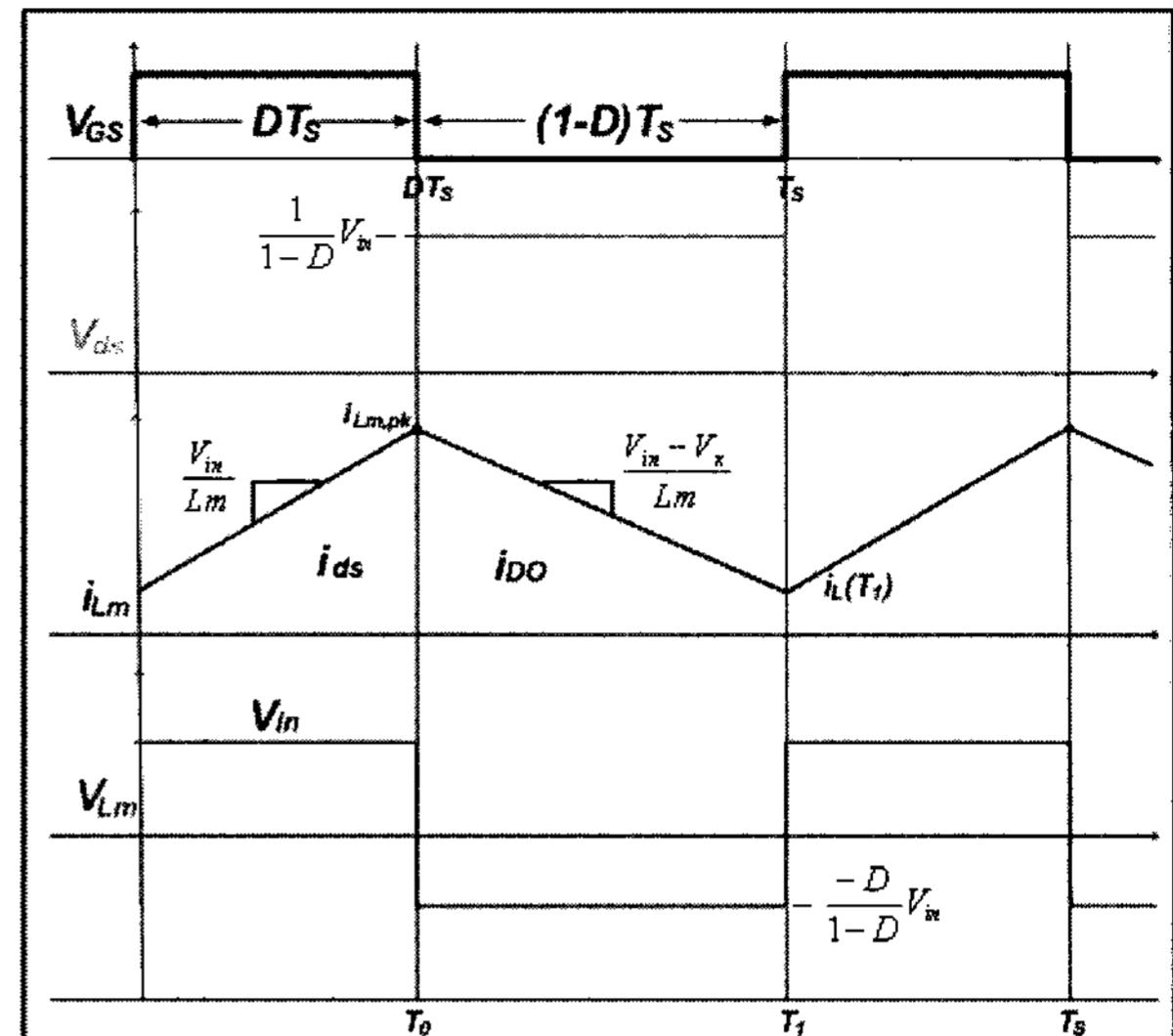


그림 3.2 연속전도 모드(CCM) 동작 시 주요 파형

Fig. 3.2 Steady-state waveforms of CCM

$$\begin{aligned} i_{Lm}(T_1) &= i_{Lm}(T_0) + \frac{V_{in} - V_x}{L_m}(1 - D)T_s \\ &= i_{Lm}(T_0) + \frac{V_x - V_0}{L_m}(1 - D)T_s \end{aligned} \quad (2)$$

여기서, D 는 스위치 Q의 도통/차단의 시비율이고, T_s 는 스위칭 주기이다. Mode1의 구간 동안, 다이오드 D_2 의 역방향 전압 V_{D2} 와 스위치 Q의 Drain-to-Source 전압 $V_{DS}(Q)$ 는 전부 V_x 가 인가됨을 알 수 있다.

Mode 2[$T_1 - T_2$] : $t=T_1$ 에서 스위치 Q가 도통하면, 다이오드 D_1 과 D_0 는 차단되고, 다이오드 D_2 가 도통한다. Inductor L_m 에는 경로 $V_{in}-Q-Lm$ 로 에너지가 저장된다. 따라서, Inductor L_m 에 흐르는 전류 $i_{Lm}(t)$ 는 다음과 같다.

$$i_{Lm}(t) = i_{Lm}(T_1) + \frac{V_{in}}{L_m}(t - T_1) \quad (3)$$

$t = T_2$ 에서, $i_{Lm}(T_2)$ 은 다음과 같다.

$$i_{Lm}(T_2) = i_{Lm}(T_1) + \frac{V_{in}}{L_m}DT_s = i_{Lm}(T_0) \quad (4)$$

Mode2의 구간동안 다이오드 D_2 가 도통하면

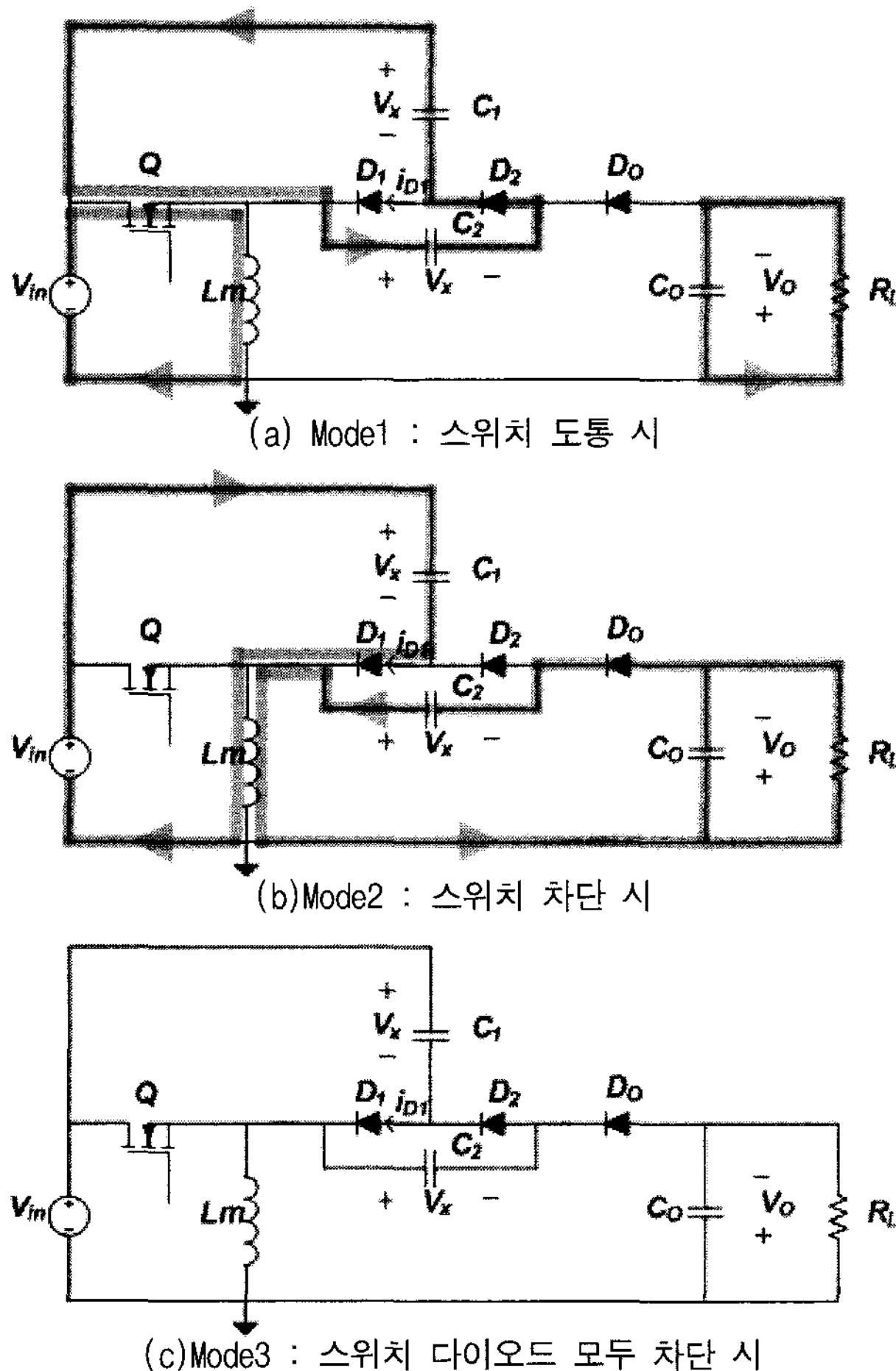


그림 3.3 불연속전도 모드(DCM) 동작 시 등가회로
Fig. 3.3 Equivalent Circuit of Discontinuous conduction mode(DCM)

$C_1-Q-C_2-D_2$ 의 경로가 형성되어, Capacitor C_1 과 C_2 의 양단 전압 V_{C1} 과 V_{C2} 는 V_X 의 전압으로 같게 된다. 다이오드 D_1 의 역방향 전압 V_{D1} , 출력다이오드 D_0 의 역방향 전압 V_{D0} 는 각각 V_X 와 $V_{in}+V_O-V_X$ 가 인가됨을 알 수 있다. $t=T_2$ 에서 스위치 Q가 차단되면 Mode 2는 끝나고, 다음 한 주기 동작을 반복하게 된다. 식 (2)와 식 (3)을 연립하면, Capacitor C_1 과 C_2 의 양단 전압 V_X 와 입출력 전압 변환비 V_o/V_{in} 를 각각 다음 식들과 같이 구할 수 있다.

$$V_x = \frac{V_{in}}{1-D} \quad (5)$$

$$\frac{V_o}{V_{in}} = \frac{1+D}{1-D} \quad (6)$$

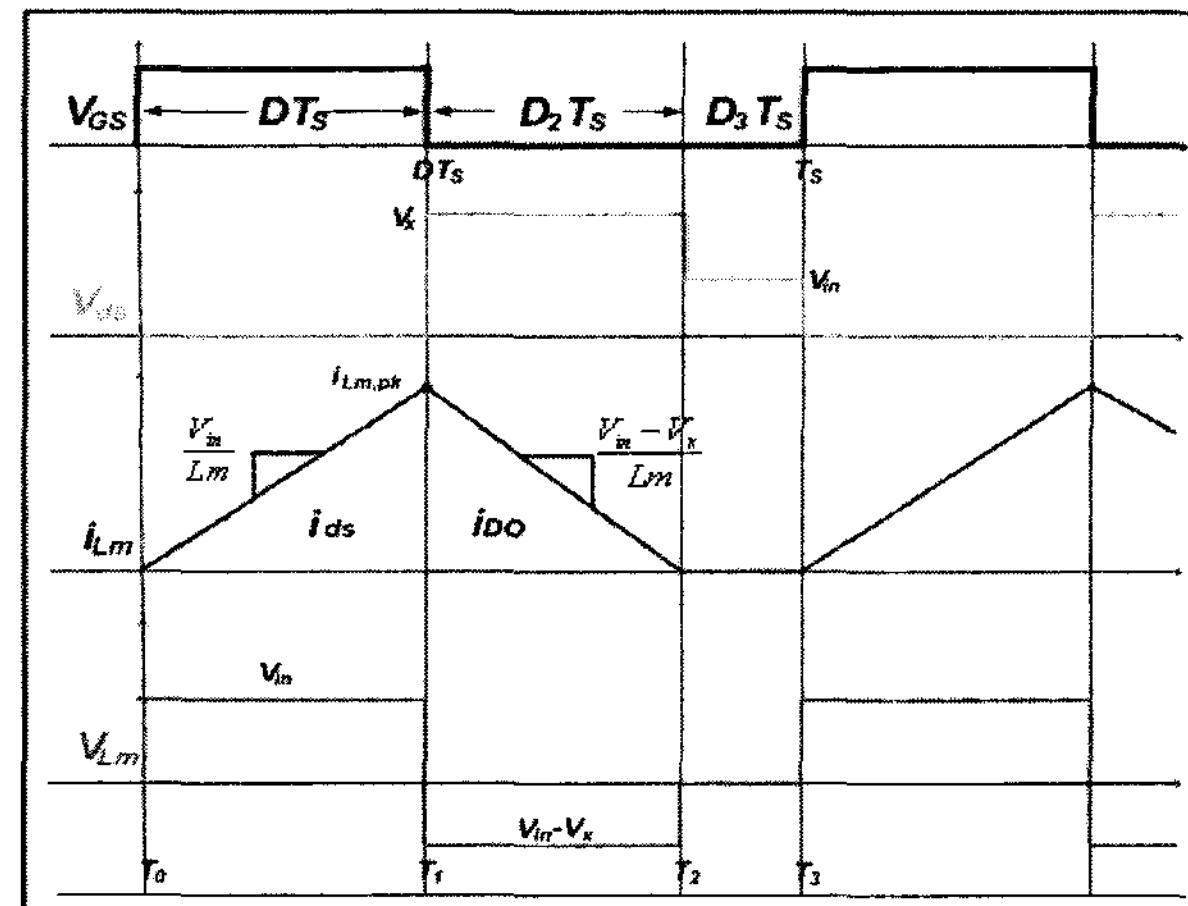


그림 3.4 불연속전도 모드(DCM) 동작 시 주요 파형

Fig. 3.4 Steady-state waveforms of DCM

여기서 주목할 점은, 시비율 D 는 0에서 1사이의 값이므로, 항상 $V_{in} < V_X < V_O$ 의 관계가 성립함을 알 수 있다.

3.2 DCM 회로 구성 및 동작원리

그림 3.3은 제안된 회로의 인덕터 전류 $i_{Lm}(t)$ 의 불연속 전도 모드(Discontinuous Conduction Mode) 동작 시에 반도체 스위치의 도통/차단에 따른 등가 회로를 나타내고, 제안회로의 주요 전압/전류 파형을 그림 3.4에 나타내었다. 각 구간별 등가회로에 대한 설명은 다음과 같다.

Mode1 [T₀ - T₁] : $t=T_0$ 에서 스위치 Q가 도통하면, 다이오드 D_1 과 D_0 는 차단되고, 다이오드 D_2 가 도통한다. 인덕터 L_m 은 경로 $V_{in}-Q-Lm$ 로 에너지가 저장된다.

따라서, 인덕터 L_m 에 흐르는 전류 $i_{Lm}(t)$ 는 다음과 같다.

$$i_{Lm}(t) = \frac{V_{in}}{L_m}(t - T_0) \quad (7)$$

$t=T_0$ 에서, $i_{Lm}(T_1)$ 은 다음과 같다.

$$i_{Lm}(T_1) = \frac{V_{in}}{L_m}DT_s \quad (8)$$

Mode 1의 구간동안 다이오드 D_2 가 도통하면

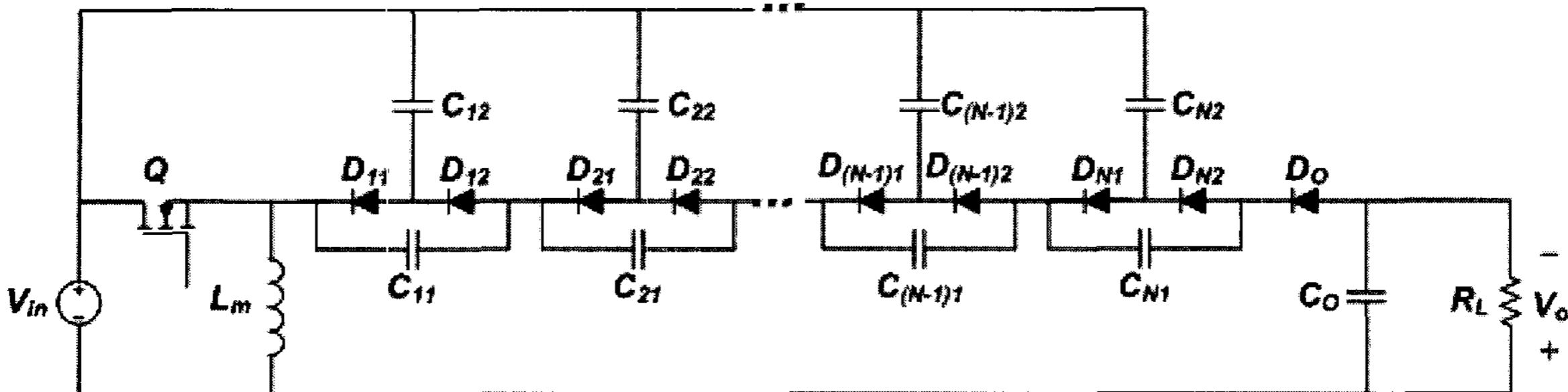


그림 3.5 N-Level 극성 반전 DC/DC 컨버터

Fig. 3.5 Polarity Inversion DC/DC converter of N-Level

$C_1-Q-C_2-D_2$ 의 경로가 형성되어, 캐패시터 C_1 과 C_2 의 양단 전압 V_{C1} 과 V_{C2} 는 V_X 의 전압으로 같게 된다. 다이오드 D_1 의 역방향 전압 V_{D1} , 출력다이오드 D_0 의 역방향 전압 V_{D0} 는 각각 V_X 와 $V_{in}+V_o-V_X$ 가 인가됨을 알 수 있다.

Mode 2 [T₁-T₂] : $t=T_1$ 에서 스위치 Q가 차단되면, 다이오드 D_1 과 출력다이오드 D_0 가 도통되고, 인덕터 L_m 에 저장된 에너지는 $Lm-V_{in}-C_1-D_1$ 의 경로와 $Lm-C_0-D_0-C_2$ 의 경로로 방전하게 된다. 따라서, 인덕터 L_m 에 흐르는 전류 $i_{Lm}(t)$ 는 다음과 같다.

$$i_{Lm}(t) = i_{Lm}(T_1) + \frac{V_x - V_o}{L_m}(t - T_1) \quad (9)$$

Mode2의 구간 동안, 다이오드 D_2 의 역방향 전압 V_{D2} 와 스위치 Q의 Drain-to-Source 전압 $V_{ds}(Q)$ 는 전부 V_X 가 인가된다. $t=T_2$ 에서 인덕터 전류 $i_{Lm}(T_2)$ 는 0이 되고, 식 (8)과 식 (9)에서 다음 관계식이 성립한다.

$$DV_{in} = D2(V_x - V_{in}) = D2(V_o - V_x) \quad (10)$$

여기서, $D2$ 는 $(T_2-T_1)/T_s$ 로 정의한다.

Mode 3 [T₂-T₃] : $t=T_2$ 에서 모든 다이오드는 차단되고, 인덕터 양단에 인가되는 전압과 인덕터에 흐르는 전류는 전부 영이 된다. Mode 3 구간동안 $V_{ds}(Q)$, V_{D0} , V_{D1} , V_{D2} 의 전압은 각각 V_{in} , V_o-V_X , V_X-V_{in} , V_{in} 이 된다. $t=T_3$ 에서 스위치 Q가 도통하면 한주기 동작을 반복한다. 식 (10)에서 불연속 전도 모드 동작 시

캐패시터 C_1 과 C_2 의 양단 전압 V_X 와 입출력 전압 변환 비 V_o/V_{in} 는 각각 다음과 같다.

$$V_x = \frac{D+D2}{D2} V_{in} \quad (11)$$

$$V_o = \frac{2 \cdot D + D2}{D2} V_{in} \quad (12)$$

그림 3.4에서 보면, 출력부하 전류 I_o 는 출력 다이오드 전류 i_{D0} 의 평균값이고, 다음 식을 만족한다.

$$I_o = \frac{V_o}{R_L} = \frac{D2 \cdot i_{Lm}(T_1)}{4} \quad (13)$$

식 (8)을 식 (13)에 대입하면, $D2$ 는 다음과 같이 구할 수 있다.

$$D2 = \frac{2K}{D} \cdot \frac{V_o}{V_{in}} \quad (14)$$

여기서, $K = 2L_m/(R_L T_s)$ 로 정의 한다.

식 (14)를 식 (12)에 대입하면, 불연속 전도 모드 동작 시 제안된 회로의 입출력 전압 변환 비 V_o/V_{in} 를 다음과 같이 구할 수 있다.

$$\frac{V_o}{V_{in}} = \frac{1 + \sqrt{1 + \frac{4D^2}{K}}}{2} \quad (15)$$

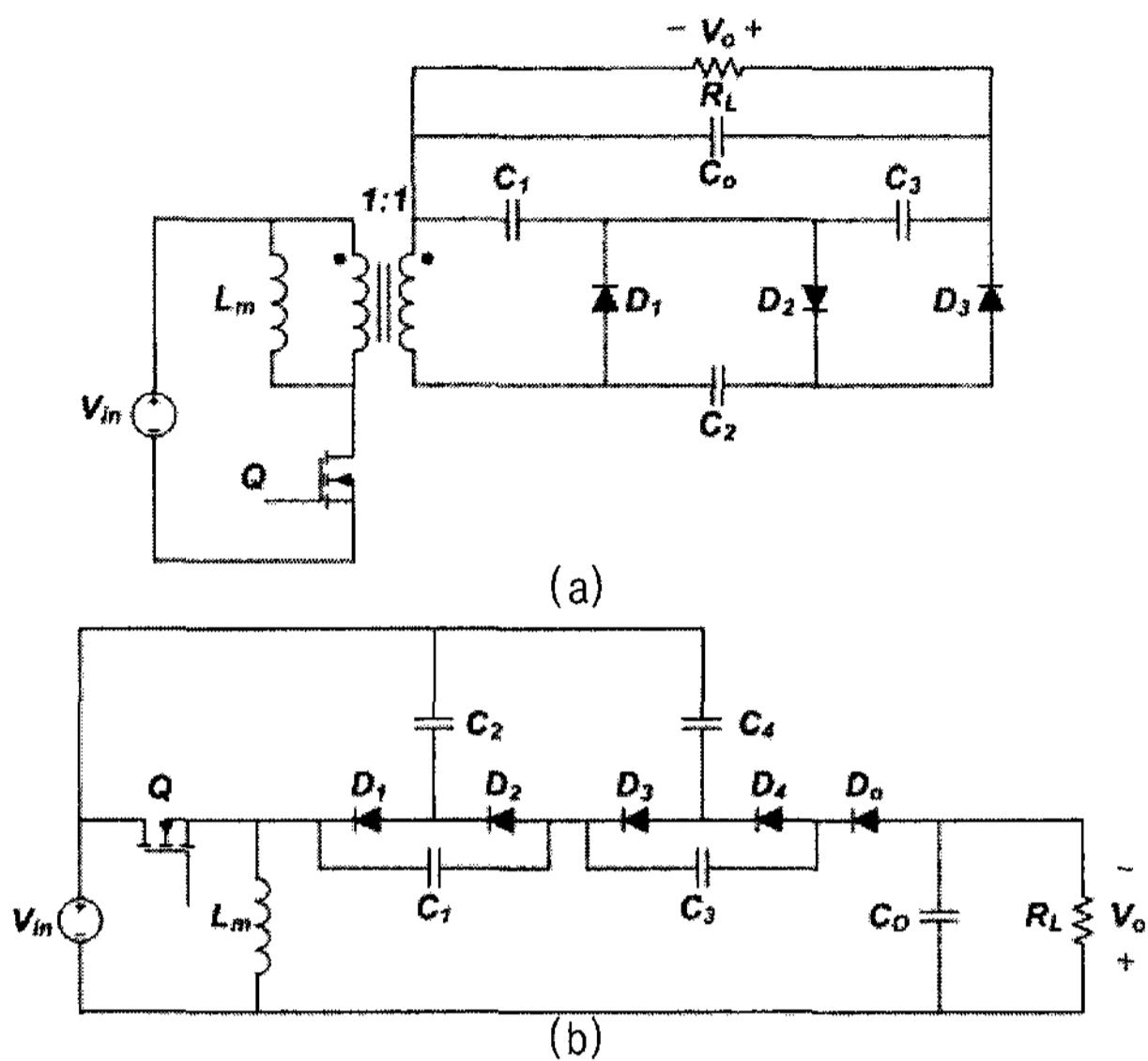


그림 4.1 (a) 3배 전압 채배기를 사용한 플라이백 컨버터
(b) 3-Level 극성 반전 DC/DC 컨버터

Fig. 4.1 (a) The flyback converter using triple voltage Multipliers
(b) Polarity Inversion DC/DC converter of 3-Level

3.3 N-Level 극성 반전 DC/DC converter

그림 3.5는 제안된 N-Level 극성 반전 DC/DC 컨버터의 회로도이다. 기본적으로 Two-Level 극성 반전 회로를 확장한 개념으로, Level 수를 증가하면 할수록 추가적인 소자 내압 저감을 이룰 수 있다. 제안된 N-Level 극성반전 회로는 스위치 \$Q\$가 도통된 구간 동안, 인덕터 \$Lm\$에 에너지를 저장하고, 다이오드 \$D_{12}, D_{22}, \dots, D_{(N-1)2}, D_{N2}\$가 도통하여 구성된 캐패시터들 간의 전압평형을 이루게 된다. 스위치 \$Q\$가 차단된 구간 동안에는 출력 다이오드 \$D_0\$와 다이오드 \$D_{11}, D_{21}, \dots, D_{(N-1)1}, D_{N1}\$이 도통하여 인덕터에 저장된 에너지가 출력 측으로 전달되게 된다. Two-Level 회로의 동작 원리와 같은 과정의 해석을 통해 다음 관계식들을 얻을 수 있다. 전류 연속모드 동작 시 입출력 전압 변환

비 $\left| \frac{V_o}{V_{in}} \right|_{CCM}$ 는 다음과 같다.

$$\left| \frac{V_o}{V_{in}} \right|_{CCM} = \frac{N-1}{1-D} + \frac{D}{1-D} \quad (16)$$

여기서, \$D\$는 스위치 \$Q\$의 도통/차단 시비율이다.
전류 불연속 모드 동작 시에 입출력 전압 변환 비

$\left| \frac{V_o}{V_{in}} \right|_{DCM}$ 은 다음과 같이 구할 수 있다.

$$\left| \frac{V_o}{V_{in}} \right|_{DCM} = \frac{N-1 + \sqrt{(N-1)^2 + 4D^2/K}}{2} \quad (17)$$

여기서, \$K = 2L_m / (R_L T_s)\$ 이다.

4. 기존 회로와의 비교

표 1 소자 Stress의 비교

Table 1 Comparative of the component stress

비교항목	기존회로	제안회로
입출력 전압 변환 비	$M = \frac{1+D^*}{1-D^*}$	$M = \frac{2+D}{1-D}$
시비율 (D)	$D^* = \frac{M-1}{M+1}$	$D = \frac{M-2}{M+1}$
다이오드 최대 역전압	$V_{D1} = V_{D2} = V_{D3} = V_{D4} = V_{D0} = \frac{V_{in}}{1-D^*}$	$V_{D1} = V_{D2} = V_{D3} = V_{D4} = V_{D0} = \frac{V_{in}}{1-D}$
캐패시터 전압	$V_{c1} = \frac{D^*}{1-D^*} V_{in}$ $V_{c2} = V_{c3} = \frac{1}{1-D^*} V_{in}$	$V_{c1} = V_{c2} = V_{c3} = \frac{V_{in}}{1-D}$ $V_{c4} = \frac{2V_{in}}{1-D}$
스위치 최대 Drain-Source 전압	$V_{ds} = V_{in} + \frac{D^*}{1-D^*} V_{in}$	$V_{ds} = V_{in} + \frac{1}{1-D} V_{in}$

4.1 제안 3-Level 극성 반전 회로와 3배 전압 채배기의 플라이백 컨버터

제안된 극성반전 DC/DC 컨버터는 기존의 회로에 비해, 구성되는 소자의 내압이 줄어들므로 낮은 내압의 원자가 쌍 소자로 구성할 수 있다. 이를 살펴보기 위해 먼저 제안된 3-Level 극성 반전 DC/DC 컨버터와 3배 전압 채배기를 적용한 플라이백 컨버터의 소자 전압 스트레스를 비교한다. 그림 4.1(a)는 3배 전압 채배기를 사용한 플라이백 컨버터 회로도이다. 여기서, 트랜스포머의 권선비는 1로 가정한다. 기존 회로의 경우 제안된 회로와 비교하여(그림 4.1(b)) 다이오드 4개만큼 소자 수가 적다. 주목할 것은 제안된 회로의 경우 소자 수는 많아지지만, 내압이 낮은 쌍 소자들로서 회

로를 구성할 수 있어서 궁극적으로 전체 전원 장치의 원가는 감소할 수 있다는 점이다. 표 1은 CCM모드 동작의 경우 제안된 3-Level 회로와 기존 3배 전압 체 배기를 적용한 회로의 소자 전압 스트레스의 비교 결과이다. 표에서 살펴보면, 동일한 입출력 전압 조건하에서 제안된 회로의 시비율은 기존 회로의 경우에 비해 적게 되고, 이에 따라 캐파시터 C_4 전압을 제외한 모든 소자의 전압 스트레스가 감소한다.

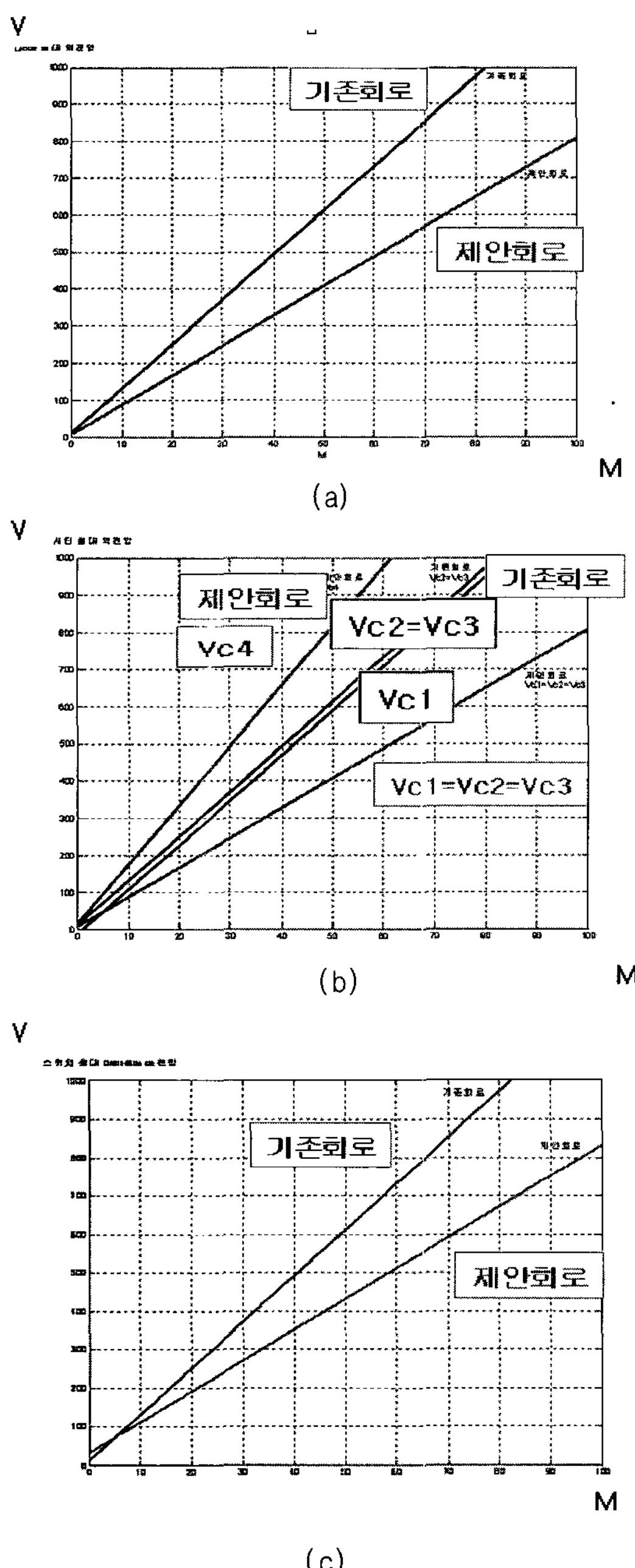


그림 4.2 (a) 다이오드 최대 역전압

(b) 커패시터 최대 역전압

(c) 스위치 최대 Drain-Source 전압

Fig. 4.2 (a) Maximum reverse vtg. of diode

(b) Maximum reverse vtg. of Capacitor

(c) Maximum reverse vtg. of Switch

표 1을 입출력 전압변환비 M 을 기준으로 기존회로 대비 제안회로의 소자 stress를 그림 4.2에 나타내었다. 기존회로보다 제안된 회로가 캐파시터 C_4 전압을 제외한 모든 소자의 전압 스트레스가 감소하는 것을 알 수 있다.

4.2 설계예시

다음 사양을 만족하는 극성 반전 회로의 설계 예를 제시하고, 기존의 전압 체배기가 적용된 플라이백 회로와 비교한다.

- 입력 전압 V_{in} : $24 V_{DC}$
- 출력 전압 V_o : $-1200 V_{DC}$
- 출력 전력 P_o : $15 W$
- 스위칭 주파수: 50kHz
- 인덕터 전류 동작 모드: 연속 전도 모드 (CCM)

1) 시비율: 필요 입출력 전압 변환비 (V_o/V_{in})는 50이다. 표 1에서 제안회로의 동작 시비율 D 는 0.9410이고 기존회로의 동작 시비율 D^* 는 0.9607가 된다.

2) 인덕터: 식 (8)과 식 (13)에서 제안회로에서 필요한 인덕턴스 L_m 은 다음과 같이 구할 수 있다.

$$L_m = \frac{D(1-D)V_{in}V_o}{4f_s P_o} \quad (18)$$

기존 회로의 필요 인덕턴스 L_m^* 도 식 (1)과 시비율이 다른 조건에서 동일한 방법으로 구할 수 있다. 본 예시에서 필요한 인덕턴스 값은 L_m 이 $531\mu\text{H}$ 이고, L_m^* 은 $369\mu\text{H}$ 이다.

3) 스위치: 스위치는 최대 전압과 최대 전류를 넘는 정격을 가진 소자를 선정한다. 표 1에서 제안회로의 스위치 최대 양단 전압 $V_{ds}(Q)$ 는 432V 이고, 기존회로의 스위치 최대 양단 전압 $V_{ds}^*(Q)$ 는 612V 이다.

4) 다이오드: 다이오드의 경우도 최대 역방향 전압보다 큰 정격을 가진 소자를 선정해야 한다. 표 1에서 제안 회로의 다이오드들의 최대 역방향 전압은 모두

408V의 값을 가지고, 기존 회로의 경우 모두 612V의 값을 가진다.

5) 캐패시터: 캐패시터의 경우도 최대 인가 전압보다 큰 정격의 소자를 선정한다. 표 1를 보면, 제안 회로를 구성하는 C_1 , C_2 , C_3 양단전압들은 모두 408V가 되고, C_4 의 양단전압은 816V가 된다. 기존 회로를

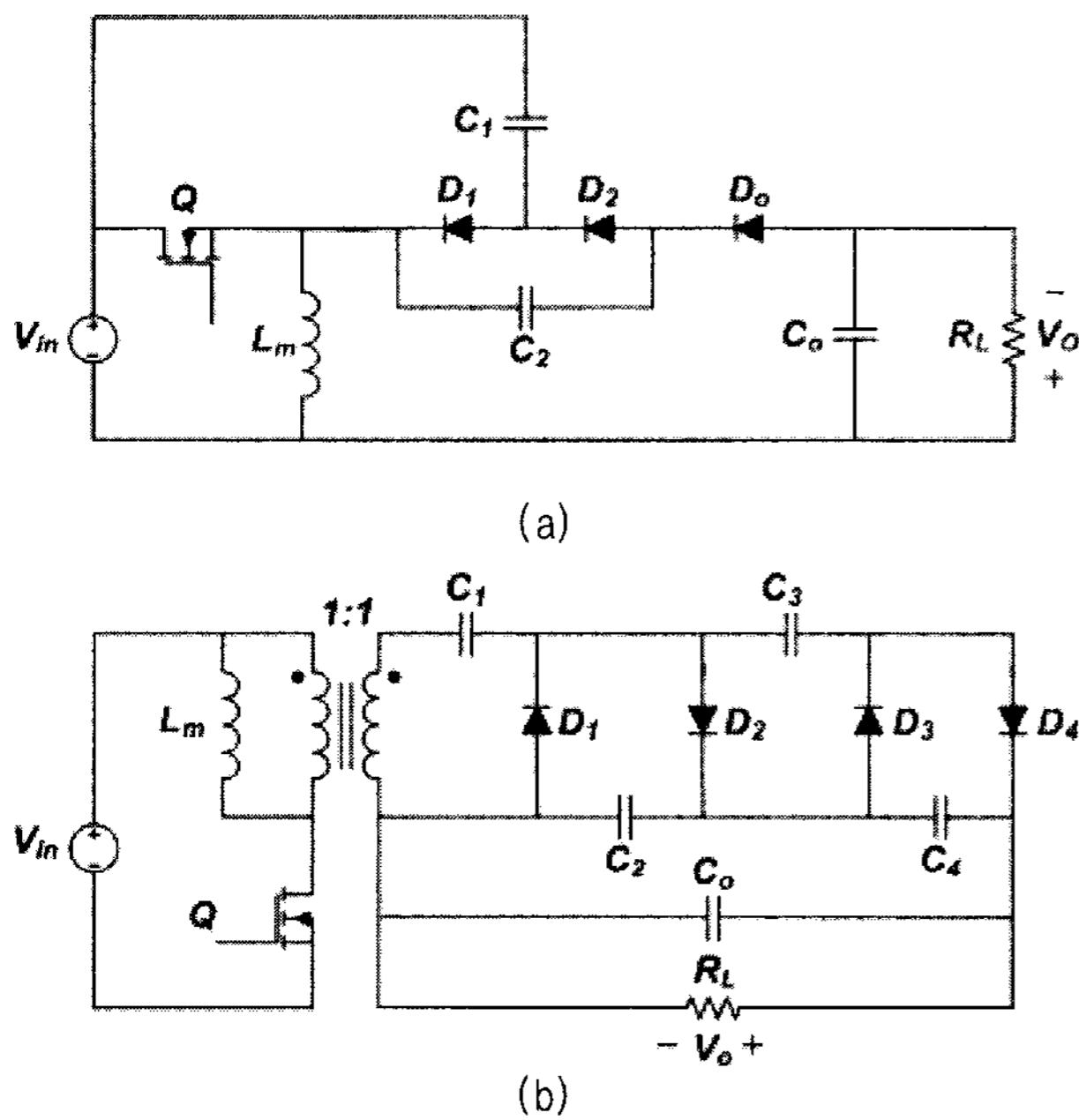


그림 4.3 (a) Two-Level 극성 반전 DC/DC 컨버터
 (b) 4배 전압 체배기를 사용한 플라이백 컨버터
 Fig. 4.3 (a) Polarity Inversion DC/DC converter of 2-Level
 (b) The flyback converter using quadruple voltage Multipliers

구성하는 C_1 , C_2 , C_3 의 양단 전압은 각각 588V, 612V, 612V가 된다. 이상의 설계 예시 사양에 따른 제안 회로와 기존 회로의 소자 전압/전류 스트레스를 비교하면, 제안 회로 경우 C_2 , C_3 에서 기존의 경우에 비해 50% 이상 감소함을 알 수 있다. 따라서, 제안 회로는 기존 회로의 경우에 비해 훨씬 적은 정격을 가지는 저가의 소자를 사용할 수 있게 되므로 고압 전원장치의 원가 저감을 이룰 수 있다.

여기서 그림 4.1(a)에 3배 전압 체배기를 사용한 플라이백 컨버터의 트랜스포머 턴 수비를 일반적인 $n:1$ 로 했을 경우 각 소자 전압 스트레스를 비교해 보면 다음과 같다. Duty가 0.5일 때, n 은 0.06이 되고, 이 때 다이오드들의 최대 역방향 전압은 모두 800V가 된다. 기존 회로를 구성하는 C_1 , C_2 , C_3 의 양단 전압은

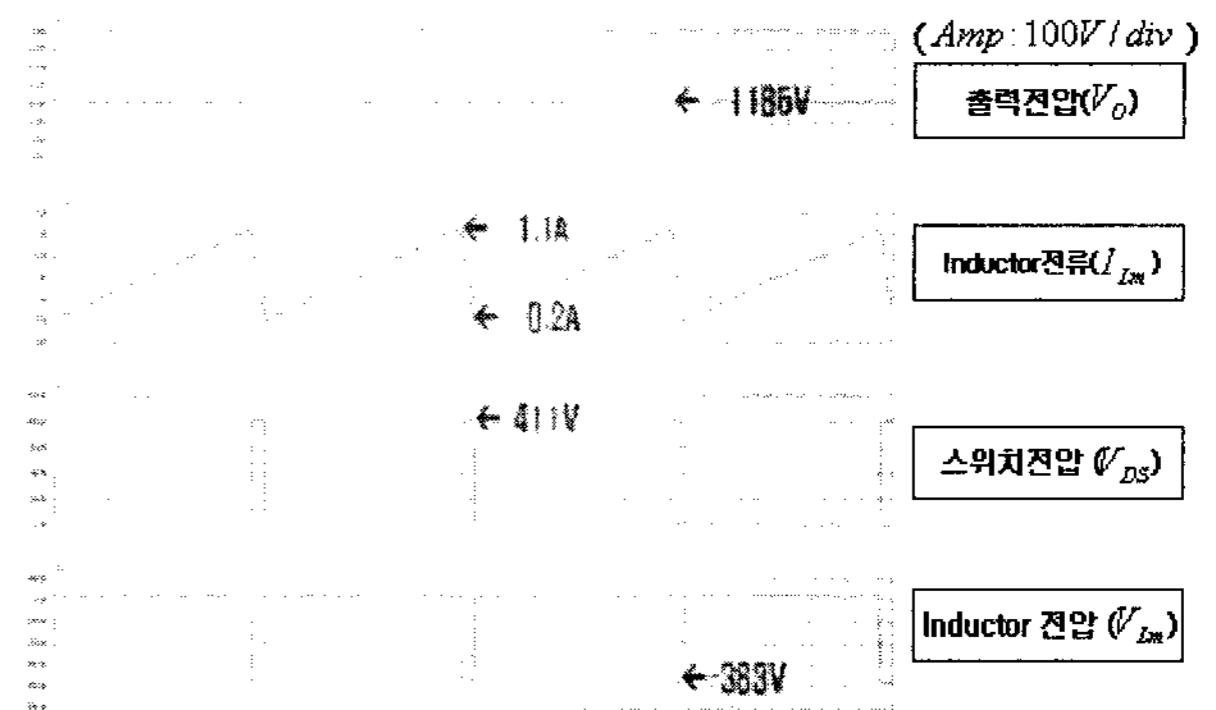


그림 5.1 제안회로의 Simulation 결과 파형

Fig. 5.1 Simulated Waveforms of the proposed circuit

각각 400V, 800V, 800V가 된다. 또한 스위치 최대 양단 전압 $V_{ds}(Q)$ 는 25.4V가 된다. 스위치 내압이 줄어들어 장점은 있으나 고압을 내기 위한 트랜스포머의 2차측의 많은 권선 수 때문에 트랜스포머의 부피가 증가하고, 기생 커패시턴스가 매우 크고, 과도상태에서 컨버터 전류 및 전압의 기생공진이 발생한다. 이러한 기생공진은 스위칭 디바이스에 전류 스트레스를 증가시키고 컨버터의 스위칭 수파수를 제한하는 요소로 작용한다.

4.3 제안 Two level 극성 반전 회로와 4배 전압 체배기의 플라이백 컨버터

제안된 극성반전 DC/DC 컨버터는 기존의 전압 체배기를 적용한 플라이백 컨버터에 비해, 동일한 정격의 소자를 사용하면서, 소자의 개수를 줄임으로써 전체 전원장치의 원가를 감소시킬 수 있는 효과도 있다. 앞서 제시된 설계예시를 가지고, 제안된 Two-Level 극성반전 회로와 기존의 4배 전압 체배기를 적용한 회로를 비교한다. 제안된 Two-Level 극성반전 회로는 그림4.3(a)이고, 기존의 4배 전압 체배기를 적용한 회로는 그림4.3(b)이다.

1) 시비 율: 제안회로의 동작 시비율 D 는 0.9608이고 기존회로의 동작 시비율 D^* 는 0.9600가 된다.

2) 인덕터: 식(4-1)에서 제안회로에서 필요한 인덕턴스 L_m 은 362uH이고, 기존 회로의 L_m^* 은 368uH이다.

3) 스위치: 제안회로의 스위치 최대 양단 전압 $V_{ds}(Q)$ 와 최대 전류 $I_{ds,pk}$ 는 각각 636V와 1.275A이고, 기존회로의 스위치 최대 양단 전압 $V_{ds^*}(Q)$ 와 최대 전류 $I_{ds,pk}$ 는 각각 612V와 1.29A이다. 두 회로의 경우 모두 회로 동작의 신뢰성을 고려하여 정격 최

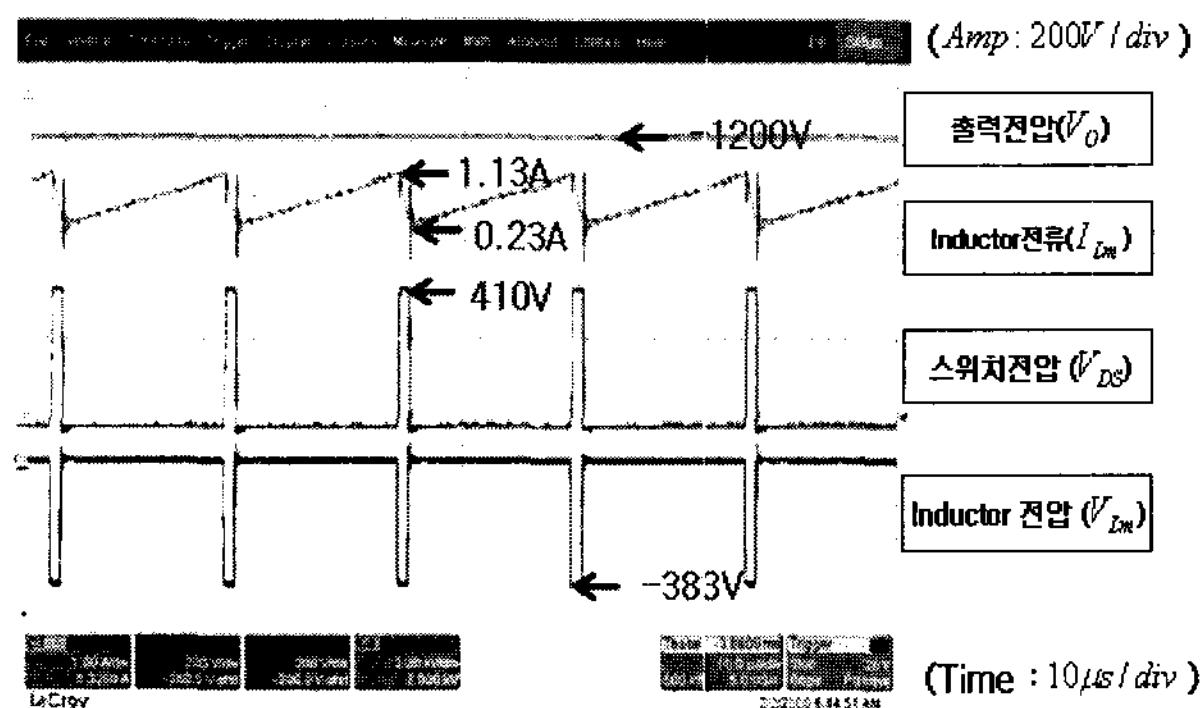


그림 6.1 제안회로의 실험 결과 파형

Fig. 6.1 Measured waveforms of the proposed circuit

대 전압 700V, 정격 최대 전류 1.5A 이상의 소자를 채용 해야 한다. 즉, 동일한 스위치 소자를 선정할 수 있다.

4) 다이오드: 제안 회로의 다이오드들의 최대 역방향 전압은 모두 612V의 값을 가지고, 기존 회로의 경우 모두 612V의 값을 가진다. 두 회로의 경우 모두 회로 동작의 신뢰성을 고려하여 정격 최대 전압 700V 이상의 소자를 채용해야 한다. 즉, 동일한 다이오드 소자를 선정할 수 있다.

5) 캐패시터: 제안 회로의 경우 C_1, C_2 양단전압들은 모두 612V가 된다. 기존 회로를 구성하는 C_1, C_2, C_3, C_4 의 양단 전압은 각각 588V, 612V, 612V, 612V가 된다. 기존 회로의 C_1 을 제외하고 모두 정격 700V 이상의 소자를 채용해야 한다. 즉, 동일한 캐패시터 소자를 선정할 수 있다.

이상의 설계 예시 사양에 따른 제안 회로와 기존 회로의 소자 전압/전류 스트레스를 비교하면 제안 회로의 경우 와 기존 회로의 경우가 비슷하여 동일한 정격의 소자들을 채용할 수 있다. 본 예시의 경우 제안된 회로는 기존의 회로에 비해 다이오드 하나와 캐패시터 하나만큼 소자 수가 저감 된다. 따라서, 고압 전원 장치의 원가를 저감할 수 있게 된다.

5. 제안회로의 Simulation

그림 5.1은 제안된 3-Level극성 반전 DC/DC 컨버터 회로의 PSIM Simulation 결과이고, Simulation Parameter는 다음과 같다.

- 입력전압 = 24V
- 출력전압 = -1185V

- L_m value = 531uH
- C_O = 33nF
- D = 0.941 (CCM Mode)
- Frequency = 50KHz
- R_O = 96k Ω
- Time Step = 100nsec
- Total Time = 0.2sec

-1200V 출력전압을 기준으로 3-Level극성 반전 DC/DC 컨버터를 설계하였을 경우, Simulation 결과는 -1185V가 나왔다. 오차는 약 15V(약1.2%)로 Simulation 오차범위(5%)내에 있는 결과이다. 인덕터의 전류파형은 CCM Mode 동작하고 있으며, 최대전류는 1.1A이고 최소전류는 0.2A이다. 스위치의 Drain-source양단전압은 410V로 나왔다. 인덕터 양단전압은 스위치 ON time시 24V, OFF time시 -383V가 나왔다. 모든 Simulation 결과 값이 계산 된 값과 오차 범위(5%)내에서 일치한다.

6. 제안회로의 실험결과

그림6.1은 제안된 3-Level극성 반전 DC/DC 컨버터 회로의 하드웨어 실험 결과이다. 실험 Parameter는 Simulation Parameter와 같다. 실험결과, 출력전압은 -1.2kV가 나왔다. 이론값과 정확히 일치하는 결과이다. 인덕터의 전류파형은 CCM Mode 동작하고 있으며, 최대전류는 1.13A이고 최소전류는 0.23A로 Simulation과 오차범위 내에서 일치하는 결과를 보였다. 스위치의 Drain-source양단전압은 410V로 나왔다. 인덕터 양단전압은 스위치 ON time시 24V, OFF time시 -383V가 나왔다. 모든 실험결과 값이 Simulation 결과 값과 계산 된 값과 오차범위(5%)내에서 일치한다.

7. 결 론

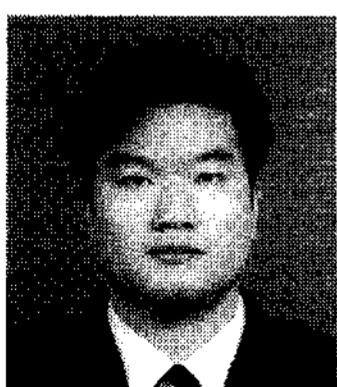
고전압 설계 시 소자 stress가 감소되고, 입출력 전압비가 크고 안정적인 topology의 특성을 갖는 새로운 높은 전압 변환비의 극성 반전형 DC/DC 전력 변환 회로를 제안하여, 소형화와 저가격화 할 수 있는 방법을 중점적으로 연구하였다. 본 논문에서 제안한 극성 반전형 DC/DC 전력 변환 회로의 N-Level의 CCM/DCM 회로 구성 및 동작원리를 각 모드별로 설명하였으며, 입출력 변환 비를 수학적으로 분석하였다. 또한 설계예시를 통하여 동일 입출력사양으로 기존의

전압 체배기를 적용한 플라이백 컨버터와의 설계 비교를 통해 제안회로의 장점을 설명하였으며, 제안된 회로의 이론적인 결과를 검증하기 위해 시뮬레이션과 실험을 수행하였다. 그 결과 제안회로의 동작모드의 수치적인 해석과 일치함을 볼 수 있었으며, 제안된 모델의 타당성을 입증하였다.

참 고 문 헌

- [1] Billings KH: Switchmode power supply handbook, 2nd ed., McGraw-Hill, chapter3, pp. 64-107, 1999.
- [2] Qun Zhao and Fred C.Lee, "High Performance Coupled-Inductor DC-DC Converters", in *IEEE-APEC Proc.*, 2003.
- [3] L. Hurber and M. M. Jovanovic, "A design approach for server power supplies for networking", in *proc. IEEE-APEC*.
- [4] N.Kasa & T.Lida "A Transformer-Less Single Phase Inverter using a Buck-Boost type Chopper Circuit for Photovoltaic Power System", *Proceedings of ICPE'98*, Seoul, pp.978-981, 1998.
- [5] Muhammad H. Rashid "Power Electronics Circuits, Devices, and Applications", Prentice-Hall Chapter 3, pp 37-88, 1995.
- [6] J.D. Cockcroft, E.T.S. Walton, Further development on the method of obtaining high velocity positive ions, *Proc. Royal Society London*, UK, 1932.

저 자 소 개



정동열(鄭同烈)

1974년 1월 21일생. 1998년 수원대 전자공학과 졸업. 2000년 국민대 대학원 전자공학과 졸업(석사). 2000년~현재 동 대학원 전자공학과 박사과정. 2003년~2005년 현대오토넷(주) 연구소 주임연구원, 2005년~현재 삼성전자(주) 디지털 프린팅 사업부 책임연구원.



정용준(鄭鏞准)

1982년 2월 5일생. 2007년 국민대 공과대학 전자정보통신공학부 졸업. 2007년~현재 동 대학원 전자공학과 석사과정.



홍성수(洪成洙)

1961년 1월 25일생. 1984년 서울대 전기공학과 졸업. 1986년 한국과학기술원 전기 및 전자공학과 졸업(석사). 1992년 동대학원 전기 및 전자공학과 졸업(공박). 1984년~1999년 현대전자(주) 정보통신연구소 책임연구원. 1999년~현재 국민대 전자정보통신공학부 부교수.



한상규(韓翔圭)

1973년 12월 13일생. 1999년 2월 부산대 전기공학과 졸업. 2001년 2월 한국과학기술원 전자전산학과 졸업(석사). 2005년 2월 동대학원 전자전산학과 졸업(공박). 2005년 3월~2005년 8월 한국과학기술원 정보전자연구소 박사후연구원. 2005년 9월~현재 국민대 전자정보통신공학부 조교수.



사공석진(司空石鎭)

1951년 3월 23일생. 1976년 고려대 전자공학과 졸업. 1981년 동대학원 전자공학과 졸업(석사). 1985년 동대학원 전자공학과 졸업(공박). 1977년~1981년 모토로라코리아 응용전자연구실 선임연구원. 1990년~1991년 스위스 ETH초빙교수. 1989년~1992년 스위스 HTS 객원연구원. 1982년~현재 국민대 전자정보통신공학부 교수.



노정욱(盧政煜)

1971년 9월 10일생. 1993년 한국과학기술원 전기 및 전자공학과 졸업. 1995년 동대학원 전기 및 전자공학과 졸업(석사). 2000년 동대학원 전기 및 전자공학과 졸업(공박). 2000년~2004년 삼성전자(주) 영상 디스플레이 사업부 책임연구원. 2004년~현재 국민대 전자정보통신공학부 부교수.