

# CMOS 마이크로 습도센서 시스템의 설계 및 제작

## Design and Fabrication of CMOS Micro Humidity Sensor System

이 지 공\* · 이 상 훈\* · 이 성 필\*

Ji Gong Lee , Sang Hoon Lee and Sung Pil Lee

### 요약

본 연구에서는 0.8  $\mu\text{m}$  아날로그 혼합 CMOS 기술에 의한 2단 연산 증폭기를 가진 집적화된 습도센서 시스템을 설계 및 제작하였다. 시스템은 28핀 및 2mm×4mm의 크기를 가졌으며, 휘스톤 브릿지형 습도센서, 저항형 습도센서, 온도센서 및 신호의 증폭과 처리를 위한 연산증폭기를 단일 칩에 구성하였다. 기존의 CMOS 공정에 트랜치형의 감지 영역을 형성하기 위해 폴리-질화 에치 스탱 공정을 시도하였다. 이러한 수정된 기술은 CMOS 소자의 특성에 영향을 주지 않았고, 표준 공정으로 동일 칩 상에 센서와 시스템을 제작할 수 있도록 하였다. 연산증폭기는 이득 폭이 5.46 MHz 이상, 슬루율이 10 V/ $\mu\text{s}$  이상으로 센서를 동작하기에 안정된 특성을 보였다. N형 습도감지 전계효과 트랜지스터의 드레인 전류는 상대습도가 10%에서 70%로 변화할 때 0.54mA에서 0.68 mA로 변화하였다.

### Abstract

Integrated humidity sensor system with two stages operational amplifier has been designed and fabricated by 0.8  $\mu\text{m}$  analog mixed CMOS technology. The system (28 pin and 2mm×4mm) consisted of Wheatstone-bridge type humidity sensor, resistive type humidity sensor, temperature sensors and operational amplifier for signal amplification and process in one chip. The poly-nitride etch stop process has been tried to form the sensing area as well as trench in a standard CMOS process. This modified technique did not affect the CMOS devices in their essential characteristics and gave an allowance to fabricate the system on same chip by standard process. The operational amplifier showed the stable operation so that unity gain bandwidth was more than 5.46 MHz and slew rate was more than 10 V/ $\mu\text{s}$ , respectively. The drain current of n-channel humidity sensitive field effect transistor (HUSFET) increased from 0.54 mA to 0.68 mA as the relative humidity increased from 10 to 70 %RH.

**Keywords** : Humidity sensor, CMOS, Operational amplifier, Poly silicon/nitride etch stop

## I. 서론

오늘날 센서기술의 발전은 반도체 공정기술 및 MEMS 기술과 밀접한 관계를 지니고 있다. 이는 현 시대가 요구하는 소형화, 경량화를 실현하기 위해서는 당연한 이치이다. 특히, 차세대 로봇산업, 유비쿼터스 시스템, 바이오 전자산업 등에서 필요로 하는 지능형 마이크로센서 시스템은 센서와 시스템 뿐만 아니라 다양한 액츄에이터를 동일한 칩 상에 집적하는 SoC (System on Chip) 기술을 필요로 한다[1].

다른 화학센서와 마찬가지로 습도센서도 여러 가지 응용영역에서 작고, 저렴하며 신뢰성이 있는 센서가 요구되고 있지

만 표준 IC 기술에 의한 마이크로 습도센서는 센서시장에서 아직 상용화되고 있지 않다. 화학반응을 근간으로 하는 화학센서는 그 재료적인 특징상 반도체 시스템과 접목할 때 제조공정에 많은 제약을 가져올 뿐만 아니라, 센서와 시스템 전체가 열악한 화학반응환경에 노출되어야 하므로, 단일 칩화가 어려웠다[1]. 습도센서의 경우 유전성 폴리머나 폴리이미드를 감습재료로 사용하고 표준 공정에 후 공정을 부가한 집적형 마이크로센서가 보고되고 있으나, 고습에 장기 노출하였을 때 내습성이 약해 들뜸(swelling) 현상이 나타나고, 높은 온도에서 사용이 불가능한 점 등 단점이 있다. 뿐만 아니라 기존의 센서시스템은 센서부와 구동회로가 독립된 개별 시스템으로 구성되어 부피가 커지고, 신호의 경로가 길어지며, 각 소자의 패키지로 인해 불필요한 공정이 추가되었다. 이를 보완하기 위해 현재까지 최선의 방법은 각각의 소자를 동일한 기판 위에 다시

\* 경남대학교 전자공학과

논문 번호 : 2008-1-7

접수 일자 : 2008. 2. 25

심사 완료 : 2008. 4. 7

\* 본 연구는 산업자원부와 한국산업기술재단의 지역혁신인력양성사업으로 수행된 연구결과임

결합하여 하나의 패키지 안에 넣은 하이브리드 형태로 구성하는 것이었다[2, 3]. 그러나 하이브리드 형태 역시 중복되는 제조공정을 효율적으로 줄여주지 못하며, 여전히 큰 부피를 지니고 있어 소형화에 문제점을 지니고 있다. 또한 화학센서나 바이오센서를 FET형으로 제작하기 위해서는 게이트 영역의 감지물질이 측정 대상인 화학 종(chemical species)이나 바이오 물질과 만날 수 있어야하기 때문에 기존의 공정으로는 불가능하여 새로운 공정 개발이 필요하다[4-7].

본 논문에서는 표준 CMOS 공정을 기반으로 습도감지 전계 효과 트랜지스터(Humidity sensitive Field effect transistor, HUSFET)와 연산증폭기를 동일 칩 상에 설계/제작하고, 그 특성을 측정하였다. 이를 위해 감지영역을 형성하는 새로운 식각 정지 공정을 개발하였다. 또한 고온에서 견디는 질화탄소막을 습도센서 물질로 사용하여 기존 반도체 공정과 접목하여 단일 칩 상에 센서의 제조가 가능하도록 하였다.

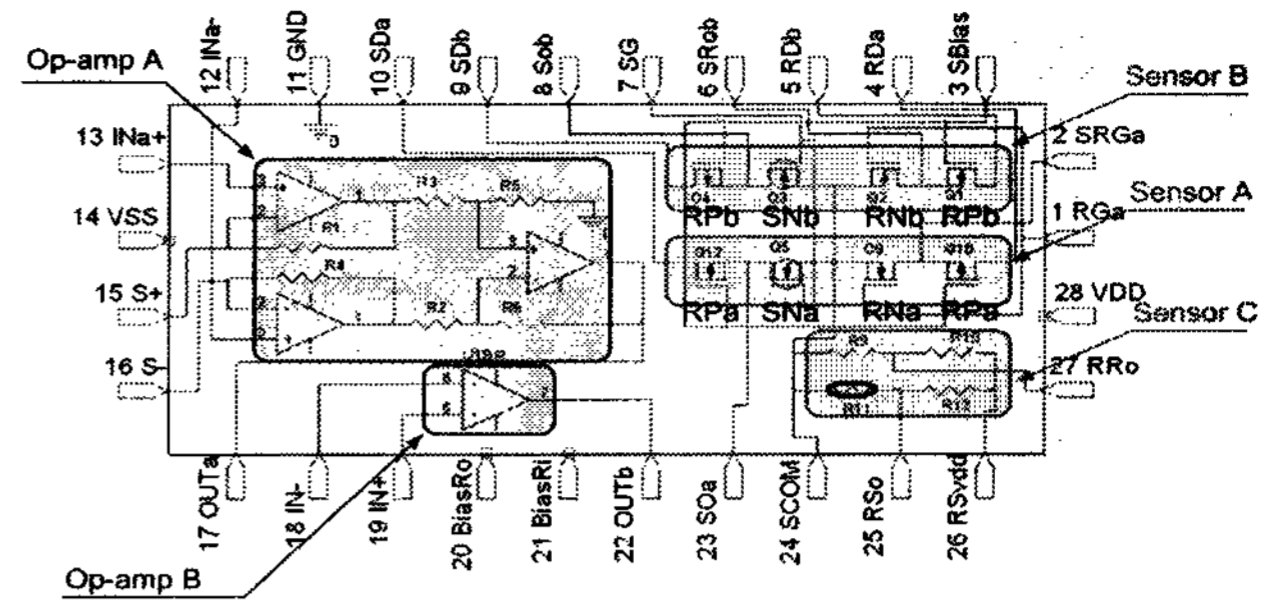


그림 1. 마이크로 습도센서 시스템 칩 개략도  
Fig. 1. Block diagram of chip for micro humidity sensor system.

센서와 증폭 회로를 단일 칩 상에 설계하기 위해서는 센서의 특성에 맞는 증폭기 회로의 설계가 필요하다. 즉 본 연구에서

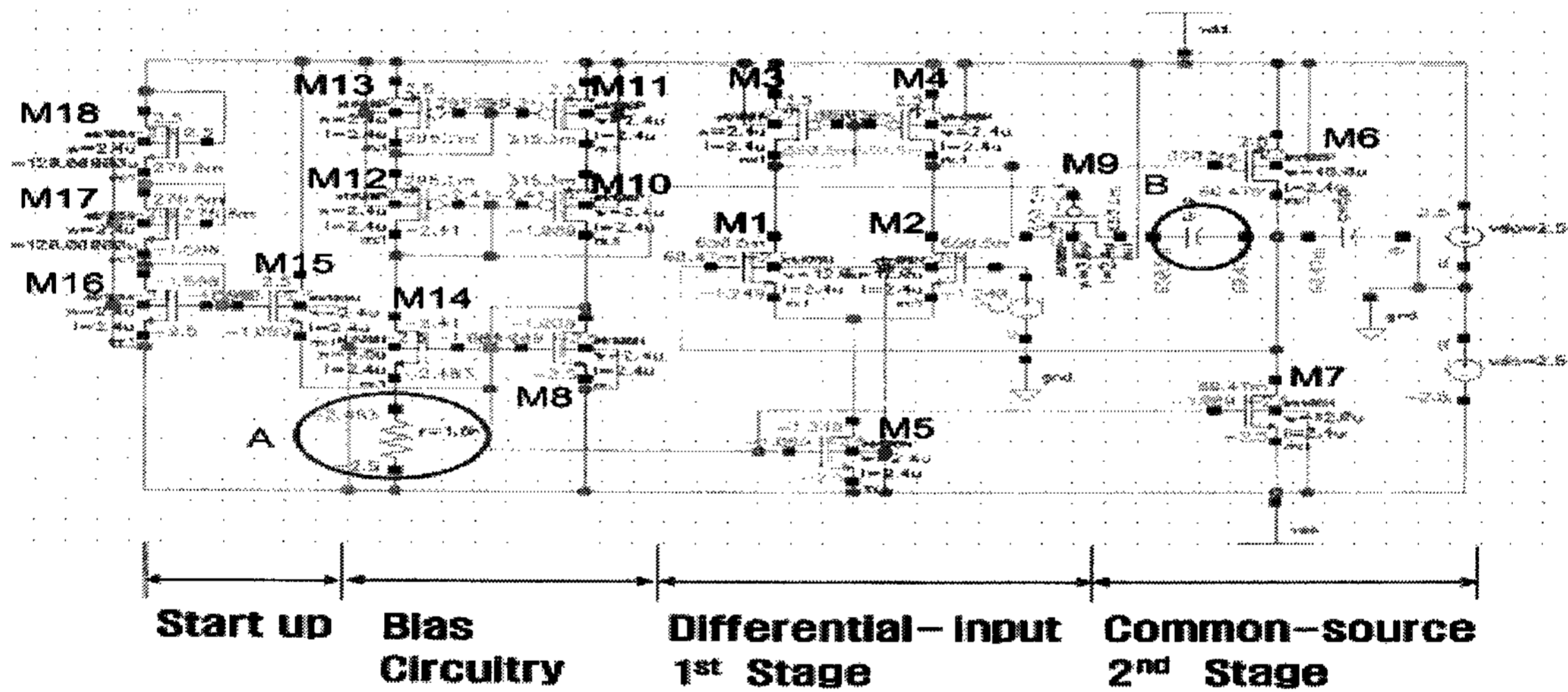


그림 2. 마이크로 습도센서 시스템을 위해 설계된 연산증폭기 회로도  
Fig. 2. Circuit of operational amplifier for micro humidity sensor system.

## II. 설계 및 공정

### 2.1 연산증폭기의 설계

그림 1은 설계된 마이크로 습도센서 칩의 구성 및 내부 결선도이다. 전체 칩은 28 핀으로 구성되어 있으며, 크기는  $2 \times 4 \text{ mm}^2$  이다. 칩 내부에는 세 개의 연산증폭기로 구성된 고 입력 임피던스 증폭부, 단일 연산증폭기 및 3개의 휘스톤브리지형 습도센서로 이루어져 있다. 또한 휘스톤브리지 습도센서는 종횡비가 다른 두 종류의 FET형과 한 종류의 저항형으로 구성된다.

게이트 감지 물질로 질화탄소막을 사용할 경우 문턱전압 값이 매우 높게 나타나므로 기존의 증폭기로는 구현이 불가능하다. 그림 2는 본 연구에서 사용된 센서 전용 연산증폭기의 회로도이다. 2단 연산증폭기는 차동입력모드와 공통소스증폭회로가 결합된 회로로 구성되어 있다. 모든 증폭단에 안정적인 정 전류원을 공급하기 위해 전류미러형 바이어스회로와 초기 동작 전류를 공급하기 위한 스타트업 회로가 포함되어 있다. NMOSFET  $M_1$ 과  $M_2$ 는 차동 입력부이고, PMOSFET  $M_3$ 과  $M_4$ 는 액티브 로드이다. 차동 입력단은 전류 미러에 의해 바이어스되고, 이때의 기준 전류값은 내부저항에 의해 결정되는데 이 저항으로 결정하기 어려운 경우는 외부 저항단자와 연결하여 조정하도록 하였다(그림 2의 원 A). 출력단인 둘째 단은 소스 공통으로 연결된  $M_7$ 로 구성되며,  $M_8$ 은  $M_7$ 에 바이어스 전류를 제공하기도 하고 액티브 로드로 작용하기도 한다.

내부 보상 캐패시터(그림 2의 원 B)와  $M_9$ 는 안정화를 위한 소자이다. 바이어스 회로는 바이어스 저항의 컨덕턴스와 일치하는 안정된 전달 컨덕턴스에 의해 결정된다. 그러므로 트랜지스터의 전장 컨덕턴스는 전원공급기 전압, 공정 파라미터 및 온도변화에 무관하다.

그림 3은 연산증폭기 부분의 설계 레이아웃이다. 연산증폭기의 각 블럭은 우물(well)과 금속 가드 링으로 분리하였다. 그림 3에서 입력 라인은 두 금속 층 쌍을 꼬아 놓은 형태로 되어 있는데, 이는 자기장이나 캐패시턴스의 균질한 분포에 의해 자기적 및 정전용량적 간섭을 줄이기 위한 것이다. 5 pF의 피드백 캐패시터는 최대한 증폭기 블럭에 가깝게 배치하였고, 차동 증폭단의 입력 FET는 셀 양쪽 사이의 연산 정합을 고려하여 배치하였다.

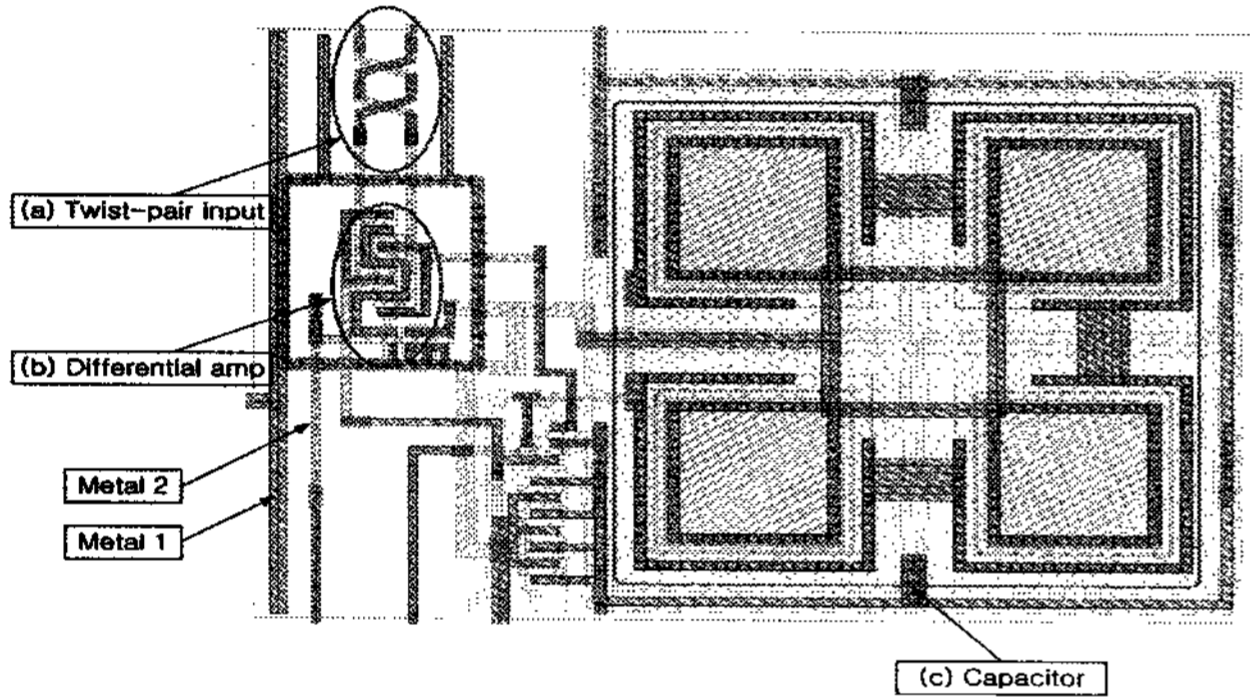


그림 3. 연산증폭기의 레이아웃  
Fig. 3. Layout of operational amplifier.

그림 4는 설계된 연산증폭기의 AC 응답특성 시뮬레이션 결과와 제조된 증폭기의 출력특성을 보여준다. 그림 4에서 이득은 약 84 dB 정도이며, 단일이득 대역폭은 5.46 MHz, 그리고 주파수 여유와 이득여유가 각각 55°와 27 dB로 HUSFET의 출력단에서 나온 전압을 증폭하기에 충분하다. 특히 ±2.5 V의 낮은 동작전압으로 설계되어 이동식 센서 모듈로 응용할 수 있으며 디지털 시스템과도 쉽게 접목이 가능하다는 것을 알았다.

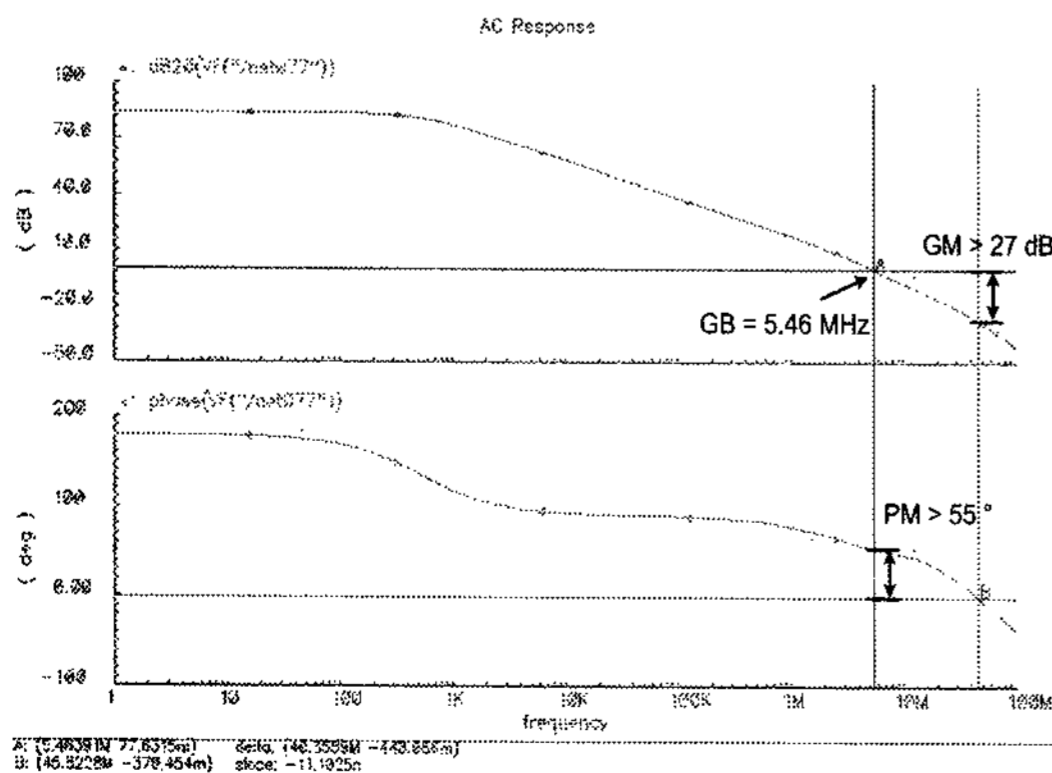


그림 4. 연산증폭기의 AC 응답특성  
Fig. 4. AC response of operational amplifier.

## 2.2 마이크로 습도센서의 설계 및 제작

FET형 화학 센서는 화학 종(chemical species)이 게이트에 흡착하는 면적에 비례하여 감도가 달라지기 때문에 일자형 막대 모양으로 설계하는 일반적인 FET와 다른 형태의 게이트를 설계하였다. 본 연구에서는 게이트의 면적을 증가시키기 위해 A형 센서(그림 5(a))와 B형 센서(그림 5(b))로 설계하였다. 그림 1에서 보여준 센서 블럭 A와 B는 각각 4개의 A형과 B형 센서들로 구성되어 있으며, 센서의 종횡비(aspect ratio, W/L)는 각각  $3 \times 60/8$ 과  $5 \times 60/8$ 이다. A형 센서는 게이트가 멀티핑거(multi-finger) 형태인 병렬 조합으로 구성되어 있다. 반면, B형 센서는 드레인과 소스가 인터디짓(interdigit) 형태로 되어 있는 형태로, 그 위를 게이트 전극이 덮고 있다. A형은 게이트 영역의 습도 감지막과 금 전극이 각각 분리가 되어 있는 형태이다. 즉 감습물질인 질화탄소막은 소스와 드레인의 액티브 영역에만 형성되어 있고, 금 전극은 3개의 액티브 영역과 이를 연결하는 공통 영역으로 형성되어 있다. 반면 B형은 하나의 패턴으로 질화탄소막과 금 전극을 모든 게이트에 덮고 있는 형태이다. 이렇게 드레인/소스 영역과 게이트 영역이 만나는 면적이 넓으면 감도가 향상될 것이라는 예상을 할 수 있지만 기생 캐패시턴스가 증가할 수 있는 단점도 있다. 그러나 본 실험에서는 측정 주파수가 1 MHz 이하의 저주파 및 DC 영역에서 동작을 하였기 때문에 기생 캐패시턴스의 영향도 무시할 수 있었다. 그림 6(a)는 제조된 센서의 전체사진이며, 그림 6(b)와 (c)는 그림 5의 A 영역을 찍은 사진이다. 그림 6(b)의 흰색 원 부분에서 보는 바와 같이 질화탄소막은 보이지 않고 금 전극만 폴리 게이트 부분을 중첩하여 덮고 있는 것을 알 수 있다. 이에 비해 그림 6(c)의 흰색 원 부분에서는 질화탄소막과 금 전극이 트랜치의 바깥 경계를 넘어 게이트 영역 전체를 같이 덮고 있는 것을 볼 수 있다. 그림 6(b)에 비해 그림 6(c)의 겹쳐진 부분 색깔이 짙은 것은 금 전극 아래에 질화탄소막이 있기 때문이다.

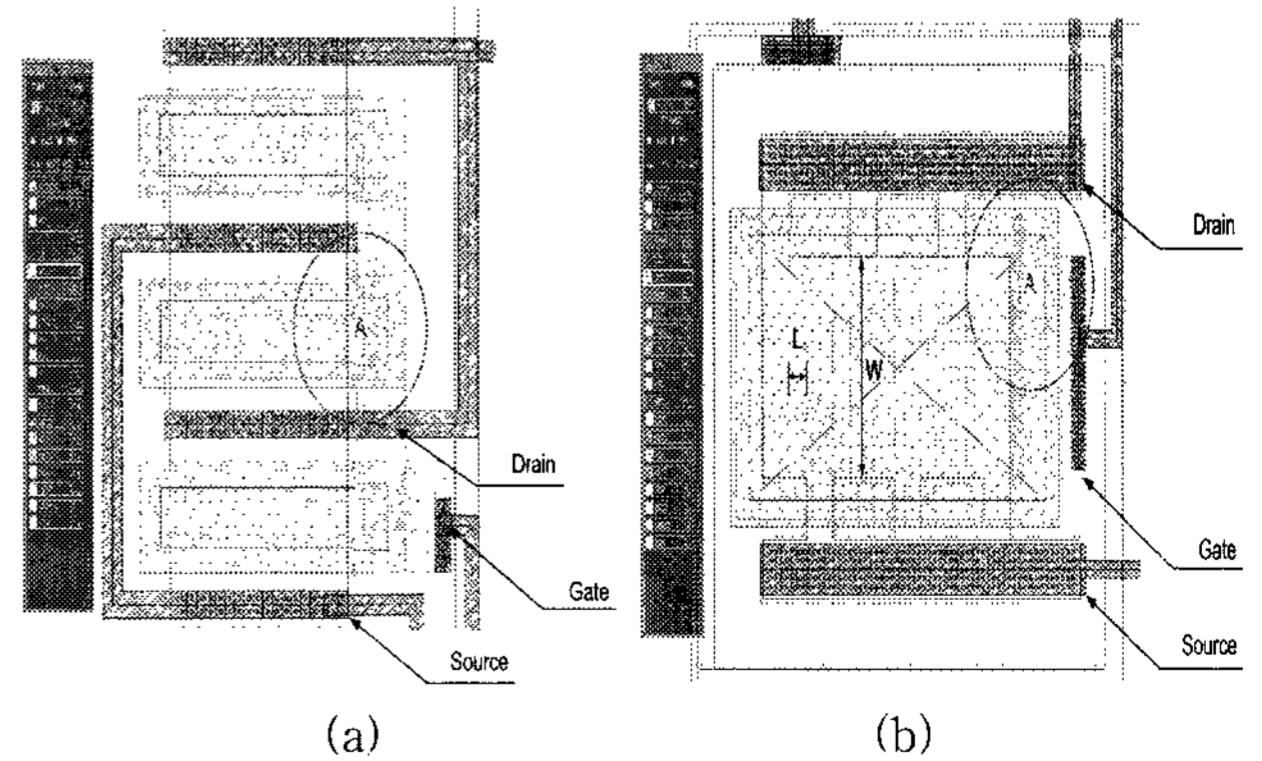


그림 5. FET형 습도 센서의 구조; (a) A형, (b) B형  
Fig. 5. Structure of FET humidity sensors; (a) A type, (b) B type.

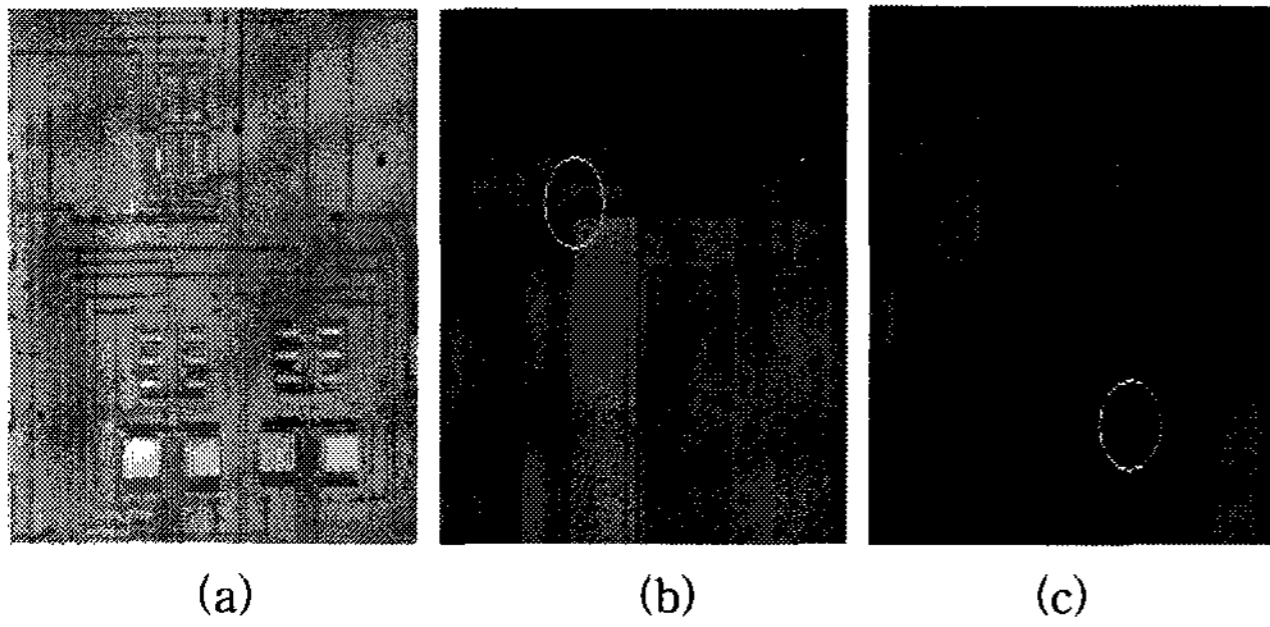


그림 6. HUSFET의 사진; (a) 전체 센서, (b) Au과 CN<sub>x</sub> 막이 겹쳐진 영역, (c) Au과 CN<sub>x</sub> 막이 전체를 덮고 있는 영역

Fig. 6. Photographs of HUSFET; (a) sensor part, (b) overlapped region of Au/CN<sub>x</sub> and (c) over covered region of Au/CN<sub>x</sub>.

휘스톤 브릿지 저항형 습도센서도 0.8  $\mu\text{m}$  아날로그 혼합 CMOS 표준공정을 활용하였다. 설계를 위해서는 Cadence 레이아웃 툴, 연산증폭기 시뮬레이션을 위해서는 Hspice(level 49), 그리고 HUSFET 시뮬레이션을 위해서는 MATLAB를 활용하였다. CMOS 공정은 트윈 웰(twin well), 두 개의 폴리층, 그리고 두 개의 금속층을 제공한다. 여기서 첫 번째 폴리층은 내부 저항과 게이트 영역을 정의하기 위해 사용되며, 두 개의 폴리층을 활용하여 산화막을 절연체로 한 캐패시터를 설계하였다. 또한 첫 번째 폴리층은 인터디짓 형태의 전극으로 구성된 저항형 습도센서를 설계하는 데에도 활용하였다. 설계된 휘스톤 브릿지 저항형 습도센서의 구조는 그림 7과 같다. 이때 전극의 폭, 길이 및 간격은 각각 2.80  $\mu\text{m}$ , 58.8  $\mu\text{m}$  및 1.20  $\mu\text{m}$ 이다.

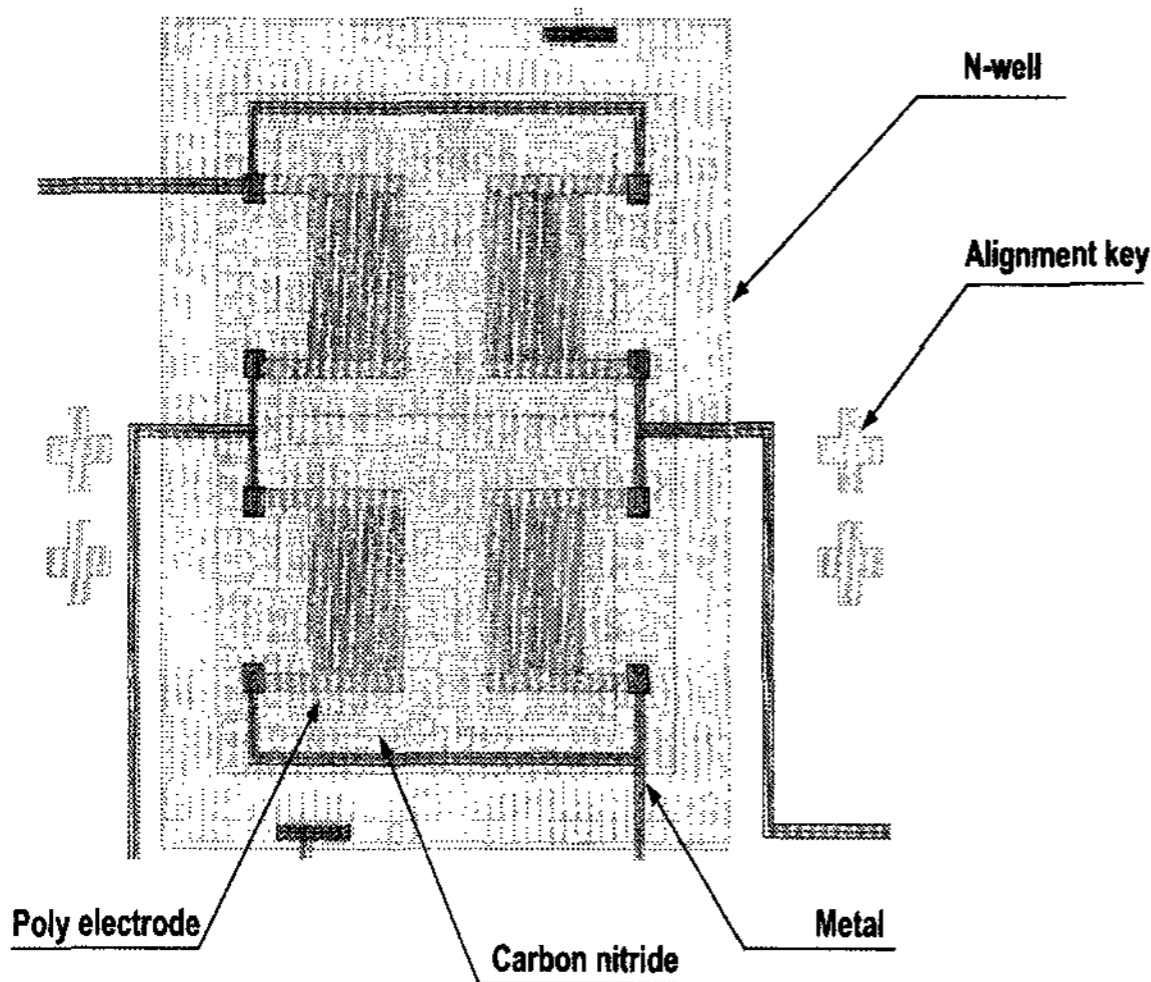


그림 7. 휘스톤브리지 저항형 습도센서

Fig. 7. Wheatstone-bridge type resistive humidity sensor.

마이크로 습도센서는 온도, 타 가스 및 회로 상의 잡음 등 원하지 않은 요소를 제거하기 위해 센서 트랜지스터(HUSFET)와 기준 트랜지스터(ref-FET)를 동일한 크기로 설계하고, 게이트 전극 형성 전까지는 동일한 공정으로 제작하여 두 트랜지스터의 신호차를 차동증폭기로 증폭할 수 있도록 하였다. 즉 센서 트랜지스터의 게이트 전극은 물 분자가 통과할 수 있는 다공성 금을 증착하고, 기준 트랜지스터의 게이트 감지부에는 소수성 폴리머 보호막을 덮어 물 분자의 침투하지 못하도록 하였다. HUSFET의 게이트 구조는 그림 8의 단면도와 측면도를 보여 주는 바와 같이 Au/CN<sub>x</sub>/Si<sub>3</sub>N<sub>4</sub>/SiO<sub>2</sub>/Si 구조로 되어 있다. 게이트 전극인 다공성 금은 전술한 바와 같이 게이트 영역의 채널을 형성하는 기능과 물 분자의 흡탈착을 위한 층이고, 질화탄소막은 감습 물질로 반응성 가스인 질소분위기에서 마그네트론 스퍼터링 방식에 의해 그래파이트 타겟으로 증착하였으며, 질화탄소막의 증착 조건은 기 보고된 실험 조건으로 수행하였다[8].

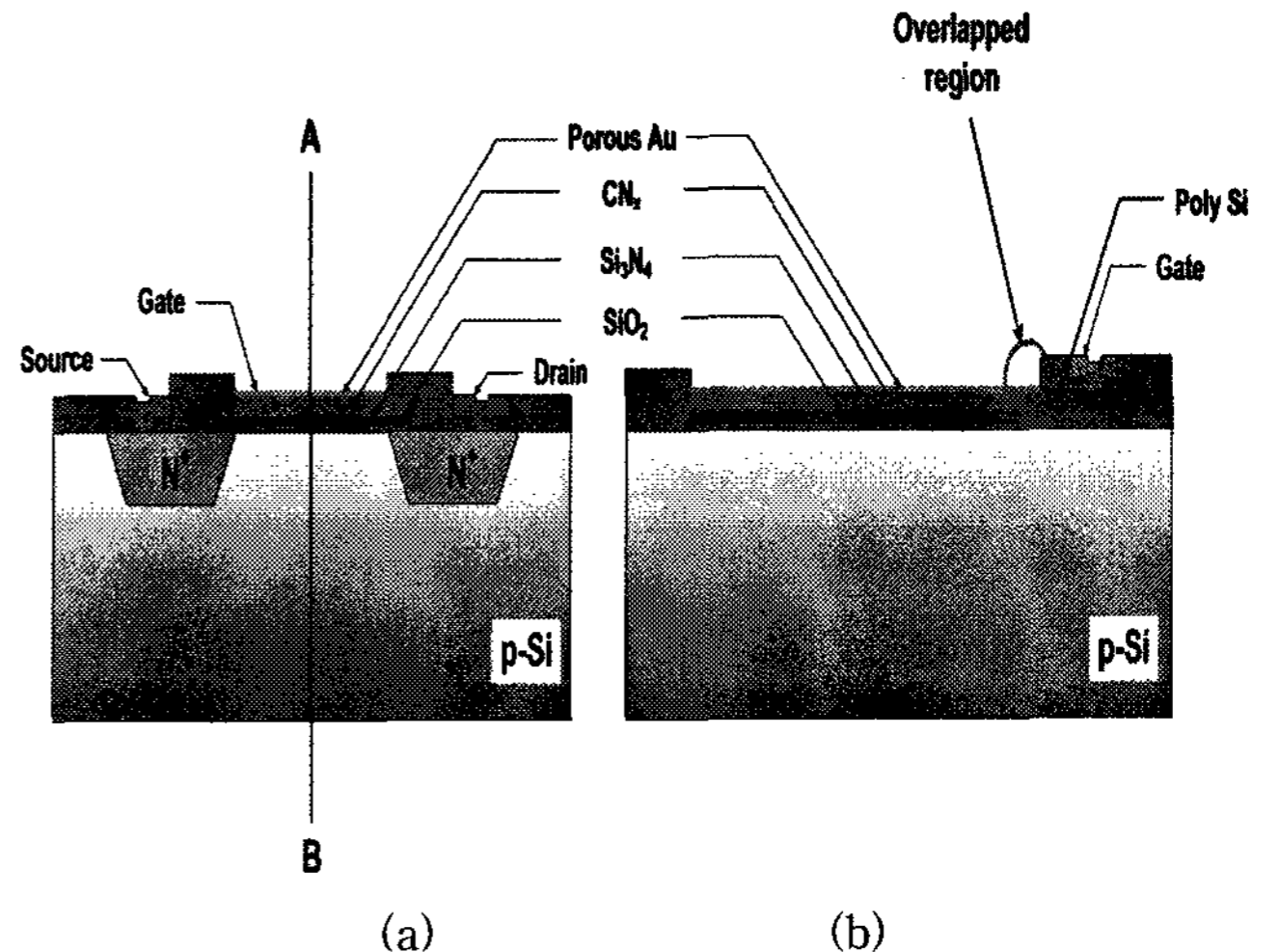


그림 8. 다공성 금 게이트를 가진 HUSFET 구조; (a) 단면도, (b) A-B 측면도

Fig. 8. HUSFET structure with porous Au gate; (a) cross-section, (b) side view.

일반적인 MISFET의 절연체 층은 실리콘 산화막을 성장하는데, 실리콘 산화막은 친수성인 관계로 이를 습도센서에 이용할 경우 흡착된 물 분자의 지속적인 함유로 실리콘 산화막과 실리콘의 경계에 원하지 않은 인터페이스 전하(interface charges)의 증가로 인해 C-V 특성이 매우 불안하게 나타나게 된다[9]. 이를 보상하기 위해 실리콘 산화막 위에 소수성인 실리콘 질화막을 증착하였다. 또한 실리콘 질화막은 공정에서 설명하게 될 폴리-질화막 에치스탑 층으로도 이용된다. 그림 8에서 다공성 금 전극이 질화탄소막을 덮고 있으며 질화탄소막 영역 밖에서 폴리실리콘 층과 겹쳐지므로 게이트 전극의 역할을 수행할 수 있다. 산화막 층은 공정의 편의를 위해 표준공정의 게이트 산화막과 동일한 공정으로 진행되었다.

화학센서를 기존의 CMOS 공정으로 제작하기 위해서는 전술한 바와 같이 감지 물질이 증착될 게이트 부분을 열어주는 공

정이 추가되어야 한다. 본 연구에서는 CMOS 공정을 진행하는 동안 센서의 게이트 영역을 열어 주는 새로운 공정을 개발하였다. 그림 9는 전체 공정도 중 폴리실리콘-질화막 에치스탑 기술이 적용된 부분의 공정 진행도를 나타낸 것이다. 모든 공정은 CMOS 표준공정에 따라 진행을 하되, 게이트에 폴리실리콘 전극을 형성된 후(그림 9의 공정 35) 센서부의 실리콘 질화막을 증착하는 공정이 추가로 삽입되었다(그림 9의 공정 36). 본 공정에서는 폴리게이트 전극을 사용하는 시스템부의 FET는 자기정렬(self-align) 기법과 LDD(lightly doped drain) 기술을 사용하였으나, 센서부는 소자가 충분히 크므로 드레인과 소스영역을 고전적인 마스크 기법으로 이온주입법을 통해 형성하였다. 센서부는 채널 영역 위에 얇은 게이트 산화막과 실리콘 질화막이 덮여 있는 상태이고(그림 9의 공정 40), 또한 실리콘 질화막은 후에 금 전극과 증착되어 게이트 전극을 형성할 폴리실리콘 전극의 일부를 덮고 있다. 그러나 이때 폴리실리콘 층은 채널영역을 침범하지 않게 설계하였다. 본 공정이 끝난 다음부터는 다시 표준공정의 순서대로 진행을 하게 되며, 마지막 제 2 금속 층이 증착되고 산화막이 보호막으로 덮여진 이후에 사진식각공정으로 센서부의 모든 산화막을 실리콘 질화막과 금전극과 만나게 될 폴리실리콘 전극이 있는 곳까지 식각을 하였다(그림 9의 공정 41). 이때 식각 깊이가 약 2 ~ 3  $\mu\text{m}$ 정도가 되므로 플라즈마 건식식각 후 습식 식각방법 방법을 병행하였다. 실리콘 질화막과 폴리실리콘 그리고 산화막이 동시에 노출이 되나 실리콘 질화막과 폴리실리콘 층 모두 산화막에 비해 식각율이 매우 낮으므로 용이하게 에치스탑 층으로 활용할 수 있다. 감습 물질을 증착하고, 그 위에 열 증착법으로 금 전극을 형성한 후 리프트 오프(lift off) 기술을 이용하여 센서를 완성하였다.

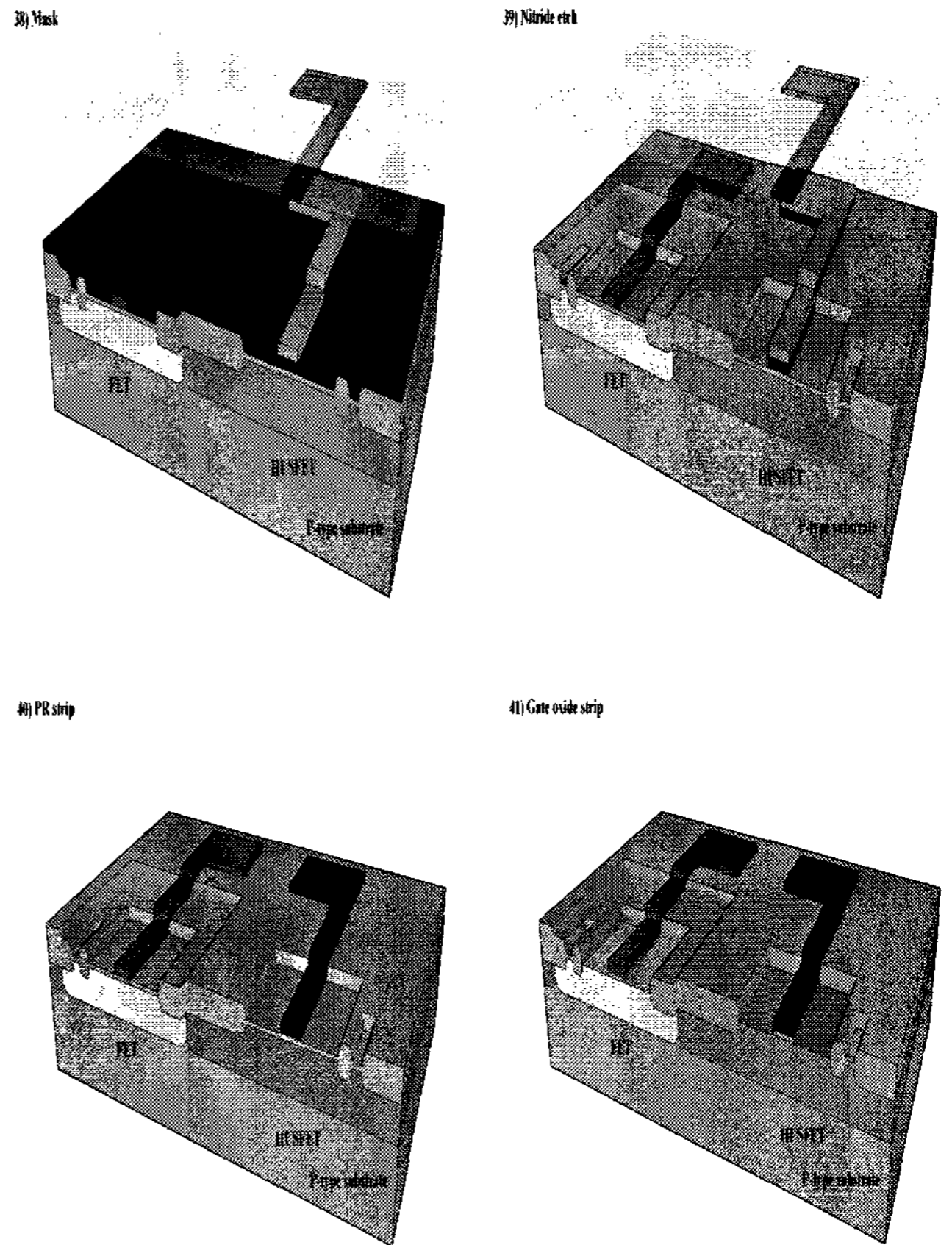
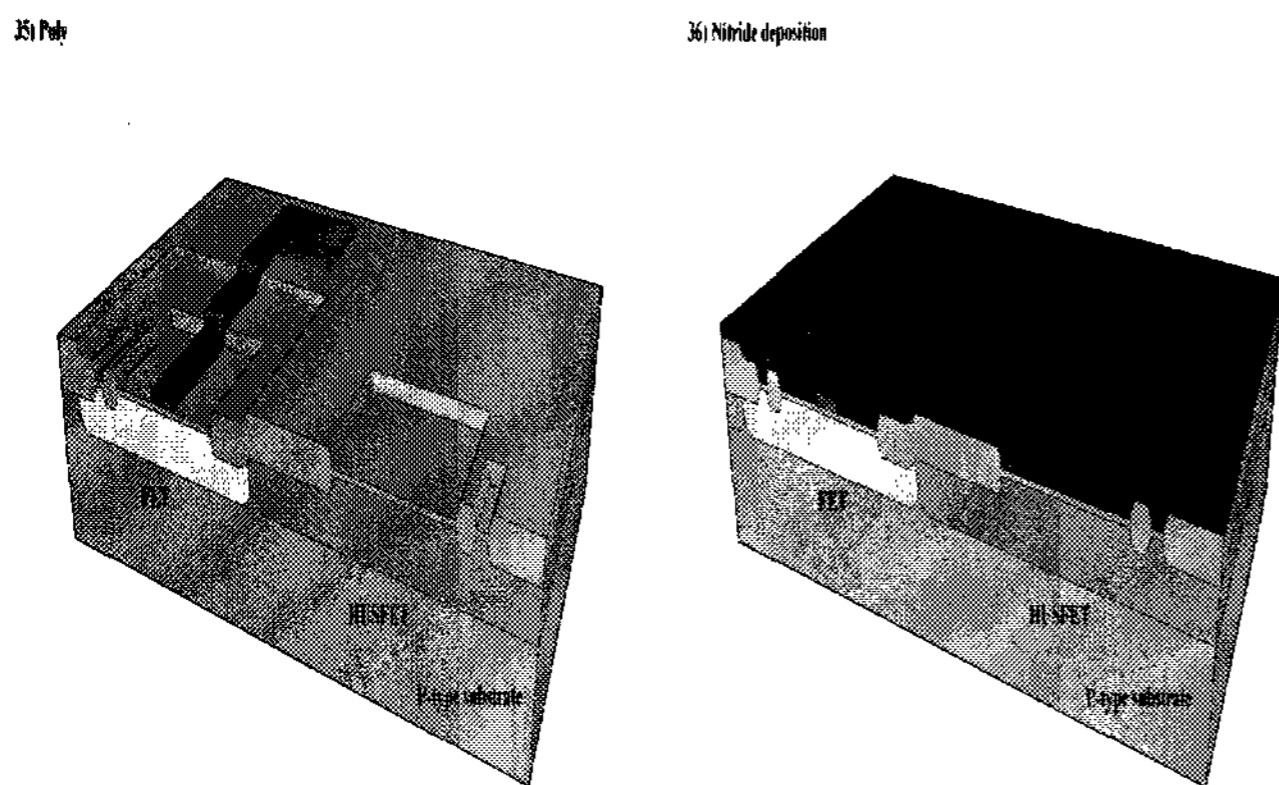


그림 9. 폴리실리콘/질화막 에치스탑 기술을 적용한 공정 진행도  
 Fig. 9. Fabrication process with poly-silicon/nitride etch stop.



### III. 결과 및 고찰

표준화된 CMOS 공정에 폴리-질화막 에치스탑 공정을 추가 하였을 때 소자의 특성에 영향을 미치는지를 조사하기 위해 게이트 영역에 질화탄소막이 성장되지 않은 nMOSFET의 특성을 조사하였다. CMOS와 HUSFET의 특성은 자체 제작된 항온 챔버 내에서 반도체 소자 분석기로 측정하였다. 그림 10은 제작된 nMOSFET의 전류-전압 특성곡선을 나타낸 것이다. 이때 소자의 W/L 비는 180/8로 하였으며, 게이트 전압이 증가함에 따라 드레인 전류가 증가하는 전형적인 MOSFET 특성을 잘 나타내고 있다. 기판 바이어스를 걸어주지 않았을 때 문턱전압은 약 1.2 V로 측정되었으며, 이러한 특성은 모델파라미터를 이용한 시뮬레이션 결과와도 잘 일치하였다. 즉, 센서 소자를 위해 추가된 폴리-질화 에치스탑 공정은 기존의 표준 공정 결과에 영향을 미치지 않음을 알 수 있다.

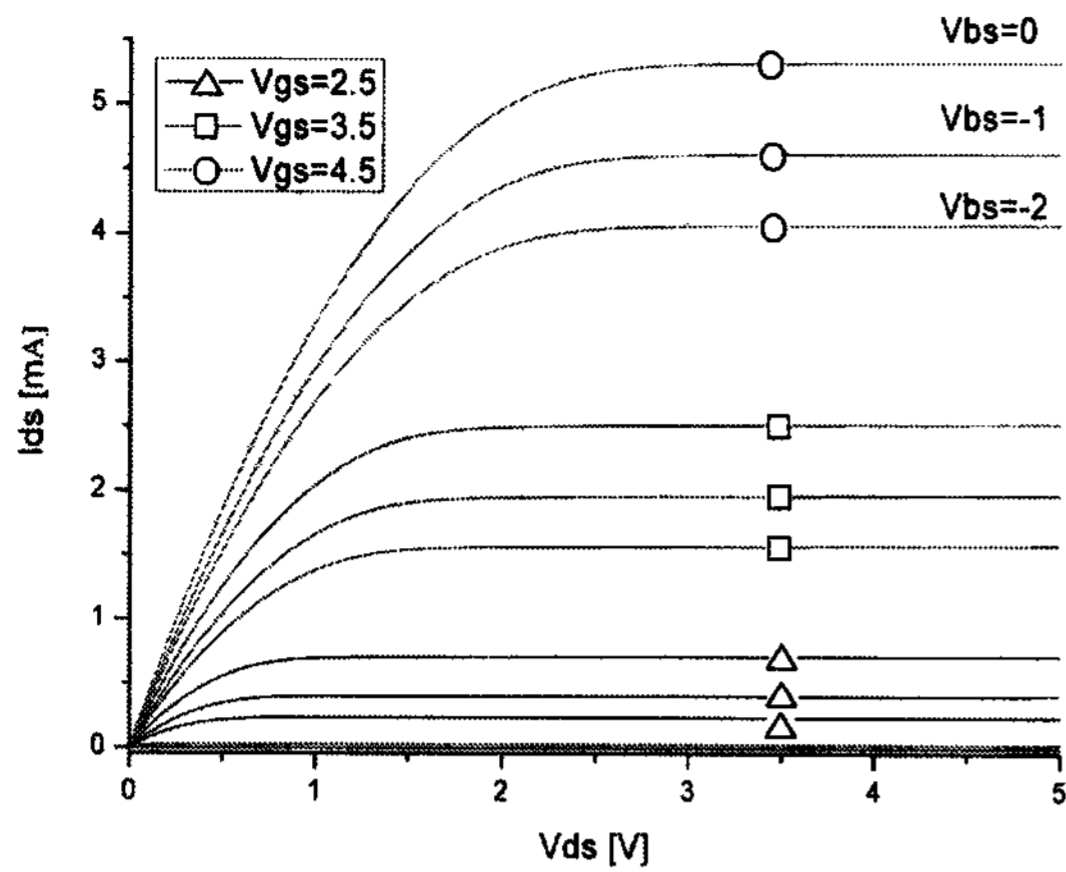


그림 10. N형 MOSFET의 전류-전압 특성곡선  
Fig. 10. Current-voltage characteristics of n type MOSFET

그림 11은 HUSFET의 상호 전달컨덕턴스를 나타낸 그래프이다. 상호 전달컨덕턴스는 식 (1)과 같이 일정한 드레인 전압 하에서 게이트 전압의 변화에 대한 드레인 전류의 변화로 정의된다[10].

$$g_m(sat.) = \frac{\partial I_D(sat.)}{\partial V_G} \approx \frac{Z}{L} \mu_n C_i (V_G - V_T) \quad (1)$$

여기서 Z는 채널의 폭, L은 채널의 길이,  $\mu_n$ 은 전자의 이동도 그리고  $C_i$ 는 절연체의 캐패시턴스이다. 문턱전압은 게이트 전압에 대한 상호 전달 컨덕턴스 특성에서 상호 전달 컨덕턴스 그래프를 외삽하여 게이트 전압 축과 만나는 지점을 나타낸다. 그림 11에서 기판 바이어스를 인가하지 않았을 때 HUSFET의 문턱전압은 약 -11.2 V로 낮게 나타났다. 이는 게이트 층에 감습물질인 질화탄소막을 증착하였기 때문에 절연체의 캐패시턴스  $C_i$ 가 감소하고, 인터페이스 전하  $Q_i$ 가 증가하였기 때문이다. 그림 10에서 상호 전달 컨덕턴스가 피크 점에 도달했다가 감소하는 이유는 게이트 절연층을 가로지르는 전계가 감소함으로 유효 채널 이동도가 감소하는 것과 소스와 드레인의 직렬 저항(series resistance) 때문이다.

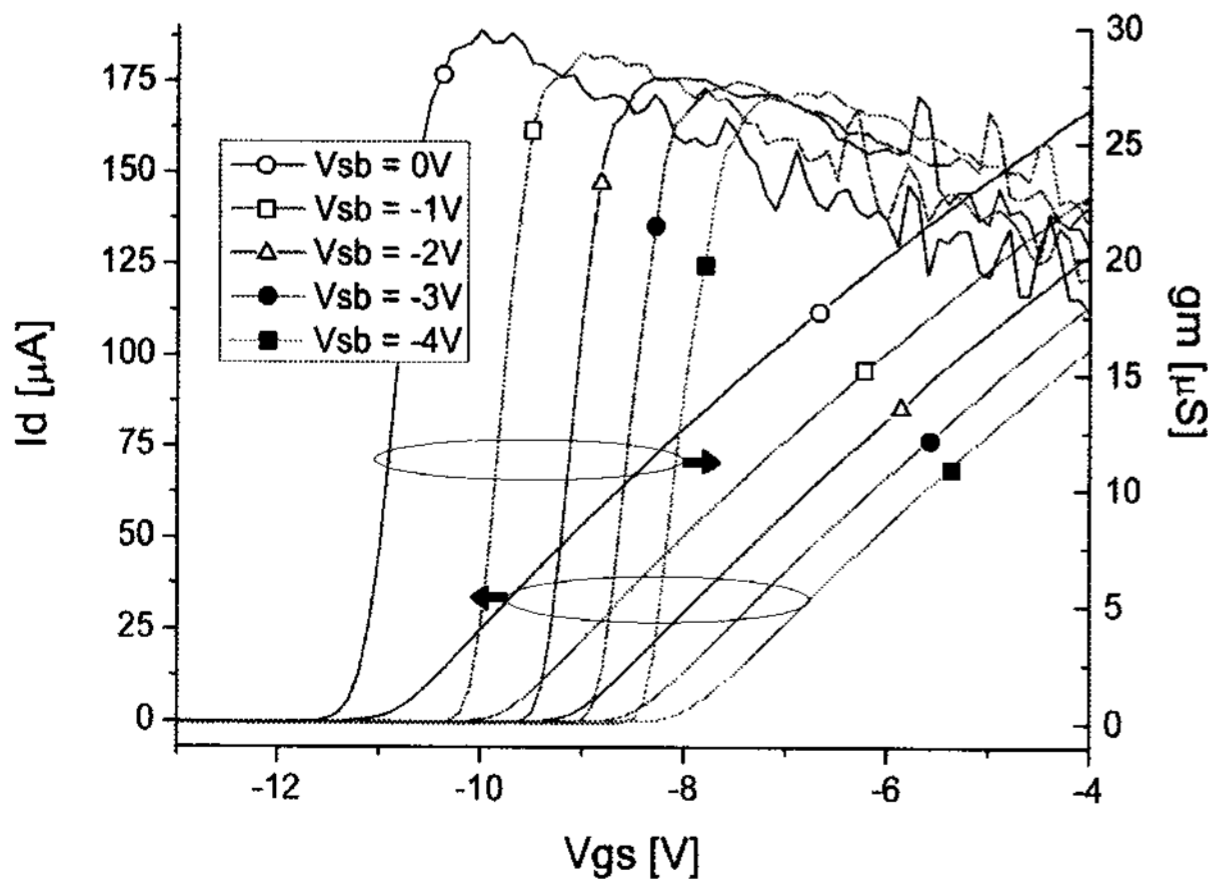


그림 11. N 채널 HUSFET의 전달 컨덕턴스  
Fig. 11. Transconductance of n-channel HUSFET.

HUSFET의 전류-전압 특성은 일반적인 MISFET의 전류-전압식을 수정하여 나타낼 수 있다. MISFET의 전류-전압식은 식 (2)와 같이 표현된다[10].

$$I_D = \frac{\mu_n Z C_i}{L} \times \left\{ \left[ \left( V_G - V_{FB} - 2\phi_F - \frac{1}{2} V_D \right) V_D - \frac{2}{3} \frac{\sqrt{2\epsilon_s q N_a}}{C_i} \right] \left[ (V_D + 2\phi_F)^{3/2} - (2\phi_F)^{3/2} \right] \right\} \quad (2)$$

여기서  $V_{FB}$ 는 평탄전압,  $\phi_F$ 는 기판의 페르미 포텐셜,  $\epsilon_s$ 는 실리콘의 비유전율, q는 전하량,  $N_a$ 는 억셉터 농도이다. 물분자 흡착에 따른 화학적변화가 감지물질의 유전율변화를 유발하고 이는 센서의 캐패시턴스 변화를 가져오게 된다. HUSFET는 감지막인 질화탄소막이 게이트 절연층에 추가로 증착되었기 때문에 전체 캐패시턴스는 식 (3)과 같이 나타낼 수 있다.

$$C_i = C_{ox} C_{sn} / [(C_{ox} + C_{sn}) + (C_{ox} C_{sn} d_{cn}) / \epsilon_{ox} \epsilon_{cn}] \quad (3)$$

여기서  $C_{ox}$ 과  $C_{sn}$ 은  $SiO_2$ 와  $Si_3N_4$ 의 단위면적 당 캐패시턴스이며,  $d_{cn}$ 은 질화탄소막의 두께 그리고  $\epsilon_{ox}\epsilon_{cn}$ 은  $SiO_2$ 와 질화탄소막의 비유전율이다. 그러므로 HUSFET의 드레인 전류는 식 (3)을 식 (2)에 대입하여 얻을 수 있다. 그림 12는 그림 5의 B형 nHUSFET의 상대습도 변화에 따른 전류-전압 특성을 보여준다. 측정 온도 25°C에서 게이트 전압을 -9.2 V로 인가한 경우, 상대습도가 10%에서 70%로 증가할 때 드레인 전류는 0.54 mA에서 0.68 mA로 증가함을 알 수 있다. 여기서 얻은 드레인 전류값은 HUSFET에서 나온 신호를 연산증폭기를 통해 10배 증폭한 값이다. 그림 5의 A형 센서도 게이트 면적은 약간 적으나 B형과 비슷한 특성을 보였다. 다공성 금 전극을 투과한 물 분자는 질화탄소막 표면의 불완전한 탄소나 질소 원자에 일차적으로 화학적흡착을 하게 되어  $OH^-$  이온을 형성하게 된다. 이 이온들은 강한 정전기장을 가지기 때문에 다음 층에 물리적으로 흡착되는 물 분자들을 해리시켜  $H_3O^+$  형태로 만든다. 물리흡착층들은 단지 단일결합으로 액체 고리 네트워크 (liquid-link network)를 형성하게 되는데 이들 단일 결합된 물 분자들은 질화탄소막 내에서 쌍극자를 만들게 되고 질화탄

소막의 유전율을 변화시키게 된다[11].

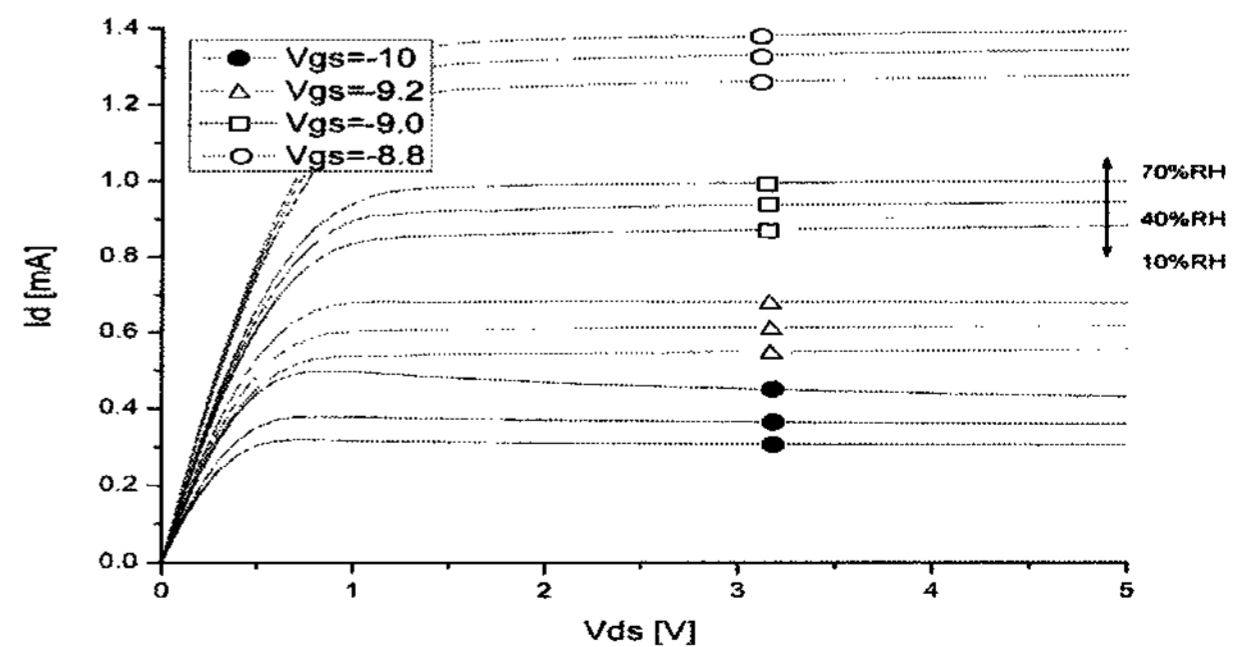


그림 12. N형 HUSFET의 감습 특성  
Fig. 12. Humidity sensing characteristics of n type HUSFET.

그림 13은 그림 7의 휘스톤 브릿지 저항형 습도센서의 상대 습도에 따른 전압변화를 나타낸 것이다. 25°C의 항온 챔버 내에서 600초 주기를 두고 2000 sccm의 유량으로 습한 공기와 건조한 공기를 번갈아 주입하면서 물 분자의 흡탈착에 따른 변화를 측정하였다. 저항형 습도센서는 상대습도가 증가할수록 질화탄소막의 저항이 감소하여 부하저항 양단의 전압이 감소하는 특성을 나타내었다. 예상한 바와 같이 질화탄소막이 증착된 센서부는 상대 습도의 변화에 따른 전압 차( $V_{sen}$ )가 두드러지게 나타났으나, 질화탄소막이 증착되지 않은 3개의 기준 저항의 전압 차( $V_{ref}$ )는 거의 변화가 없었다. 그림 13에서 기준 저항들에서도 약 0.23 V의 드리프트가 나타남을 볼 수 있는데, 이는 측면을 통한 수분의 침투에 의한 것으로 사료되며 앞으로 이를 위한 개선이 요구된다. 센서 저항과 기준 기준 저항의 전압의 차는 습한 분위기와 건조한 분위기에서 약 1 V<sub>p-p</sub> 정도로 나타났다. 출력 전압의 10%에서 도달하는 시간을 흡착시간으로 90%에 도달하는 시간을 탈착시간으로 하였을 때, 휘스톤 브릿지 저항형 습도센서의 흡착시간은 약 500초, 탈착시간은 약 520초로 나타났다.

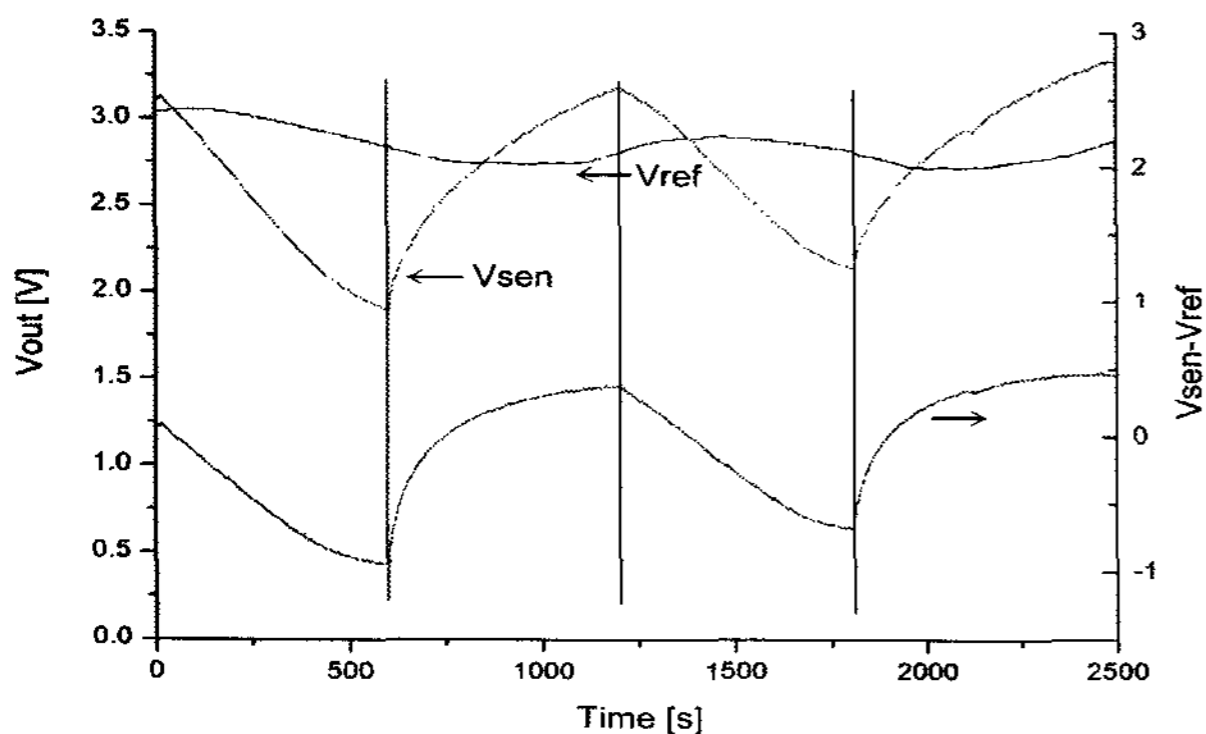


그림 13. 휘스톤 브릿지 저항형 습도센서의 응답 특성  
Fig. 13. Response characteristics of Wheatstone-bridge type resistive humidity sensor.

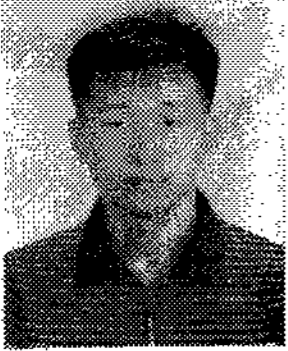
#### IV. 결론

본 연구에서는 마이크로 습도센서 시스템의 개발을 위해 0.8  $\mu\text{m}$  아날로그 혼합 CMOS 기술을 기반으로 연산증폭기와 FET형 습도센서를 동일 칩 상에 설계·제작하고 그 특성을 조사하였다. 제작된 시스템의 특성은 기존 공정에 새롭게 추가된 폴리-질화 에치스탑 공정에 큰 영향을 받지 않았으며, 칩의 크기 축소와 공정단계를 줄여주는 효과를 보였다. 센서부의 신호를 처리하는데 필요한 연산증폭기의 조건은 시뮬레이션을 통해 주파수 여유가 30도에서 60도 사이, 그리고 이득 여유는 6 dB 이상으로 나타났으며, 제작된 연산증폭기는 주파수 여유가 55도, 이득 여유는 27 dB로 그 조건을 충족하였다. 제작된 n형 HUSFET는 측정 온도 25°C에서 상대습도가 10%에서 70%로 증가할 때 드레인 전류는 0.54 mA에서 0.68 mA로 증

가하였다. 또한 감습 물질로 사용된 질화탄소막은 FET형과 저항형 모두 습도에 대한 민감한 특성을 나타내었으며, 융점이 높아 반도체 표준공정과 접목이 가능함을 알 수 있었다.

#### 참고 문헌

- [1] Z. M. Rittersma, "Recent achievement in miniaturised humidity sensors—a review of transduction techniques", *Sensors and Actuators A*, Vol 96, pp. 196-210, 2002.
- [2] L. Bousse, J. Shott, and J. D. Meindl, "A process for the combined fabrication of ion sensors and CMOS circuits," *IEEE ED. Letters*, Vol. 9, No. 1, pp. 44-47, 1988.
- [3] U. Kang and K. D. Wise, "A High-speed capacitive humidity sensor with on-chip thermal reset", *IEEE Trans. Elect. Devices*, Vol. 47, No. 4, pp 702-710, 2000.
- [4] C. L. Dai, M. C. Liu, F. S. Chen, C. C. Wu and M. W. Chang, "A nanowire WO<sub>3</sub> humidity sensor integrated with micro-heater and inverting amplifier circuit on chip manufactured using CMOS-MEMS technique", *Sensors and Actuators B*, Vol 123, pp. 896-901, 2007.
- [5] P. J. Schubert and J. H. Nevin, "A polyimide-based capacitive humidity sensor," *IEEE Trans. on ED*, Vol. ED-32, 1220- 1223, 1985.
- [6] L. Gu, Q. A. Huang and M. Qin, "A novel capacitive-type humidity sensor using CMOS fabrication technology", *Sensors and Actuators B* 99, pp. 491-498, 2004.
- [7] M. Burgmair, M. Zimmer, and I. Eisele, Humidity and temperature compensation in work function gas sensor FETs," *Sensors and Actuators B*, Vol 93, pp. 271-275, 2003.
- [8] J. G. Lee and S. P. Lee, "Humidity sensing properties of CN<sub>x</sub> film by RF magnetron sputtering system," *Sensors and Actuators B*, Vol. 108, pp. 450-54, 2005.
- [9] S. P. Lee, S. Showdhury, "Performance of differential field effect transistors with porous gate metal for humidity sensors," *센서학회지*, 제 8권, 제 6호, pp. 434-439, 1999.
- [10] B. G. Streetman, *Solid state electronics*, Pearson, NJ, pp. 282-285, 2006.
- [11] E. Traversa, "Ceramic sensors for humidity detection: the state-of-the-art and future developments," *Sensors and Actuators B*23, pp. 135-152, 1995.



**이 지 공(Ji Gong Lee)**

2001년 2월 경남대 전자공학과(공학사)  
2003년 2월 경남대 전자공학과(공학석사)  
2007년 8월 경남대 전자공학과(공학박사)

2007년 11월 ~ 현재 미국 Case Western Reserve 대학  
전기 및 컴퓨터학과 연구원

※주관심분야 : 습도센서, 센서시스템, 반도체센서 모델링



**이 상 훈(Sang Hoon Lee)**

1984년 2월 고려대 전기공학과(공학사)  
1987년 8월 고려대 전기공학과(공학석사)  
1998년 2월 고려대 전기공학과(공학박사)

2001년 3월 ~ 현재 경남대 전자공학과 부교수

※주관심분야 : FPGA, 시스템IC 설계 및 디지털시스템



**이 성 필(Sung Pil Lee)**

1983년 2월 경북대 전자공학과(공학사)  
1985년 2월 경북대 전자공학과(공학석사)  
1999년 2월 경북대 전자공학과(공학박사)

1988년 3월 ~ 현재 경남대 전자공학과 교수

※주관심분야 : 센서재료 및 시스템, 반도체센서

---