

지그비(ZigBee) 응용을 위한 고선형, 저잡음 2.4GHz CMOS RF 프론트-엔드(Front-End)

A High Linear And Low Noise CMOS RF Front-End For 2.4GHz ZigBee Applications

이승민*, 정춘식*, 김영진*, 백동현***

Seung-Min Lee*, Chun-Sik Jung*, Young-Jin Kim* and Dong-Hyun Baek***

요 약

본 논문은 지그비(ZigBee) 응용을 위한 2.4 GHz CMOS RF 프론트-엔드(front-end) 설계에 관한 기술이다. Front-End는 저잡음 증폭기(LNA), 주파수 변환기(Mixer)로 구성되며, 2 MHz의 중간 주파수 (IF : intermediate frequency)를 사용한다. LNA는 피드백저항을 사용한 Common-Source(CS with resistive feedback) 구조와 축퇴(degeneration) 인덕터를 사용하였고, 20 dB의 전압 이득을 디지털신호로 조절할 수 있다. Mixer는 저전류 소모를 고려하여 수동(passive) 구조로 설계하였다. RF front-end는 0.18 μ m 1P6M CMOS 공정을 이용하여 구현하였으며 1.8 V의 전압으로부터 3.28 mA의 전류 소모를 하며 측정 결과 NF는 4.44 dB, IIP3는 -6.5 dBm을 만족시킨다.

Abstract

A 2.4 GHz CMOS RF front-end using for ZigBee application is described. The front-end consists of a low noise amplifier and a down-mixer and uses a 2 MHz IF frequency. A common source with resistive feedback and an inductive degeneration are adopted for a low noise amplifier, and a 20 dB gain control step is digitally controlled. A passive mixer for low current consumption is employed. The RF front-end is implemented in 0.18 μ m 1P6M CMOS process. The measured performance is 4.44 dB NF and -6.5 dBm IIP3 while consuming 3.28 mA current from a 1.8 V supply.

Key words : ZigBee, Front-end, CMOS, Low-IF, Gain-control, Linearity, Low-noise, Low-current

I. 서 론

지그비(ZigBee)는 국제 통신 규격인 IEEE802.15.4 (Wireless Personal Area Network: WPAN)의 표준안에 채택되었으며 저전력, 초소형, 저비용이 특징인 2.4

GHz 기반의 반경 10~20 m 내에서 250 kbps의 속도로 데이터를 전송하며 65,000개 이상의 노드를 연결할 수 있는 기술이다[1]. ZigBee는 다양한 유비쿼터스 컴퓨팅 환경에 폭넓게 응용될 전망이며 특히 소형으로 전력 소모량이 적고 값이 싸 향후 유비쿼터스 핵

* 한국항공대학교 항공전자과(Department of Avionics, Korea Aerospace University)

** 중앙대학교 전자과(Department of Electric Engineering, Chung-Ang University)

· 제1저자 (First Author) : 이승민

· 투고일자 : 2008년 12월 3일

· 심사(수정)일자 : 2008년 12월 5일 (수정일자 : 2008년 12월 19일)

· 게재일자 : 2008년 12월 30일

심 솔루션으로 각광받고 있다.

본 논문은 지그비 응용(ZigBee application)에 사용되는 CMOS 프론트-엔드(front-end)를 180 μm CMOS 공정기술을 이용하여 전개하였다. 이대역은 2405 ~ 2480 MHz의 16개 채널을 사용하는 국제 규격을 수용하며 본 설계에서는 이대역을 만족하도록 설계하였다. 2.4 GHz 주파수 대역은 다른 많은 무선통신 프로토콜의 주파수 대역과의 중첩으로 인해 상호 주파수 간섭에 의한 통신 불능이나 통신 오류로 인한 지연 등, ZigBee 통신의 실제 적용 가능성에 많은 우려를 제기 하고 있다. 특히 현재 널리 쓰이는 와이-파이(Wi-Fi)와 최근에 보편화되기 시작한 블루투스(Bluetooth) 장치들과의 간섭현상으로 인해 통신 속도 저하가 발생할 가능성이 높다. IEEE802.15.4 표준에 정의된 ZigBee 시스템의 RF 선형성(linearity)은 -20 dBm이며 민감도(sensitivity)는 -85 dBm이다[2]. 그러므로 본 문에서 설계한 RF 프론트-엔드는 높은 선형성과 저잡음에 중점을 두었다. CMOS의 cut-off 주파수의 향상과 RF와 베이스밴드 칩을 원칩화한 통합 칩의 구현이 가능하다는 점, 그리고 가격 면에서의 경쟁력을 바탕으로 0.18 μm 공정을 채택하였다.

II 장에서는 LNA와 mixer가 포함된 수신단의 설계에 대해 기술 하였고, III장에서는 측정 결과와 완성된 칩의 사진을 나타내었으며, 마지막으로 IV장에서 본 논문의 결론을 요약하여 나타내었다.

II. 수신 단

수신단의 블록다이어그램을 그림 1에 나타내었다. Front-end는 발룬(Balun)과 differential LNA, 두 개의 하향 수동 주파수변환기(Down conversion- passive mixer(I and Q))로 구성된다. 안테나로부터 인가된 신호는 Balun을 거쳐 LNA, mixer를 통과하여 기저대역 주파수로 변환되며 프로그래머블 이득증폭기(PGA : programmable gain amplifier)와 밴드패스필터(BPF : band pass filter)를 거쳐 아날로그-디지털변환기(ADC : analog -to-digital conversion)로 인가된다.

본 수신단의 설계 시 고려한 점은 크게 세 가지로 나눌 수 있다. 첫째, ZigBee의 어플리케이션에서 요

구되는 저 전력의 동작을 하여야 한다는 것과 둘째, ZigBee에서 허용되는 최소레벨인 -85 dBm의 입력신호를 받아들이기 위해 잡음지수(NF : noise figure)를 최대한 낮게 설계해야 한다. 마지막으로 아주 작은 레벨의 입력신호에서부터 큰 레벨의 신호까지 왜곡 없이 받아들이기 위해 LNA의 전압이득을 조절 가능하게 설계해야 한다. Low-IF 방식은 Zero-IF 방식에 비해 DC-offset에 덜 민감하고 1/f noise에도 더 뛰어난 성능을 가지기 때문에 Low-IF 구조의 RF front-end를 설계하였다.

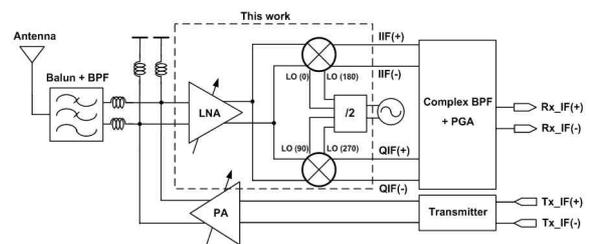


그림 1. RF 수신단의 블록다이어그램
Fig. 1. Block diagram of the RF Front-end

본문에서 제안된 front-end는 높은 gm값을 갖는 LNA와 전류를 드라이브(drive)하는 저부하 임피던스 (low load impedance) passive mixer를 기본으로 하여 동작한다.

2-1 LNA (Low Noise Amplifier)

LNA는 저잡음, 선형성, 높은 이득, 그리고 저 전류 소모 이렇게 총 네 가지 요소를 가지고 설계된다. 그림 2에 LNA의 전체적인 회로가 나타나 있다. 본문에서 제시된 구조는 Common-source with resistive feedback differential LNA이다. 캐스코드(cascode) 구조를 사용하면 CG(common gate) 트랜지스터와 CS(common source) 트랜지스터가 같은 전류를 사용하면서 2개의 이득 스테이지로 구성되기 때문에 낮은 DC 전력 소모와 높은 이득을 동시에 얻을 수 있다. 그 뿐만 아니라 입력포트와 출력포트의 격리 (isolation) 특성이 좋고 NF특성 또한 피드백 저항을 조절함으로써 향상시킬 수 있는 장점을 가진다.

M_1 , M_2 는 CS의 입력트랜지스터이고 CG의 M_3 ,

M_4 와 캐스코드를 이룬다. C_2 와 C_3 는 입력 매칭을 위한 커패시터이고, C_1, C_4, C_5 그리고 C_6 는 DC 차단(block)을 위한 커패시터이다. 입력단에는 degeneration 인덕터 L_{deg} 를 사용하여 NF는 그대로 유지한 상태에서 파워 매칭할 지점을 조절하여 down-bonding할 인덕터와 동일해지도록 0.35 nH정도를 사용하였다. 가변적인 입력신호에 대하여 선형적인 가변 이득을 가지도록 하기 위해 3스텝 전압이득을 프로그래머블하게 조절할 수 있도록 설계하였다. R_3, R_4 는 high 이득모드일 때의 피드백 저항이고 R_2, R_5 는 mid 이득모드의 손실(loss)를 만들기 위한 저항디바이더이며 R_1, R_6 은 low 이득모드의 loss를 만들기 위한 저항디바이더이다. mid 이득모드와 low 이득모드는 코어 트랜지스터(core transistor)의 전류를 차단하고 저항 디바이더로 loss를 만들었는데, mid 이득모드인 경우 입력과 출력 사이에 100 ohm의 저항을 연결하여 입력 매칭 및 loss를 만들었고, low 이득모드의 경우 입력의 플러스(plus)와 마이너스(minus) 사이에 200 ohm의 저항을 연결하여 입력임피던스를 맞추고 입출력 사이에 1300 ohm의 저항을 연결하여 원하는 loss가 생기도록 하였다. 높은 이득을 얻기 위해 출력 단을 구성하는 L_1 은 원하는 주파수에서 병렬로 연결된 커패시터와의 공진을 이용하여 높은 임피던스를 만들고 동시에 출력 매칭을 위한 목적으로 사용하였다. 레이아웃(layout)한 후의 기생커패시턴스(parasitic capacitance)를 고려하여 인덕터와 커패시터의 공진이 가장 클 때를 최댓값으로 가지는 4 bit 디지털 컨트롤 커패시터를 만들어 커패시턴스를 조절할 수 있도록 하였다.

LNA의 전압이득을 구하기 위해 open-loop transresistance gain(a)와 feedback factor(f)를 구하여 보면 다음과 같다[3].

$$a = -(R_S || R_3)g_m(R_L || R_3) \tag{1}$$

$$f = -\frac{1}{R_3}$$

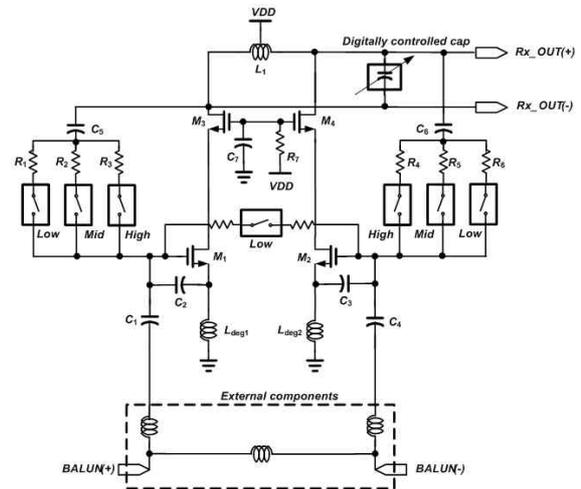


그림 2. 디지털 컨트롤 Differential LNA
Fig. 2. Digitally controlled Differential LNA

식 (1)의 R_S 는 입력저항이고, R_L 는 출력단의 임피던스를 나타내며 적당한 Q값을 대입하여 $R_L = Q_W L_1$ 으로 근사화할 수 있다. LNA의 전압이득을 계산하면 식 (2)와 같게 된다[3].

$$A_{V(Feedback\ Theory)} = -g_m(R_L || R_3) \tag{2}$$

피드백 저항(resistive feedback)을 사용하면 피드백 저항을 키움으로써 NF를 줄이는 동시에 입력 임피던스를 50 ohm근처로 옮길 수 있다. 최종 출력잡음과 R_S 로 인한 출력잡음의 관계로 NF를 계산하면 다음과 같다.

$$NF \approx 1 + \frac{\gamma g_m}{R_s g_m} + \frac{1}{R_s R_L g_m^2} + \frac{4R_s}{R_3} \left(\frac{-1}{1 + \frac{R_3 + R_s}{(1 + g_m R_s)}} \right)^2 \tag{3}$$

식 (3)에서와 같이 피드백 저항이 클수록 NF가 줄어드는 것을 확인 할 수 있다. 하지만 피드백 저항이 지나치게 크게 되면 NF는 줄어들지만 전류를 많이 소모하게 된다. 그러므로 NF를 높이지 않는 범위 내에서 입력 임피던스를 200 ohm 정도로 맞추도록 피드백 저항을 4 kohm 정도로 정하였다.

2-2 Current driven passive mixer

Application의 특성상 전류소모와 선형성이 중요하기 때문에 전류소모가 적고 선형성이 높은 전류 드라이브 수동형 주파수 혼합기(current driven passive mixer)구조를 선택하였다. 능동형 주파수 혼합기(active mixer)의 경우 2.4 GHz에서 원하는 국부발진기(LO : local oscillator) 전압 스윙(voltage swing)을 얻기 힘들기 때문에 선형성이 떨어진다. 그러므로 높은 트랜스컨덕턴스(transconductance)를 얻는 LNA의 출력에 낮은 임피던스를 출력단 load에 연결하는 passive 타입의 mixer를 설계함으로써 mixer의 전압 스윙으로 인해 발생하는 왜곡현상을 제거할 수 있게 된다.

그림 3에 mixer의 전체적인 회로가 나타나 있다. 이미지 제거를 위해 I, Q 두 개의 신호를 받는 Double-balanced type의 passive mixer가 LNA의 출력에 직접 연결된다. MOS 트랜지스터 M_{LO0} , M_{LO180} 는 Quadrature 구조를 이루며 M_{LO0} 의 저항과 R_1 , R_2 에 의해서 mixer의 전압이득이 발생한다. 트랜지스터 M_{LO0} 와 저항 R_2 의 공정변화의 방향이 다를 수 있기 때문에 R_1 을 M_{LO0} 와 직렬로 연결하여 트랜지스터의 저항의 변화에 따른 이득의 변화 현상을 줄일 수 있다. mixer의 스위칭(switching) 트랜지스터의 게이트 바이어스(gate bias) 전압은 트랜지스터의 문턱전압과 OP amp의 공통모드(common mode) 전압에 의해 결정 되는데 M_{LO0} , M_{LO180} 가 스위치로서 동작하기 때문에 트랜지스터의 오버드라이브(overdrive) 전압은 거의 0에 가깝다. 그러므로 gate의 bias 전압은 다음과 같다.

$$V_{bias} = V_{CM} + V_t \quad (4)$$

이러한 조건에서는 스위치를 통해 어떠한 DC 전류도 흐르지 않기 때문에 switching 스테이지에서의 1/f 노이즈를 제거할 수 있다. gate 인가전압에 따라서 MOS를 미리 동작시킴으로써 해서 LO voltage swing 요건을 줄일 수 있으나 IIP3가 나빠지는 trade-off가 있으므로 4 bit으로 LO 인가전압을 1.2~1.6 [V]범위 내에서 조절 가능하도록 설계하였다..

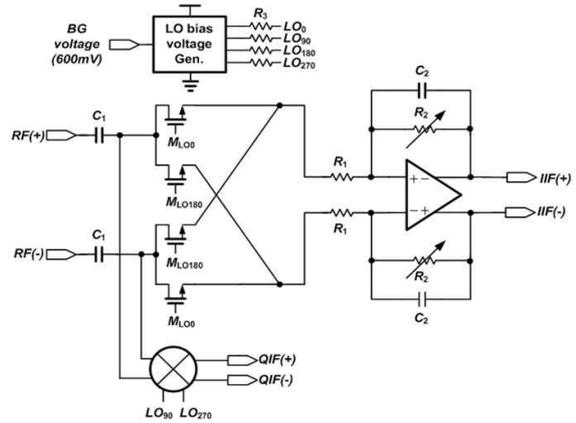


그림 3 직교 하향 주파수 변환기
Fig. 3 Quadrature down-conversion Mixer

mixer의 switching 스테이지에서 발생하는 출력전류의 하모닉(harmonic)을 제거하기 위해 저역통과필터(LPF : low pass filter)가 필요하다. 그러므로 mixer의 출력에 R_2 와 C_2 에 의해 1-Pole이 형성되어 amp의 전류를 이용하여 출력 swing이 최대가 되도록 R_2 를 결정하고 7 MHz의 3 dB 대역폭(bandwidth)를 가지도록 C_2 값을 정한다. 공정변화에 대응하기 위해 R_2 를 2800~4500 ohm 정도의 범위 내에서 조절할 수 있도록 하여 mixer의 이득과 NF를 적절한 지점에서 trade-off 할 수 있도록 설계하였다. OP amp의 open loop gain을 $A(f)$ 라고 하면 입력 임피던스 $Z_{IN}(f)$ 는 다음과 같다[4].

$$\begin{aligned} Z_{IN}(f) &= \frac{Z_{\epsilon}}{1-A} + \frac{R_1}{2} \\ &= \frac{1}{1+A(f)} \left(\frac{\frac{R_2}{2} 2sC_2}{\frac{R_2}{2} + 2sC_2} \right) + \frac{R_1}{2} \\ &= \frac{2}{A(f)} \frac{R_2}{1+2\pi f C_2 R_2} + \frac{R_1}{2} \end{aligned} \quad (5)$$

식 (5)에서와 같이 $Z_{IN}(f)$ 는 $A(f)$ 가 높은 상태에서 매우 작은 것을 알 수 있다. 그러므로 IF 주파수가 2 MHz인 low-IF 수신기에서 이와 같은 구조가 매우 적합한 것을 알 수 있다.

f_{LO} 를 LO 주파수라고 하고 C_{par} 을 MOS의 기생 커패시터라고 하면 switching 스테이지에서의 등가 저항은 일반적인 스위치 커패시터(SC : Switched Capacitor) 회로의 등가 SC 저항과 같고 식 (6)과 같이 나타낼 수 있다[4].

$$R_{out} = \frac{1}{2f_{LO}C_{par}} \quad (6)$$

LNA의 출력에 존재하는 기생 커패시터는 OP amp의 출력잡음을 증폭시키는 역할을 한다. 그러므로 switching 하는 MOS의 크기가 더 크게 되면 더 많은 양의 잡음 전하가 샘플링 된다. 또한 LO주파수가 높을수록 잡음 전하가 더 빨리 전달되어 전체출력 잡음에 영향을 미치게 된다.

$v_{n,op-amp}(f)$ 를 OP amp의 등가입력 잡음 전압이라고 하면 전체 출력 잡음 전압은 식 (7)과 같다.

$$v_{nout,op-amp}(f) \cong \left(1 + \frac{2R_F}{R_{out}}\right)v_{n,op-amp}(f) \quad (7)$$

식(6)에서도 알 수 있듯이 R_{out} 의 크기가 작을수록 전체 출력 잡음이 증가된다. Switching 스테이지에서 증폭되는 최소한의 잡음을 고려하여 MOS의 사이즈 (W/L=15 μm / 0.18 μm)를 정하였다.

III. 측정 결과

수신기의 입력 매칭을 측정하여 그림 4에서 보는 바와 같이 -8 dB이하의 삽입손실(S11)을 얻었음을 알 수 있다. 또한 LNA의 전류를 증가시키면서 NF를 측정한 결과 그림 5에서 보는 바와 같이 최저 4.44 dB의 NF를 얻을 수 있었다. 수신기의 이득을 측정하기 위해 2.4 GHz에서 입력신호를 증가시키면서 출력 신호의 크기를 측정하였다. 측정 결과 high/mid/low 이득 모드일 때 25.9 / 7 / -9.7 dB의 이득을 가지는 것을 확인 할 수 있었다. IIP3 측정을 하기 위해 LO(2.403 GHz)주파수에 가까운 RF1(2.410 GHz)주파수와

RF2(2.415 GHz)주파수를 입력주파수로 정하여 측정한 결과 그림 6에 보는 바와 같이 high/mid/low 이득 모드일 때 -6.5 / 11.8 / 17 dBm의 IIP3를 얻음으로 IEEE802.15.4 표준에 정의된 -20 dBm의 RF linearity를 만족시킴을 확인 할 수 있다[2]. Mixer의 LO bias 전압에 따른 수신기의 이득과 IIP3의 관계가 그림 7에 나타나 있다. 이득이 감소함에 따라 IIP3는 증가하는 trade-off 관계가 있기 때문에 적절한 지점에서 bias 전압을 정하여 동작시켜야 함을 알 수 있다. 0.18 μm CMOS 공정기술을 이용하여 설계한 ZigBee application RF front-end가 그림 8에 나타나 있다. 전체 칩 면적은 1.15 mm \times 0.9 mm이다.

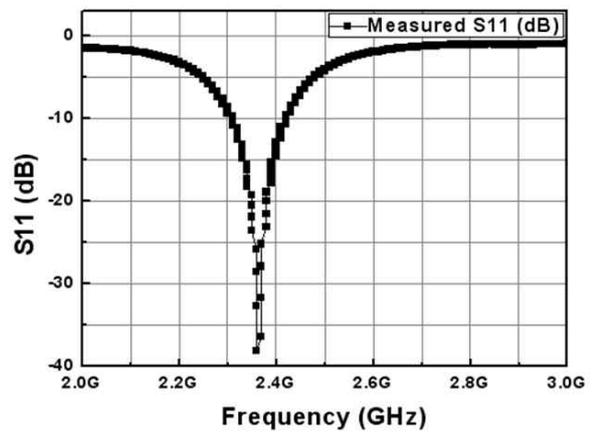


그림 4 RF 프론트-엔드의 S파라미터 측정 결과
Fig. 4 RF Front-end S-para measurement result

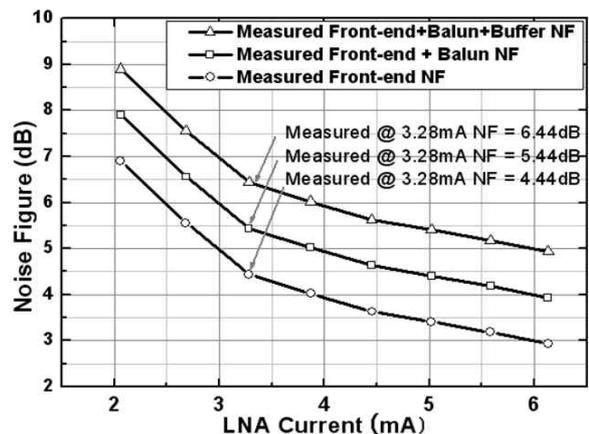


그림 5 RF 프론트-엔드의 잡음지수 측정 결과
Fig. 5 RF Front-end NF measurement result

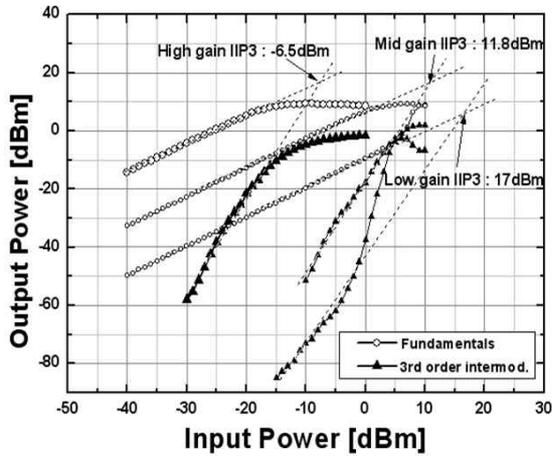


그림 6 RF 프론트-엔드의 IIP3 측정 결과
Fig. 6 RF Front-end IIP3 measurement result

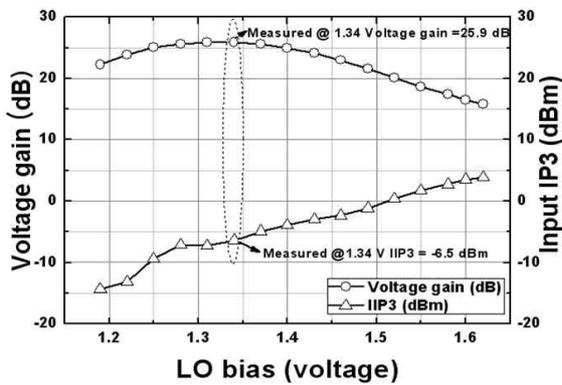


그림 7 RF 프론트-엔드의 국부발진 바이어스에 따른 전압 이득 & IIP3
Fig. 7 RF Front-end Voltage gain & IIP3 by LO bias

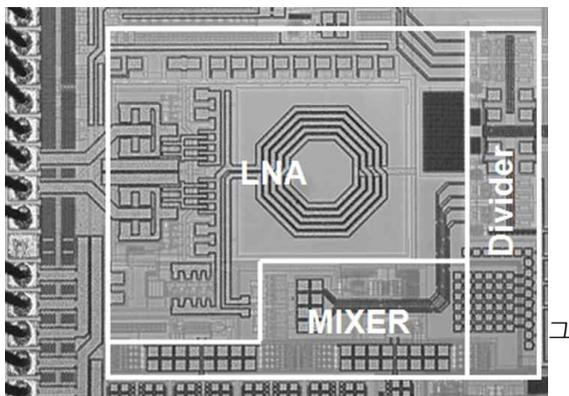


그림 8 RF 프론트-엔드의 칩 마이크로그래프
Fig. 8 RF Front-end chip micrograph

IV. 결 론

본 논문은 ZigBee application에 사용되는 CMOS front-end를 180 μm CMOS 공정기술을 이용하여 설계하였다. Front-end는 off-chip balun과 differential LNA, 그리고 mixer로 구성된다. LNA는 넓은 이득조절범위를 갖도록 하여 -85 dBm에서부터 0 dBm의 입력 신호레벨도 받아들일 수 있으며 피드백 저항을 사용하여 최소한의 노이즈와 저 전력, 그리고 넓은 주파수 범위에서 동작하도록 설계하였다. mixer는 저 전력 동작을 하면서 flicker noise를 줄일 수 있는 current driven passive타입의 구조로 설계하였다. 전체 수신기는 3.28 mA의 전류와 1.8 V 전압을 사용하며 전체 칩의 면적은 1.035 mm^2 이다.

표 1. 성능의 비교

Table 1. Performance comparisons

Metric	[5]	[6]	[7]	[8]	This work
Process [μm]	0.18	0.18	0.18	0.18	0.18
Freq. [GHz]	2.4	2.4	2.4	2.4	2.4
Power [mW]	5.4	16	1.8	6.5	5.7
Gain [dB]	30	38	30	21.4	25
NF [dB]	NA	8	7.3	13.9	4.44
IIP3 [dBm]	-4	-15	-8	-18	-6.5
Architecture	Low-IF	DCR	DCR	DCR	Low-IF

DCR : Direct conversion receiver

감사의 글

이 논문은 2008년도 한국항공대학교 교비지원 연구비에 의하여 지원된 연구의 결과임

참 고 문 헌

- [1] Jianliang Zheng et. al., "Will IEEE 802.15.4 make ubiquitous networking a reality?: a discussion on a potential low power, low bit rate standard", *IEEE Communications Magazine*, vol.42, pp.140-146, 2004. June
- [2] El Ouakadi, A. et. al., "System Level Analysis Of O-QPSK Transceiver For 2.4-GHZ Band IEEE 802.15.4 ZigBee Standard", *Mixed Design of Integrated Circuits and Systems, 2007.MIXED '07.14th International Conference on*, pp.469-474, 2007. June
- [3] Perumana, B.G. et. al., "Resistive-Feedback CMOS Low-Noise Amplifiers for Multiband Applications", *Microwave Theory and Techniques, IEEE Transactions on, Volume.56, Issue.5, Part 2*, pp. 1218-1225, 2008. May
- [4] Sacchi, E et. al., "A 15 mW, 70 kHz 1/f corner direct conversion CMOS receiver", *Custom Integrated Circuits Conference, 2003. Proceedings of the IEEE 2003*, pp.459-462, 2003. Sept.
- [5] P. Choi, H. C. Park, S. Kim, S. Park, I. Nam, T. W. Kim, S. Park, S. Shin, M. S. Kim, K. Kang, Y. Ku, H. Choi, S. K. Park, and K. Lee, "An experimental coin-size radio for extremely low-power WPAN (IEEE 802.15.4) application at 2.4 GHz," *IEEE ISSCC Dig. Tech. Papers*, pp. 92, 2003. Feb.
- [6] I. Kwon, et. al., "A fully integrated 2.4-GHz CMOS RF transceiver for IEEE 802.15.4", *IEEE Radio Frequency Integrated Circuits (RFIC) Symposium*, pp.4, June 2006.
- [7] Nguyen, T.-K. et. al., "A Low-Power RF Direct-Conversion Receiver/Transmitter for 2.4-GHz-Band IEEE 802.15.4 Standard in 0.18- μ m CMOS Technology", *Microwave Theory and Techniques, IEEE Transactionson*, vol.54, Issue. 12, Part 1, pp. 4062-4071, 2006. Dec.
- [8] S. Kim, I. Nam, T. Kim, K. Kang, and K. Lee, "A single-chip 2.4 GHz low-power CMOS receiver and

transmitter for WPAN applications," in *Proc. IEEE Eur. Solid-State Circuits Conf.*, pp.163-166. 2003. Sep.

이 승 민(李承銀)



2008년 2월 : 한국항공대학교 항공전자공학과(공학사)
2008년 3월~현재 : 한국항공대학교 항공전자공학과(공학석사)
관심분야 : RFIC, LNA, mixer

정 춘 식(鄭椿植)



2008년 2월 : 한국항공대학교 항공전자공학과(공학사)
2008년 3월~현재 : 한국항공대학교 항공전자공학과(공학석사)
관심분야 : RFIC, LNA, mixer

김 영 진(金永鎭)



1995년 2월 : 경북대학교 전자공학과(공학사)
1997년 2월 : 한국과학기술원 전기 및 전자공학과(공학석사)
2002년 2월 : 한국과학기술원 전기 및 전자공학과(공학박사)
2006년 9월~현재 : 한국 항공대학교 전자정보통신컴퓨터공학부 교수

관심분야 : RFIC, LNA, mixer, VCO

백 동 현(金東鉉)



1996년 2월 : 한국과학기술원 전기 및 전자공학과(공학사)
1998년 2월 : 한국과학기술원 전기 및 전자공학과(공학석사)
2003년 2월 : 한국과학기술원 전기 및 전자공학과(공학박사)
2007년 9월~현재 : 중앙대학교전자

전기공학부 교수
관심분야 : RFIC, PLL, VCO