

프라스틱 패키징 전과 후 실리콘 칩들의 휨 파괴 유형에 대한 변화

이성민*

인천대학교 신소재공학부

Variation in Flexural Fracture Behavior of Silicon Chips before and after Plastic Encapsulation

Seong-Min Lee*

Department of Materials Science & Engineering, University of Incheon, Incheon, 402-749, Korea

초 록: 본 연구는 실리콘 칩의 휨 강도가 칩 이면에 존재하는 웨이퍼 그라인딩 관련 결함(스크래치)의 존재에 크게 영향을 받을 수 있음을 보여준다. 반면, 플라스틱을 이용하여 몰딩된 패키지 상태에서의 휨 강도는 칩 이면과 패키지 몸체와의 접착력이 우수할 경우 칩 이면의 스크래치에 의해 크게 영향을 받지 않음을 보여준다. 본 논문에서 플라스틱 패키징 전후 스크래치 마크에 대한 휨 강도의 차별화된 의존도가 왜 발생하는지에 대한 설명이 수록되어 있다.

Abstract: This work shows that the grinding-induced scratches formed on the back surface of silicon chips can highly influence the flexural strength of the chips. Meanwhile, in a case that excellent adhesion between the back surface and the plastic package body maintains, the flexural strength of plastic-encapsulated packages is not so sensitive to the geometry of the scratch marks. This article explains why such different flexural fracture behavior between bare chips and plastic-encapsulated chips appears.

Keywords: silicon chip, plastic package, grinding-induced defects, fracture

1. 서 론

반도체 조립과정에 있어서 주요 핵심기술 중의 하나는 개인용 컴퓨터나 휴대폰 등 점차 소형화되어가는 추세에 맞추어 기존의 제품 보다 슬림화된 조립제품을 만들어 내는 것이다. 문제는 반도체 용량의 증가가 IC 칩 면적의 확대를 필요로 하기 때문에 반도체 조립기술이 패키지 면적 보다는 두께를 줄이는 방향으로 발전되어 왔다는데 있다. 실제로 최근들어 고밀도의 반도체 제품에서 0.1 mm 두께 이하의 얇은 패키지 형태로 반도체 칩이 조립되고 있으며, 향후 0.05 mm 정도의 초 박형 패키지 형태로 반도체 칩을 조립하여 생산될

것으로 예상되고 있다. 문제는 IC 용량의 증대에 따른 칩 면적의 확대와 더불어 반도체 칩의 지나친 슬림화는 자칫 칩 크랙 등의 유발로 인해 심각한 신뢰성 문제를 초래할 수 있다는 사실이다. 이와같은 칩 크랙 관련 반도체 패키지 신뢰성 문제는 플라스틱으로 조립되는 메모리 반도체 제품의 경우 특히 심각한 것으로 보고되고 있다.¹⁻⁵⁾ 실리콘 칩과 플라스틱 패키지 사이의 물리적 성질이 매우 상이하기 때문에 해당 제품이 온도 변화를 겪게될 때, 칩이 휨 변형에 의한 손상에 쉽게 노출될 수 있기 때문이다.^{4,5)} 따라서, 반도체 용량의 증가에 따른 실리콘 칩 면적의 확대와 더불어 보다 얇은 조립제품을 만들어 내기 위해서는 칩 자체의

*Corresponding author
E-mail: smlee@incheon.ac.kr

기계적 강도를 높이는 것이 중요하며, 이를 위해 웨이퍼 이면공정을 개선하여 IC 칩 이면에 발생하는 기계적인 결함을 최소화하려는 노력이 필요하다.

2. 실험방법

칩 크랙 발생으로 인한 반도체 조립 제품의 신뢰성 저하를 예방하기 위해 실리콘 웨이퍼의 이면 연마 공정을 현재 반도체 회사에서 보편적으로 채택하고 있는 그라인딩 (Fig. 1참조) 방식을 적용하였다.⁴⁾ 8인치 직경의 실리콘 웨이퍼를 초기 두께인 725 μm 에서 250 μm 까지는 325 mesh (메시)의 grinder (그라인더)를 사용하여 이면 연마 공정을 진행하였다. 최종 두께인 200 μm 까지는 600, 1000, 1500, 2000 그리고 2500 메시의 그라인더를 차별적으로 적용하여 그라인딩 공정을 수행하였다. 이와 같은 차별화는 웨이퍼의 기계적 연마공정으로 인해 칩 이면에 발생하는 스크래치 마크와 같은 결함의 존재에 따른 칩 또는 패키지의 파괴 강도의 유의차를 평가하기 위한 것이다.

본 연구에서 이용된 칩의 면적은 5.5 mm \times 11 mm \times 0.2 mm이고 패키지 규격은 6.5 mm \times 13 mm \times 0.5 mm이다. 이는 현재 양산 중이거나, 개발 중인 반도체 제품의 규격을 고려하여 선택한 것이다. 칩의 기계적 강도에 대한 평가를 위한 실험 방법으로는 3점 굴곡시험이 적용되었다.⁴⁾ 3점 굴곡시험 (3-point bending test)에서는 시편의 밑면을 두

개의 작은 봉 (직경: 0.5 mm)으로 10 mm의 간격으로 지지시키고, 다른 작은 봉을 시편의 윗면 중앙에 위치시킨 다음 압축 하중을 가하여 해당 시편의 휨 강도를 평가할 수 있도록 하였다. 본 굴곡시험은 만능시험기에 설치된 실험 그립에 압축력을 가하여 수행되며, 어떤 경우든 TPBT(three-point bending test)에서 일반적으로 제시되는 것처럼 하중 값이 급격히 떨어지는 시점이 칩의 파괴가 일어나는 순간이며, 이때의 응력을 파괴강도로 규정하였다. 실험적 오차를 극복하기 위해 각각의 실험조건에 대해 최소 10개 이상의 시편들을 테스트하여 얻어진 평균값으로 파괴강도 값을 결정하였다. 실리콘 웨이퍼의 이면 연마 공정에 따라 발생하는 칩 이면의 결함이나 굴곡실험 진행 후 해당 부위에서 균열의 발생 여부를 확인하기 위해 광학현미경 (OM)과 전자현미경 (SEM)이 이용되었다.

3. 실험결과

Fig. 1은 개별 반도체 칩으로 분리되기전 웨이퍼 상태에서 칩의 두께를 조절하기 위한 웨이퍼 그라인딩 공정을 도식적으로 보여주는 그림이다. 웨이퍼의 전면에는 이미 디바이스가 장착되어 있는 상태이기 때문에 두께 조절은 웨이퍼 이면을 Fig. 1에서와 같이 다이아몬드 입자를 매개체로한 그라인더로 고속회전 시켜 그에 따른 마찰에 의해 웨이퍼의 표면이 갈려 나가는 방식으로 진행된다. 일반적으로 미세한 다이아몬드 입자로 구성된 그라인더 (1000 메시 이하)들의 경우 725 μm 의 웨이퍼를 원하는 두께 (보통 200 μm 이하)까지 갈아주기 위해서는 많은 시간과 경비가 필요하므로, 1단계에서는 325 메시의 거친 그라인더를 고용하여 고속으로 웨이퍼의 두께를 줄인 다음 마지막 5-10 μm 에 해당하는 웨이퍼의 최종 그라인딩을 위해 미세한 그라인더를 고용하여 작업하게 된다. 이때, 거친 그라인딩은 물론 파인 그라인딩이 완성된 후에는 필연적으로 웨이퍼 이면에는 그라인딩 자국 (grinding-induced marks)이 남게된다.¹⁾

Fig. 2는 실질적인 그라인딩 작업이 진행된 후 웨이퍼 이면에 존재하는 그라인딩 자국을 보여주는 전자현미경 사진이다. 이때 주목할 것은 웨이퍼를 각각의 디바이스로 분리하게 되면 (즉, 개별 칩으로 잘리게 되면) 각각의 독립 칩 이면에 존재

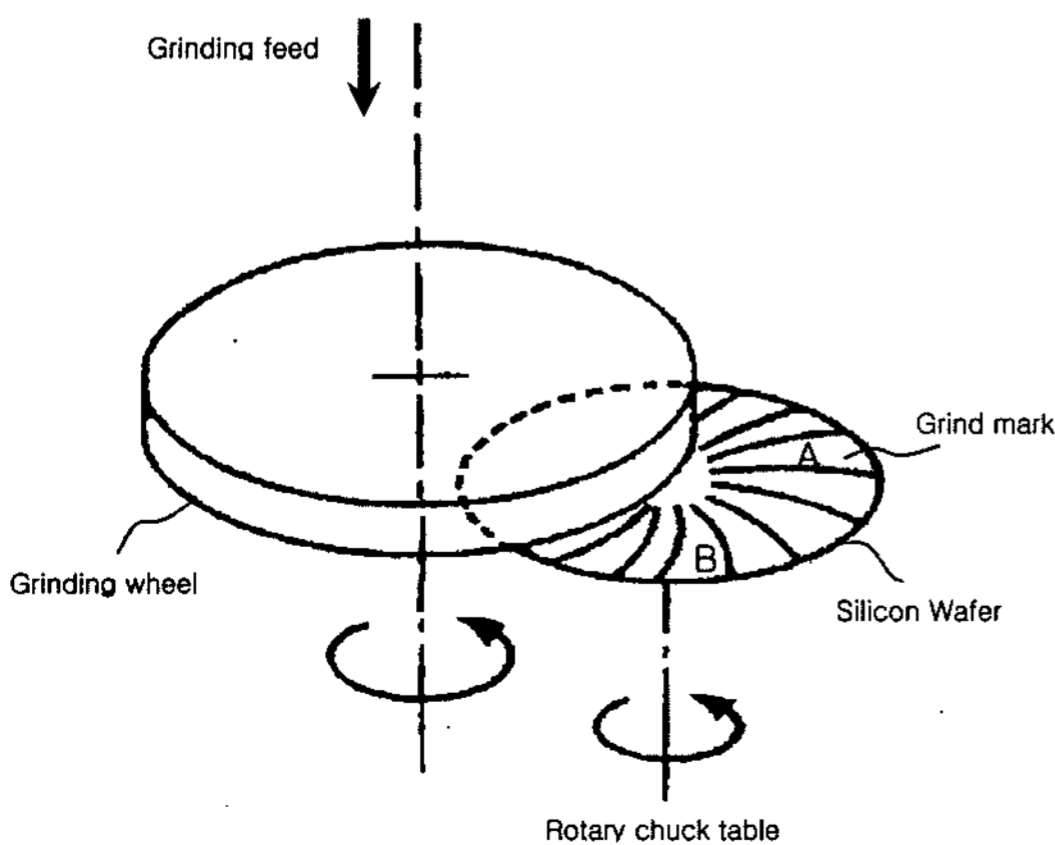


Fig. 1. Wafer grinding process.

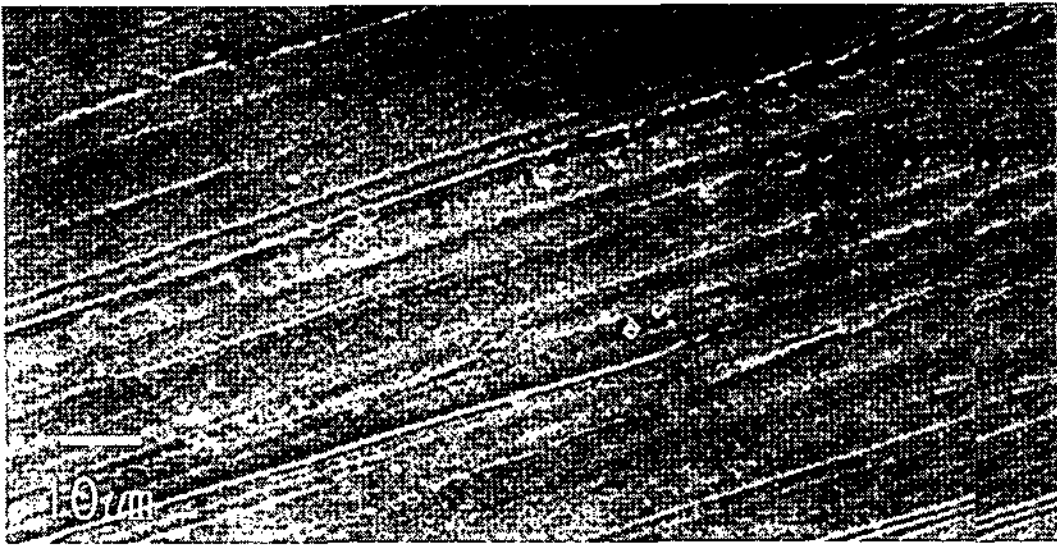


Fig. 2. Micrograph showing grinding-induced scratches on chip surfaces.

하는 그라인딩 마크들은 웨이퍼 상에 칩의 위치에 따라 다른 방향성을 가질 수 있다는 것이다. 예를 들어, Fig. 1에서 A의 위치에 존재했던 칩과 B의 위치에 존재했던 칩의 이면의 스크래치 마크는 서로 수직의 관계에 놓이게 될 것이며, 그에 따른 칩의 휨 강도는 당연히 달라질 것이다. 따라서, 깊이나 방향성이 다른 스크래치 마크를 가진 칩들은 플라스틱 처럼 저강도의 패키지로 몰딩하였을 때 패키지 강도에 어떠한 영향을 미칠 수 있는지를 분석하는 것은 매우 흥미 있는 연구이다. 또한, 그 영향력이 패키징 전의 칩들과 대비하여 어떤 변화 나타내는지를 평가하는 것 또한 흥미로운 연구가 될 수 있다.

같은 방향성을 가진 칩들을 메시 크기 (즉, 스크래치 깊이)만을 변화 시켰을 때의 휨 변형에 대한 파괴강도와 플라스틱 패키징 후 이들의 파괴강도를 비교한 실험결과를 Fig. 3에 나타내었다. 예상되었던 것처럼 패키징 전 칩들의 파괴강도는 메시 크기가 작을수록 감소하는 경향을 보인다. 이는

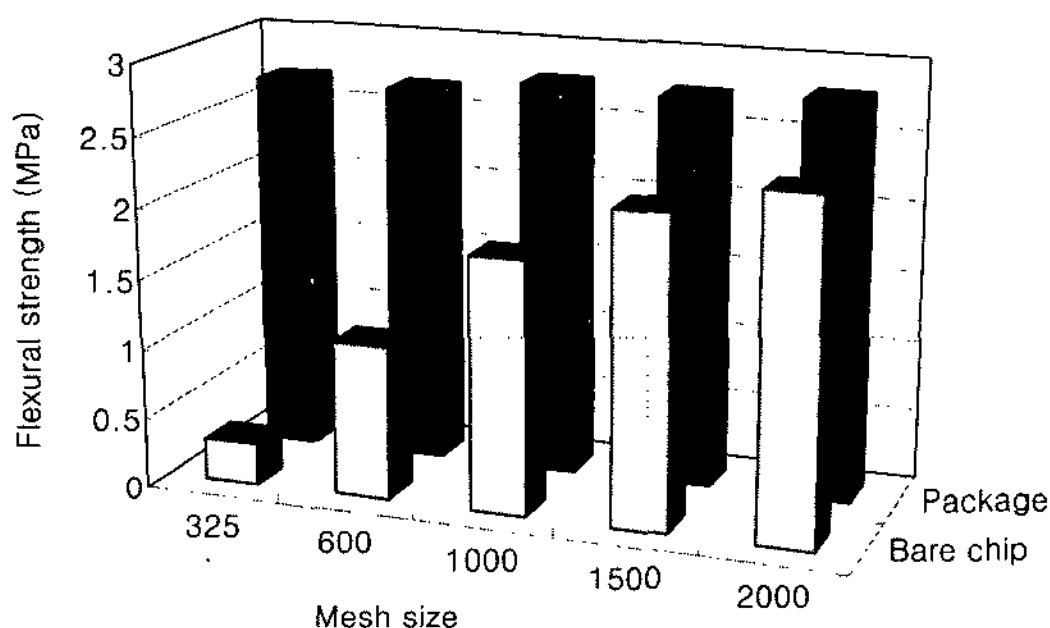


Fig. 3. Flexural strength of chips before and after plastic encapsulation.

메시 크기가 작을 때 즉, 스크래치 깊이가 깊을수록 파괴의 가능성이 그만큼 커지기 때문이다.

그러나, 패키징 후에는 이러한 현상이 나타나지 않는다. 패키징 후 그라인딩 마크의 깊이가 깊을 때 패키징 전의 칩들에서 나타나는 휨강도 저하가 나타나지 않는 것은 웨이퍼 이면에 존재하는 그라인딩 마크는 칩 이면과 플라스틱 패키지 몸체와의 접착력과 패키징 몸체의 무른 특성에 의해 영향을 받기 때문으로 해석할 수 있다. 즉, 그라인딩 마크가 깊을 경우 그라인딩 마크 속으로 플라스틱 패키징 재질이 효과적으로 침입하여 칩과 플라스틱 패키지 몸체 사이에 접착력이 증진된다. 그 결과, 패키지 몸체가 휨 변형의 일부를 흡수하게 되어 내부 칩 파괴를 지연하는 효과를 얻게 되며, 이러한 현상이 깊은 스크래치를 가진 칩들이 패키징 후 파괴강도가 저하되지 않는 이유인 것으로 예측된다.

칩 이면의 거칠기와 플라스틱 패키징 몸체 사이의 접착력이 패키징 강도에 어떠한 영향을 미칠 수 있는지에 대한 확인을 위해 이면의 거친 정도가 차별화된 칩들을 플라스틱 패키징하여 이들의 파단면을 비교해 보았다. 그 결과 325 메시의 거칠기로 이면 연마된 칩의 경우 칩 이면과 플라스틱 패키지 몸체 사이의 박리가 대단히 적었으며 (Fig. 4a 참조), 칩과 패키지의 손상이 비슷한 양상으로 발생하였다는 것을 알 수 있었다. 즉, 대단히 거친 스크래치를 가진 칩들을 포함하는 패키지들은 패키지 몸체와 칩의 구분 없이 시편의 중앙부 위에서 급격한 파단에 의해 패키지 전체가 함께 손상된 모습을 보였다. 반면, 2000 메시의 거칠기로 연마된 칩들을 포함하는 플라스틱 패키지들은 일차적으로 칩 이면과 플라스틱 패키지 몸체와의 박리 정도가 325 메시에 비해 훨씬 더 많이 발생했다는 것을 확인할 수 있었다. (Fig 4b 참조) 또한, 2000메시의 경우 칩과 패키지의 파괴된 양상이 325 메시에서와 같이 패키지 전체에서 발생하기 보다는 파괴가 칩에서 우선적이고 독립적으로 발생한다는 것을 확인할 수 있었다. (Fig 4b 참조)

위의 결과로 추론해 볼 때, 325 메시의 경우처럼 칩과 패키지 몸체와의 사이에는 몰딩과정에서 부터 효과적인 접착이 이루어진 상태에서 휨 변형에 대응하게 되어 외부에서 휨 변형이 가해질 때 플라스틱 패키지 몸체는 외부의 휨 변형을 어느 정도

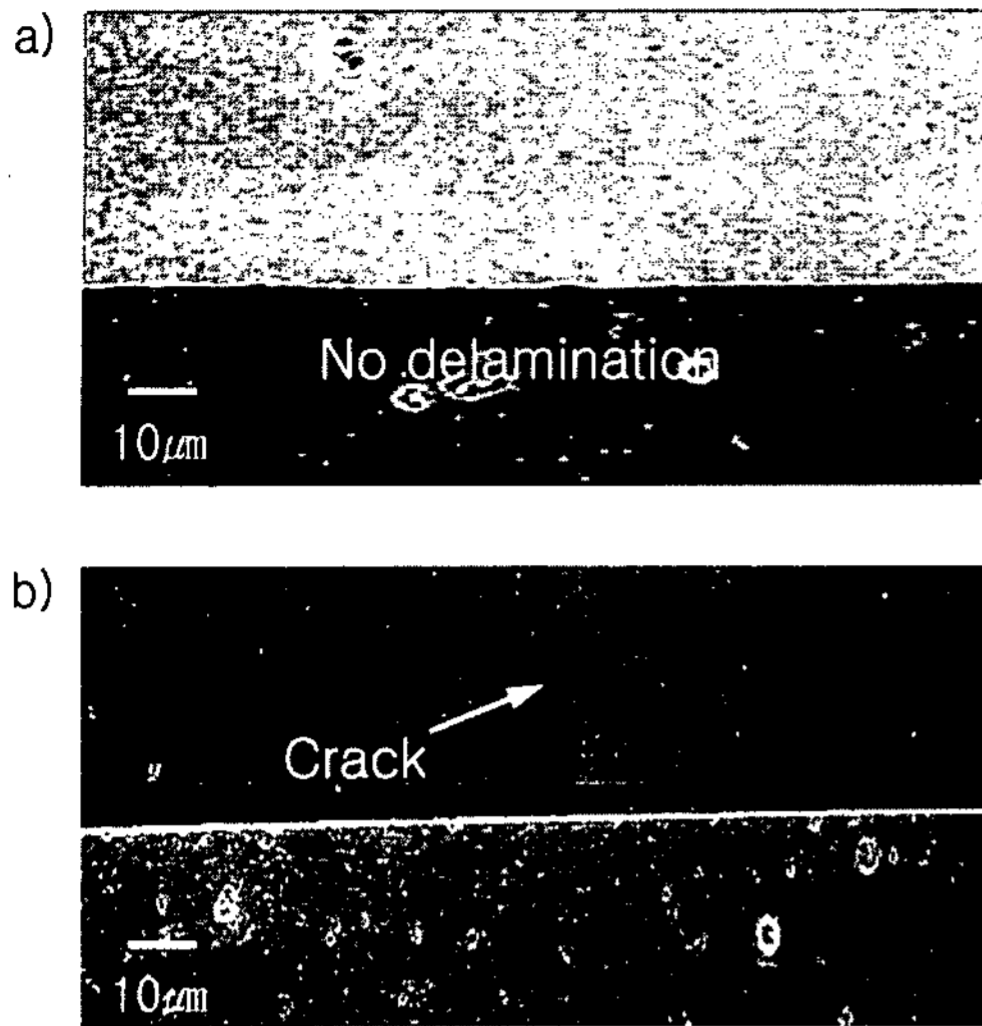


Fig. 4. Cross-sectional views of plastic encapsulated chips subjected to different grinding conditions: a) 325 mesh, and b) 2000mesh.

영구변형에 의해 흡수할 수 있기 때문에 칩에 가해지는 휨 변형의 상당부분을 완화시킬 수 있기 때문에 패키지의 휨 강도가 칩 자체 보다는 훨씬 높은 파괴 강도를 나타내는 것으로 볼 수 있다.

반면, 2000 메시의 경우에는 매끄러운 칩 이면과 패키지 몸체 사이의 접착력이 불량하여 몰딩과정에서 부터 효과적인 접착력을 기대하기 어렵다. 따라서, 3점 골곡실험이 실시되면 칩 이면과 패키지 몸체 사이의 박리 현상이 쉽게 일어날 수 있고, 그에 따라 외부에서 가해진 휨 변형은 패키지 몸체에 의해 일차적으로 흡수되지 못하고 바로 칩 이면에 전달된다. 그 결과, 외부의 휨 변형이 칩 이면의 스크래치 마크에 직접적으로 작용하게 되므로 스크래치의 깊이가 깊지 않은 경우라도 파괴에 대한 저항력이 기대치에 미치지 못하는 것으로 판단된다.

4. 고 찰

스크래치를 갖는 칩을 포함하는 패키지의 휨 변형이 Fig. 5에 도식적으로 보여진다. 실리콘 칩 자체가 영구변형에 의해 외부에서 가해진 힘을 수용하기 보다는 탄성변형 후 취성파괴 되는 재질이기 때문에 실리콘 칩 이면에 존재하는 그라인딩 마크(즉, 노치)에 발생하는 응력집중도는 칩의 취성과

과 나아가 패키지의 휨강도를 결정하는데 있어서 대단히 중요한 요인이다. Fig. 6에서 나타낸 도면에서 처럼 시편 이면에 노치를 만들어 휨변형에 지배되도록 했을 때, 해당 노치에 발생하는 응력집중도 (K)는 다음과 같은 수식으로 표현될 수 있다.¹⁾

$$K = PL\{2.9(c/t)^{1/2} - f(c/t)\}/Wt^{3/2} \quad (1)$$

이때, P: 하중, L: 지지판 사이의 거리, c: 결함의 크기, W: 시편의 폭, t: 시편의 두께, f: 함수

이때, 시편 이면에 존재하는 그라인딩 마크처럼 칩 두께에 비해 노치(즉, 가장 깊은 스크래치 마크)의 깊이가 작을 때 노치 끝에 발생하는 응력집중인자는 대략 다음과 같은 값으로 나타낼 수 있다.

$$K \propto \sqrt{c}/t^2 \quad (2)$$

식 [2]는 노치 끝에서의 응력집중도가 시편의 두께에 대단히 민감하다는 것을 보여준다. 그러나, 식 [2]는 노치의 깊이가 대단히 작을 때, 시편 이면에 발생하는 응력집중인자 값은 거의 제로에 접근할 수 있다는 것을 보여준다. 즉,

$$\sqrt{c}/t^2 \rightarrow 0; K \rightarrow 0 \quad (3)$$

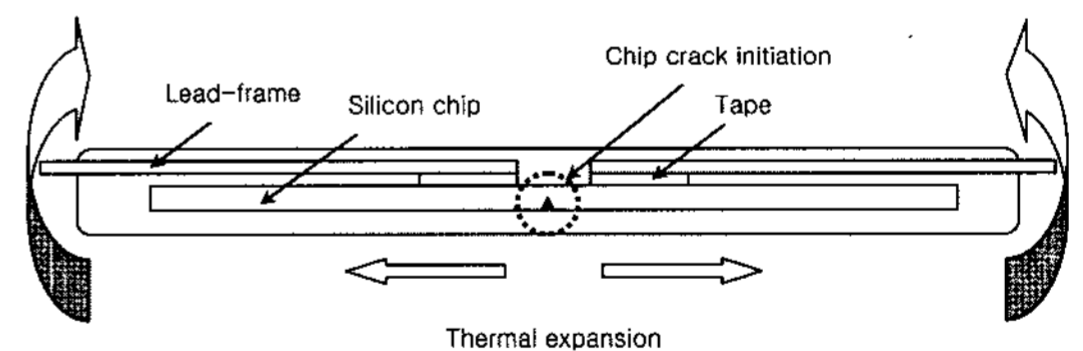


Fig. 5. Schematic showing the plastic package subjected to bending displacement.

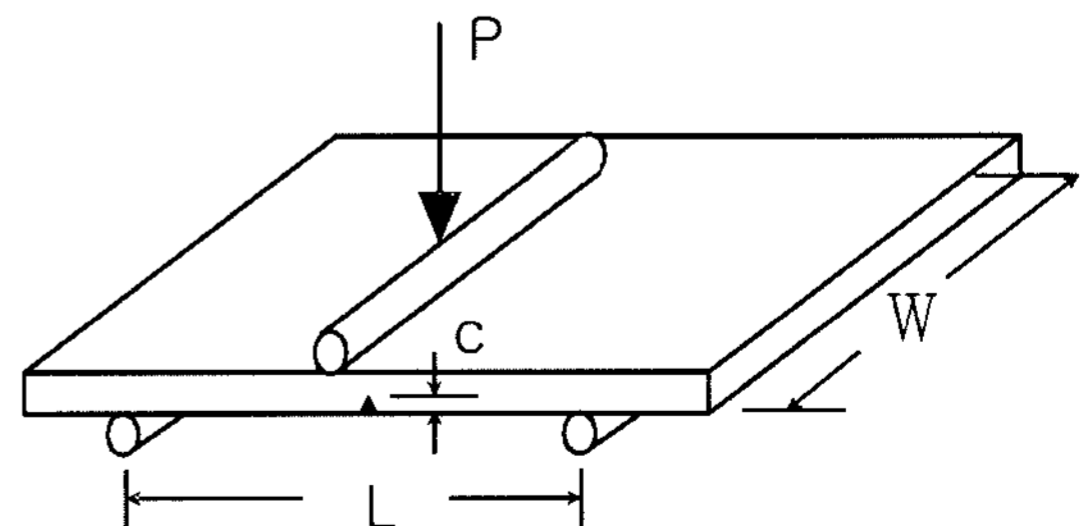


Fig. 6. Hypothetical plate model developed to reflect the specimen with defects.

식 [3]은 패키징 후의 칩이 패키징 전의 칩들에 비해 스크래치 마크의 영향이 왜 작은지를 설명해 준다. 즉, 칩 이면에 존재하는 스크래치 마크의 깊이 (c) 보다는 패키지의 두께가 시료의 휨 강도에 더욱 더 큰 영향력을 갖기 때문에 비록 패키징 후 칩 이면에 스크래치 마크의 깊이 (c)가 깊다 하더라도 칩과 잘 결합된 패키지의 두께 (t)는 이러한 스크래치에 발생하는 응력집중 현상을 상당히 무마시켜 줄 것으로 예측되기 때문이다.

요 약

본 연구에서는 웨이퍼의 이면연마 과정에서 필연적으로 남게 되는 스크래치 마크를 가진 칩들을 프라스틱 패키징하여 휨 강도를 평가하였다. 칩의 휨 강도는 스크래치 마크의 깊이에 따라 크게 영향을 받지만, 패키지 상태에서는 그 영향력이 크지 않다는 것을 알 수 있었다. 분석결과 거친 스크래치를 가진 칩들은 프라스틱 패키지 몸체와의 결합력이 양호하여 칩 이면의 스크래치 마크에 집중될 수 있는 응력을 패키지 몸체에 의해 상당부분 흡수할 수 있기 때문인 것으로 평가되었다. 따라서, 얇은 패키지의 개발을 위해서는 칩 이면에 존재하는 스크래치의 제거뿐만 아니라 칩과 패키지 몸체 사이의 접착력 향상을 위한 방안이 함께 고

려되어야 한다는 것을 알 수 있다. 또한, EMC재질 개선에 의해 웨이퍼 그라인딩 공정 단순화를 이루어 제품의 가격 경쟁력을 높일 수 있을 것으로 전망된다.

후 기

본 연구는 2007년도 인천대학교 자체연구비에 의하여 수행되었기에 이에 감사 드립니다.

참고문헌

1. S.M. Lee, S.M. Sim, T.W. Chung, Y.K. Jang and H.K. Cho, "Fracture strength measurement of silicon chips" *Jpn. J. of Appl. Phys., Part 1*, 6A, 3374-3379 (1997).
2. S.M. Lee, "The effect of manipulating lead-on-chip package design on reliability of semiconductor devices" *J. Kor. Inst. Met. & Mater.*, Vol. 42, No 8, 429-433 (2004).
3. S.M. Lee, "The effect of dual wafer back-lapping process on flexural strength of semiconductor chips" *Kor. J. of Mat. Res.*, Vol. 15, No 3, 183-188 (2005).
4. S.M. Lee, "A study of fracture strength of LOC packages with silicon chips" *J. Kor. Inst. Met. & Mater.*, Vol. 44, No 3, 181-185 (2006).
5. S.M. Lee, "Dependence of fracture strength of plastic-encapsulated packages on temperature" *J. Kor. Inst. Met. & Mater.*, Vol. 45, No 7, 429-433 (2007).