

## Neutralization을 이용한 주파수 변환기 설계

### Design of Mixer using Neutralization Technique

최문호<sup>1</sup>, 최원호<sup>2</sup>, 김영석<sup>1,a</sup>

(Moon-Ho Choi<sup>1</sup>, Won-Ho Choi<sup>2</sup>, and Yeong-Seuk Kim<sup>1,a</sup>)

#### Abstract

In this paper, a 2.4 GHz low-voltage CMOS double-balanced down-conversion mixer using neutralization technique has been proposed and verified by circuit simulations and measurements. The grounded source structure was used for low-voltage operation. The neutralization technique was used to improve a conversion gain. The proposed mixer is fabricated in 0.25 μm CMOS process for a 2.4 GHz wireless receiver. The mixer consumes 1.94 mW and gives conversion gain of 5.66 dB, input IP3 of 0.7 dBm and P1dB of -11.2 dBm at 1.5 V power supply. Measured results for the designed mixer show improved conversion gain of 2.86 dB over conventional mixer of grounded source structure.

**Key Words** : Low voltage mixer, Neutralization technique, RFIC, CMOS

#### 1. 서 론

정보화 시대에 발맞추어 휴대용 무선 통신기기의 수요가 빠르게 성장하고 있으며, 요구되는 성능도 점차 저전압 저전력 고성능화 되고 있다. 무선 통신 기기의 성능은 고주파 송수신부에 크게 좌우되며, 경쟁력을 가지기 위해서는 고집적, 저전력 설계가 필요하다.

무선통신 기기의 고주파 송수신단에서 핵심적인 블록중의 하나인 주파수 변환기는 고주파 송수신단(RF transceiver)에서 주파수를 변환하는 중요한 역할을 한다. 주파수 변환기는 송신단(transmitter)에서 기저대역(baseband) 신호를 고주파로 변환하는 상향변환(up-conversion)과, 수신단에서 수신된 고주파 신호를 기저대역 신호로 변환하는 하향변환(down-conversion)으로 나누어진다.

휴대용 무선통신 기기의 동작시간을 늘리고 크기를 줄여 경쟁력을 갖기 위해서는 저전력 동작이

필요하다. 저전력 동작을 실현하기 위해서는 회로의 동작전압을 낮추는 방법이 효과적이다. 그러나 동작전압은 이득, 선형성과 상충관계를 가지므로, 저전압 동작에 따른 선형성과 이득의 감쇠를 보상해 줄 필요가 있다.

주파수 변환기의 동작전압을 낮추는 방법으로는 폴디드(folded) 구조를 사용하는 방법, 바이어스 전류원 대신에 인덕터를 사용하는 방법, 그라운드 소오스 구조를 사용하는 방법, 능동부하를 사용하는 방법, 전계 효과 트랜지스터의 바디를 이용하는 방법 등이 있다[1-5].

본 논문에서는 2.4 GHz ISM 주파수 대역의 Low-IF 수신기를 위한 그라운드 소오스 구조의 하향 주파수 변환기를 설계하였으며, 저전압 동작에 따른 이득의 감쇠를 neutralization 기법을 적용하여 보상하였다. Neutralization을 적용한 주파수 변환기의 성능과 일반적인 그라운드 소오스 구조 주파수 변환기의 성능을 비교 분석하여, neutralization 기법에 의한 성능향상을 모의실험과 측정결과를 통해 확인하였다.

본 논문의 2장에서는 일반적인 무선통신 수신단의 구조와 주파수 변환기의 동작 원리를 소개하였고, 3장에서는 저전압 주파수 변환기의 종류 및 설계방법과 이를 바탕으로 새롭게 제안하는 neutralization

1. 충북대학교 반도체공학과  
(충북 청주시 흥덕구 성봉로 410)  
2. 삼성전자 반도체총괄  
a. Corresponding Author : kimys@cbu.ac.kr  
접수일자 : 2008. 2. 22  
1차 심사 : 2008. 3. 12  
심사완료 : 2008. 3. 22

기법을 이용한 저전압 주파수 변환기의 설계와 모의실험 결과를 보여주었고, 4장에서는 제작된 칩의 측정결과를 확인하였으며, 마지막으로 5장에서 결론을 맺었다.

## 2. 기존의 주파수 하향변환기의 설계

무선 통신기기의 수신단은 사용되는 중간주파수에 따라 헤테로다인, 호모다인 및 low-IF 구조가 있다. 헤테로다인 수신 방식은 1918년 Edwin Armstrong에 의해 발명된 이후 현재까지 사용되고 있는 성능이 검증된 구조이다. 그림 1은 일반적인 헤테로다인 수신기를 보여준다. 안테나를 통해 들어온 고주파 무선 신호는 전치선택(preselection) 필터를 통해 필요한 대역의 신호만 통과된다. 통과된 신호는 굉장히 작은 크기를 가지므로, 저잡음증폭기(LNA)를 통해 신호성분이 증폭된다. 이 신호가 직접 주파수 변환기를 거치게 되면, 그림 2에 나타난 것처럼 이미지 성분이 신호 대역에 나타나기 때문에, IR(Image Rejection) 필터를 통해 이미지 성분을 제거해야 한다. 첫 번째 주파수변환기를 거치며 중간 주파수로 변환되고, 변환된 신호는 필터를 통해 필요 없는 하모닉 성분들이 제거되며, VGA(Variable Gain Amplifier)를 통해 증폭된다. 증폭된 신호는 두 번째 주파수 변환기를 거쳐 저대역 신호로 변환되며, 저역통과 필터를 통해 하모닉성분을 제거하고 아날로그-디지털 변환기(ADC: Analog to Digital Convertor)를 통해 디지털 처리 부분의 입력으로 들어간다.

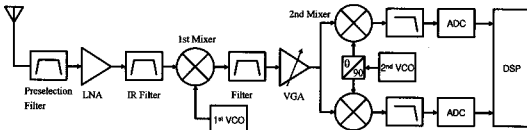


그림 1. 일반적인 헤테로다인 수신기.  
Fig. 1. Conventional heterodyne receiver.

이 구조에서 사용되는 대역통과 필터들의 Q값은 중심주파수/대역폭( $f_c/BW$ ) 으로 결정되기 때문에 높은 Q값을 갖아야 한다. 보통 높은 Q값을 갖는 SAW(Surface Acoustic Wave), 세라믹 필터 등을 외부소자로 사용한다. 그러므로 고주파 수신부를 단일 칩(chip)으로 제작이 불가능하고, 수신부 제조비용이 증가한다[6-8].

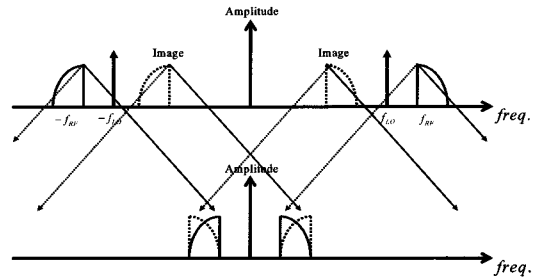


그림 2. 입력신호와 지역발진기 주파수가 다른 경우의 주파수 변환.

Fig. 2. Frequency conversion when frequency of a local oscillator is different from the input.

주파수 변환기에 사용되는 소자는 다이오드(diode), 쌍극자 접합 트랜지스터(BJT), 표면 효과 트랜지스터(FET) 등의 비선형 소자가 사용된다. 주파수 변환기의 종류는 변환 이득의 유무에 따라 크게 수동형과 능동형으로 나눌 수 있으며, 각각 구조에 따라 unbalanced, single balanced, double balanced 로 구분할 수 있다.

수동 주파수 변환기는 변환손실을 갖고, 높은 선형성을 갖는 특성이 있다. 능동 주파수 변환기는 고주파 트랜스컨덕터 단(transconductor stage)과 지역발진기에 의한 스위칭 단(switching stage)으로 구성되어 있다. 쌍극자 접합 트랜지스터와 표면 효과 트랜지스터 등이 사용된다. 고주파 입력과 중간주파수 출력이 모두 단상일 경우 unbalanced, 입력은 단상 출력은 차동일 경우 single balanced(그림 3(a)), 모두 차동일 경우 double balanced(그림 3(b))로 구분한다. 그림 3(b)의 경우 일반적으로 길버트셀(Gilbert cell) 주파수변환기로 알려져 있다.

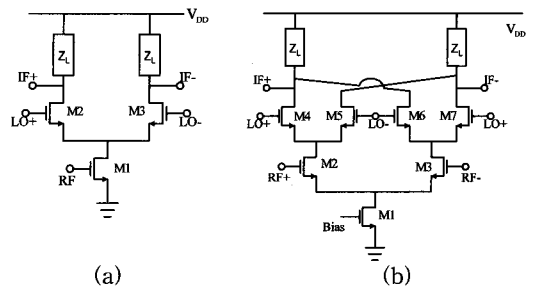


그림 3. 능동 주파수 변환기 (a) single balanced (b) double balanced.

Fig. 3. Active mixer (a) single balanced (b) double balanced.

Single balanced와 double balanced 구조가 많이 사용되며, double balanced 구조가 변환이득과 노이즈 특성이 좋지만, 입력과 출력이 모두 차동이기 때문에 구현과 측정의 어려움이 있다.

무선통신기기의 저전력 동작은 휴대용 기기의 동작시간을 늘리고, 배터리의 크기를 줄여 기기의 무게와 크기를 줄일 수 있는 근본적인 방법이다. 저전력 동작을 구현하는 방법으로 전체 시스템을 효율적으로 운용하는 방법과 동작전압을 낮추는 방법이 있다[1]. 주파수 변환기 등 시스템의 한 부분의 전력을 줄이기 위해서는 동작전압을 낮추는 방법이 효과적이다. 낮은 동작전압으로 회로를 동작시키는 방법으로는 집적회로 내에서 전압증배를 통해 다시 높은 전압으로 회로를 동작시키는 방법과 낮은 전압에서 동작하는 회로를 설계하는 방법이 있으며, 후자의 경우가 더 효과적이다[1,9].

일반적인 double balanced 주파수 변환기(그림 3(b))를 저전력 동작시키기 위해서 단순히 전류를 적게 흘리는 방법을 생각할 수 있다. 이 때  $V_{GS}$ 를 낮추는 방법보다는 트랜지스터의 크기를 작게 하는 것이 더 효과적이다. 여기서  $V_{GS}$ 는 게이트와 소오스 양단의 전압이다.  $V_{GS}$ 를 낮추면 주파수 변환기의 선형성이 나빠지기 때문이다. 휴대용 기기에 필요한 주파수 변환기를 저전력 동작시키기 위해서는 배터리의 전압에 한계가 있기 때문에, 낮은 동작전압에서 동작하도록 하는 방법이 효과적이다 [8]. 그림 3(b)의 회로에는 3개의 스택(stack)이 존재하므로 동작 전압을 낮추면 트랜지스터들이 충분히 포화 영역에 있지 않기 때문에 이득이 많이 감소하게 된다[2,10].

공급전압을 낮추기 위해 폴디드(folded) 구조로 설계하는 방법, 능동부하를 사용하는 방법, 그림 3(b)에서 전류원 M1 대신에 인덕터를 사용하는 방법, grounded source를 사용한 방법, 트랜스포머(transformer)를 사용하는 방법, 그리고 전계효과 트랜지스터의 바디(body)를 신호 입력으로 사용하는 방법 등이 있다.

폴디드 구조는 그림 4과 같으며, 트랜스컨덕터 단과 스위칭 단을 병렬로 연결시킨 구조로 되어 있다. 오른쪽의 트랜스컨덕터 단과 왼쪽의 스위칭 단이 병렬로 연결되어 있는 것을 알 수 있다. 트랜스컨덕터 단에서 고주파 신호를 전류로 변환하고, 왼쪽의 스위칭 단을 통해 주파수가 변환되어 부하를 통해 중간주파수 출력이 나온다. 부하에 LC 트랩(trap)을 사용하면 부하에 걸리는 직류 전압강하를 없애 더 낮은 전압에서 회로를 동작시킬 수 있다. 그러나 폴디드 구조는 많은 전류를 필요로 하는 문제가 있다[1,2].

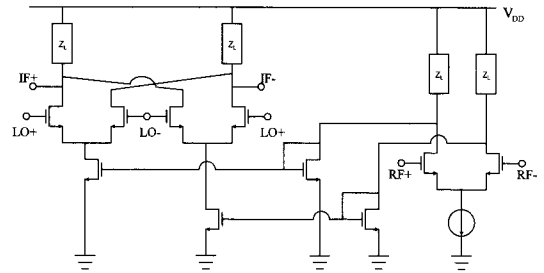


그림 4. 폴디드 구조의 주파수 변환기.  
Fig. 4. The mixer using folded structure.

주파수 변환기의 출력 부하를 저항 대신에 능동 부하를 사용하면 전압을 낮출 수 있다. 그러나 출력에 플리커 잡음을 증가시키기 때문에 Low-IF 나 호모다이인 구조를 같은 시스템에는 적절하지 않다. p-채널 전계효과 트랜지스터를 능동 부하로 사용하면 n-채널 전계효과 트랜지스터를 사용하는 것 보다 플리커 잡음을 줄일 수 있다[1].

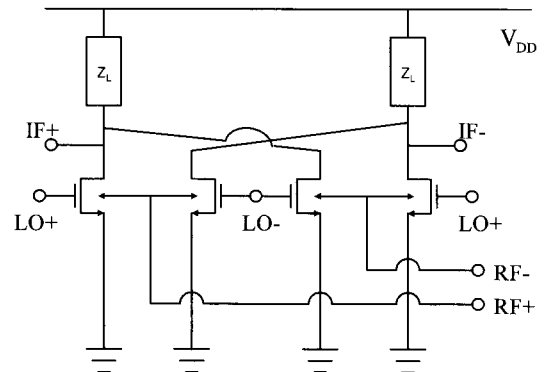


그림 5. 바디를 이용한 주파수 변환기.  
Fig. 5. The mixer using transistor body.

그림 5와 같이 전계 효과 트랜지스터의 바디(body)를 신호의 입력으로 사용하는 방법이 있다 [2-4]. 바디 전압의 변화에 따라 문턱전압이 변화하는 것을 이용한 방법이며, 바디에 고주파신호를 입력하는 방법과 지역발진기 신호를 입력하는 방법이 있다[3,4]. 그러나 트리플 우물(triple well)을 지원하는 특수한 제작공정을 필요로 하는 단점이 있다.

전류원 대신에 인덕터를 사용하는 방법은 그림 6과 같으며 직류 전압 강하를 없애 회로의 스택을

3개에서 2개로 줄일 수 있다. 그러나 공정에 의해 집적되는 인덕터는 많은 면적을 차지하고, 인덕터 용량에 한계가 있다[11]. 그리고 많은 기생 성분들에 의한 기판 커플링으로 인해 주변신호들이 출력에 나타날 수 있다. 트랜스포머를 사용하는 방법 역시 인덕터를 사용하는 방법처럼, 트랜스포머를 집적시키면 큰 면적을 차지하고, 정확한 모델링이 어렵다[5].

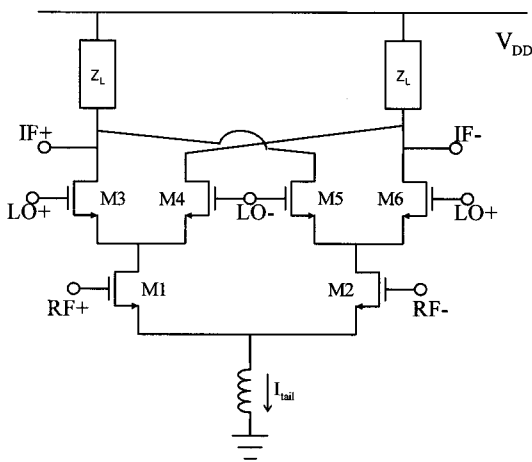


그림 6. 인덕터를 전류원으로 사용한 방법.

Fig. 6. The mixer using an inductor for current source.

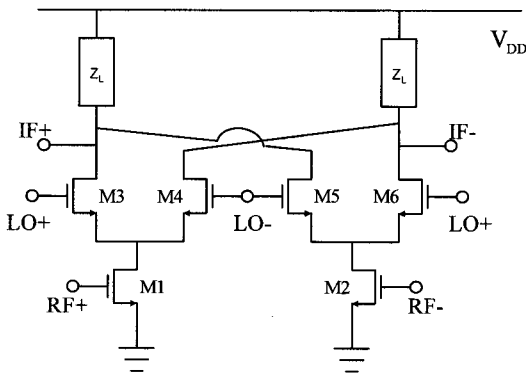


그림 7. 그라운드 소오스를 사용한 구조.

Fig. 7. The mixer using ground source structure.

그림 7은 전계 효과 트랜지스터의 소스를 직접 접지에 연결하는 그라운드 소오스 방법이다[4]. 트

랜스컨덕터 단이 차동구조는 아니지만, 고주파 입력에 대해서는 차동 동작을 한다. 이 구조는 차동 구조에 비해 같은 전류 조건에서 선형성이 높은 특성을 갖는다[12]. 본 논문은 그라운드 소오스 구조를 이용하여 저전압에서 동작하는 주파수 변환기를 설계하였다.

### 3. 제안된 Neutralization을 이용한 주파수 하향변환기 설계 및 모의실험

Neutralization 기법은 고주파 증폭기의 이득 향상과 역방향 격리도를 증가시키는 특성을 갖는다. 1920년대에 Harold Wheeler에 의해 AM 라디오방송을 위해 개발되었으며, 고주파증폭기를 안정적으로 높은 이득을 갖게 하여 이득단과 진공관 수를 줄여 비용의 절감을 가져왔다[6].

그림 8에서, M1과 M2의 게이트에 고주파신호 입력을 갖고, neutralization 기법이 적용된 고주파 증폭기이다. Neutralizing 캐패시터  $C_N$ 이 없는 경우, M1의 기생 캐패시터 성분 게이트와 드레인 사이  $C_{GD}$ 에 의해 원하지 않는 신호 성분이 커플링되어 출력에 나타나게 되며, 이 신호는 증폭기의 이득에 나쁜 영향을 미친다.

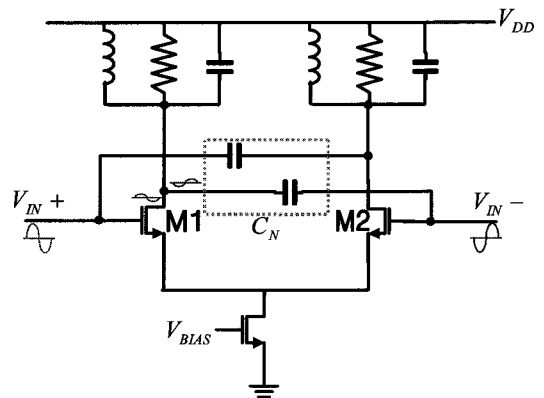


그림 8. Neutralization 기법.

Fig. 8. Neutralization technique.

Neutralizing 캐패시터  $C_N$ 을 첨가 할 경우,  $C_{GD}$ 에 의한 원하지 않는 신호성분을  $C_N$ 을 통해 커플링된 역위상의 신호를 통하여 제거할 수 있다. 그러므로, 증폭기의 이득을 향상시킬 수 있다.

모의실험은 CADENCE사의 SPECTRE RF 프로그램을 사용하여 진행하였으며, TSMC 0.25  $\mu\text{m}$  고

주파수호 공정 라이브러리를 사용하였다. 동작전압 1.5 V, 부하저항 1 kΩ, 전력소모 2 mW 이내에서 트랜지스터의 크기와 직류 바이어스 전압을 조정하였으며, 입출력 포트의 기생 성분인 본딩 와이어 (bonding wire)의 인덕턴스 2 nH, 패드의 기생 캐패시턴스 75 fF 성분을 고려하여 모의실험을 진행하였다.

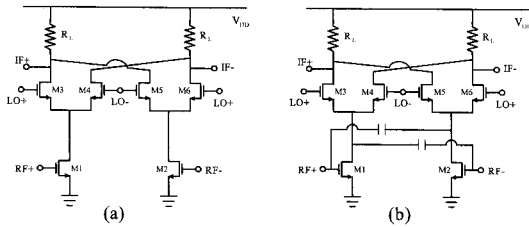


그림 9. 주파수 변환기, (a) 그라운드 소오스 구조, (b) neutralization 기법 적용.  
 Fig. 9. The mixer, (a) grounded source structure (b) neutralization technique.

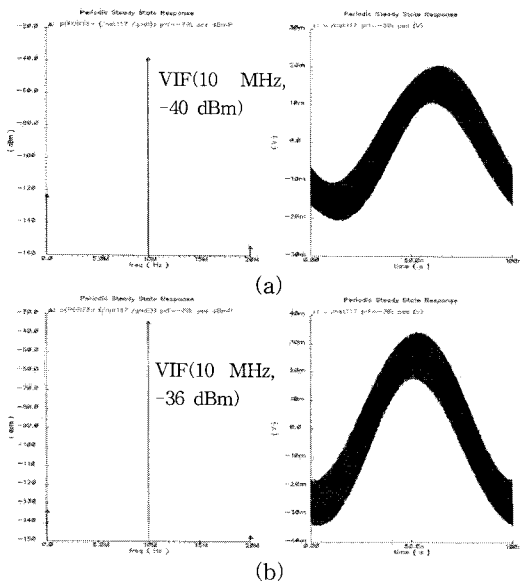


그림 10. 주파수 변환기의 출력 주파수와 파형 (a) 그라운드 소오스 (b) neutralization.  
 Fig. 10. Output frequency and a wave form of mixer (a) grounded source (b) neutralization.

그림 9는 모의실험에 사용된 주파수 변환기 회로이다. (a)는 그라운드 소오스 구조의 주파수 변환기이며, (b)는 (a)에 neutralizing 캐패시터를 추가한 주파수 변환기 회로이다. 그림 9(a)의 주파수 변환기의 트랜스컨덕터 단 트랜지스터 M1, M2는 소모전력을 줄이고 주파수 특성을 좋게 하기 위해 고주파 공정에서 지원하는 트랜지스터의 최소 크기를 40 μm / 0.25 μm 사용하였으며, 항상 포화영역에서 동작하도록 바이어스 되어있다. 스위칭 단의 트랜지스터 M3~M6은 스위칭 특성을 좋게 하기 위해 트랜스컨덕터 단의 트랜지스터에 비해 큰 크기(80 μm / 0.25 μm)를 가지도록 설계하였으며, 작은 전압에도 스위칭 동작이 이루어지도록 약한 포화영역에 바이어스 되어있다. 그림 9(b)의 주파수 변환기는 설계된 (a)의 주파수 변환기에 neutralization 기법을 적용한 것이며, 이 때 사용된 캐패시터 용량은 1 pF이다. 주파수 변환기의 주요 성능지표에 대하여, 그림 9(a), (b) 모의실험 결과를 비교하여, neutralization 기법에 의한 주파수 변환기의 성능향상을 확인하였다.

그림 10은 주파수 변환기의 주파수 영역, 시간 영역 출력을 나타낸다. 그림 10(a)는 그라운드 소오스 구조, 그림 10(b)는 neutralization 기법을 적용한 주파수 변환기의 모의실험 결과이다. 고주파 입력 주파수 2.45 GHz, -30 dBm, 지역발전기 주파수 2.44 GHz, -5 dBm에 대한 주파수 변환기의 출력주파수 10 MHz를 주파수영역과 시간영역에서 확인할 수 있다. 그림 11은 변환이득과 잡음지수에 관한 모의실험 결과이다. 전력 측정 장비의 입출력 임피던스가 50 Ω으로 고정되어 있으며, 설계한 주파수 변환기의 입력과 출력의 임피던스가 50 Ω, 1 kΩ 으로 다르기 때문에 차이만큼 보상하므로, 그림 11의 전압변환이득과 전력변환이득은 다른 값을 갖는다. 전력변환 이득은 -10 dB에서 -6 dB로 +4 dB 향상되었다. 그림 11(a)는 그라운드 소오스 구조, 그림 11(b)는 neutralization 기법을 적용한 경우이다. 전압 변환이득은 지역발전기 주파수 2.44 GHz, -5 dBm, 고주파 입력 주파수 2.45 GHz~2.46 GHz 에 대하여 출력 주파수 10 MHz~15 MHz에서의 이득을 나타내고 있으며, 잡음지수는 출력의 1 kHz~15 MHz 주파수 사이의 잡음지수를 나타내고 있다. Neutralization 기법에 의해 변환이득이 4 dB에서 8.5 dB로 4.5 dB 상승되었으며, 잡음지수는 20.6 dB에서 17.1 dB로 3.5 dB 낮아졌다.

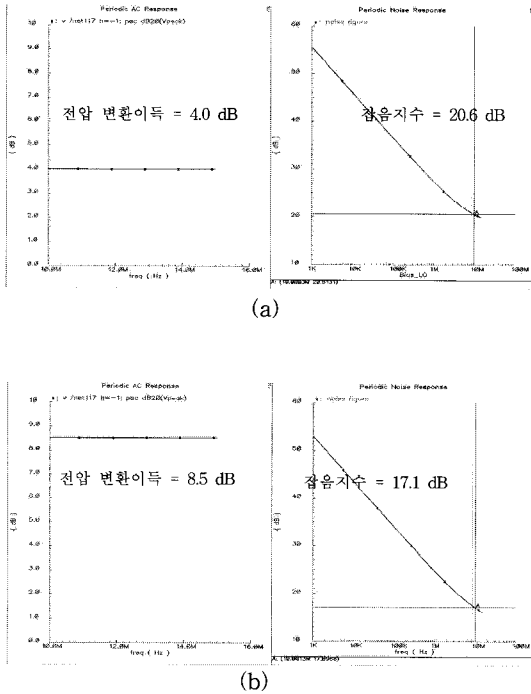


그림 11. 전압 변환이득과 잡음지수 모의실험 결과 (a) 그라운드 소오스 (b) neutralization.

Fig. 11. A voltage conversion gain and noise figure simulation results (a) grounded source (b) neutralization.

주파수 변환기의 잡음 지수는 변환이득에 대해 반비례의 관계를 갖는데, neutralization에 의한 변환이득의 향상으로 인해 잡음지수가 낮아지는 것을 확인 할 수 있다.

그림 12는 주파수 변환기의 선형성 성능지표인, P1dB와 IIP3에 대한 모의실험 결과이다. 그림 12(a)는 그라운드 소오스 구조, 그림 12(b)는 neutralization 기법을 적용한 경우이다. P1dB는 -8.3 dBm에서 -9.6 dBm으로 1.3 dBm 감소하였다. IIP3 모의실험은 고주파 입력에 2.450 GHz와 2.451 GHz 두 개의 신호를 넣어 진행하였으며, 이때 출력에는 9 MHz와 11 MHz의 IP3 성분이 나타난다. IIP3는 1.05 dBm에서 0.34 dBm으로 0.70 dBm 감소하였다. 변환이득의 증가에 따라 출력이 빨리 포화되어 선형성이 감소하게 된다.

#### 4. 레이아웃 및 측정결과

그림 13는 TSMC 0.25  $\mu\text{m}$  CMOS 고주파 공정

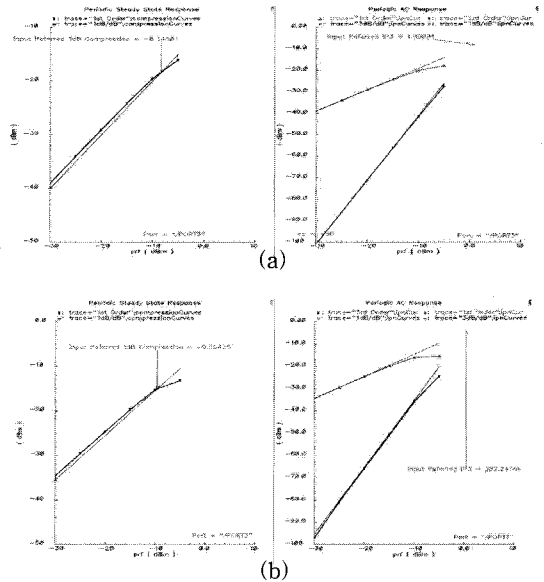


그림 12. 주파수 변환기의 선형성 모의실험 결과 (a) 그라운드 소오스 (b) neutralization.

Fig. 12. The mixer linearity simulation results (a) grounded source (b) neutralization.

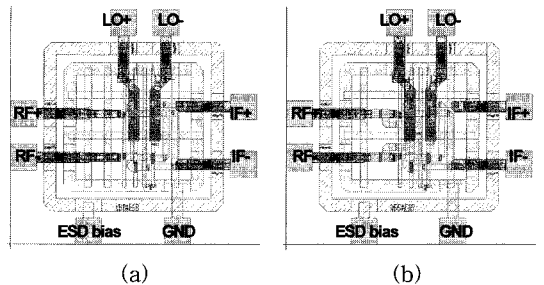


그림 13. 주파수 변환기의 레이아웃 (a) 그라운드 소오스 (b) neutralization.

Fig. 13. Mixer layout (a) grounded source (b) neutralization.

라이브러리를 이용하여 레이아웃 된 주파수 변환기이다. 칩의 크기는 패드를 포함해  $700 \mu\text{m} \times 670 \mu\text{m}$  이다. 그림 13(a)는 그라운드 소오스 구조, 그림 13(b) neutralization 기법을 적용한 주파수 변환기이다. 그림 9의 회로에서 부하저항을 제외한 트랜스컨덕터 트랜지스터, 스위칭 트랜지스터, neutralizing 캐패시터를 레이아웃 하였으며, 주파수 변환기의 고주파 입력과 중간주파수 출력이 차동구조이기

때문에 대칭을 이루도록 배치하였다. 각각의 입출력 패드와 접지, VDD 사이에 ESD (ElectroStatic Discharge)에 의한 트랜지스터의 파괴를 막기 위해 그림 14과 같이 ESD 방어 다이오드를 배치하였다 [13]. ESD 방어 다이오드는 회로에 영향을 주지 않도록 최소한의 캐패시턴스를 갖도록 설계하였다.

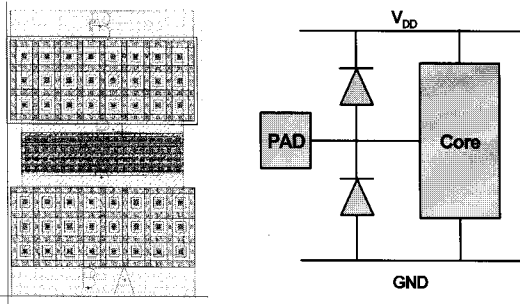


그림 14. ESD 방어 다이오드의 레이아웃과 배치.  
Fig. 14. ESD protection diode layout and placement.

그림 15은 TSMC 0.25  $\mu\text{m}$  CMOS 고주파 공정으로 제작된 주파수 변환기이다. 그림 15(a)는 그라운드 소오스 구조이고, 그림 15(b) neutralization 기법을 적용한 주파수 변환기이다.

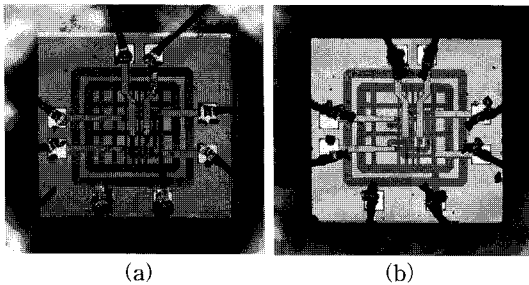


그림 15. 제작된 주파수 변환기 칩사진 (a) 그라운드 소오스 (b) neutralization.  
Fig. 15. Fabricated mixer microphotograph (a) grounded source (b) neutralization.

고주파 신호 입력, 지역발전기 신호 입력, 출력 신호 등이 모두 차동신호이고 측정기는 단상신호를 만들어 내고, 받아들이므로, 외부에서 발룬(balun)을 이용하여 측정기의 단상 신호를 차동신

호로 바꾸어 주파수 변환기에 인가하고, 주파수 변환기의 차동 출력을 단상신호로 변환하여 계측을 해야 한다. 본 논문에서는 단상 신호를 차동신호로 변환하기 위해 하이브리드-링(Hybrid-ring) 발룬을 이용하였다[14].

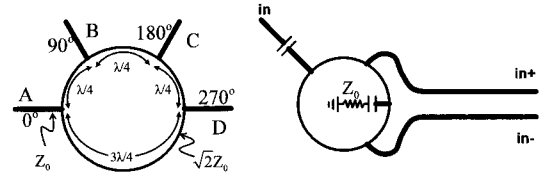


그림 16. 하이브리드-링 발룬.  
Fig. 16. Hybrid-ring balun.

그림 16와 같으며, 각각의 입출력 포트는 특성 임피던스, 원 부분은  $\sqrt{2}$ 배의 특성임피던스를 갖으며, 포트 사이의 거리는 파장에 따라 그림 16(a)처럼 위치한다. 회로에 사용될 때는 그림 16(b)처럼 A를 입력으로 사용하고 B와 D를 출력으로 사용하며, C는 접지시킨다.

표 1. PCB 공정 변수.

Table 1. PCB process parameters.

기판재질	FR-4
유전율	4.7
기판두께	0.8 mm
금속두께	35 $\mu\text{m}$
50 $\Omega$ 특성임피던스 마이크로스트립 선	1.416 mm

PCB 제작에 사용된 주요 공정변수는 표 1과 같다. PCB 패턴은 CADENCE 툴을 사용하여 레이아웃하고, GDS 포맷의 파일을 생성한 후, ADS 툴을 사용하여 거버(gerber) 포맷의 파일로 변환하였다. 변환된 거버 포맷의 파일로 업체에 의뢰하여 그림 17의 측정용 PCB를 제작하였다. PCB에 인쇄된 발룬의 입력손실을 측정하기 위해 그림 18와 같이, PCB의 발룬 영역만을 Agilent 8753D 네트워크 계

측기로 측정하였다. A와 B를 네트워크 계측기에 연결하고, C는 접지, B는 50 Ω 터미네이션한 후 측정된 결과, 2.4 ~ 2.5 GHz 대역에서 5 dB의 입력 손실이 있었다.

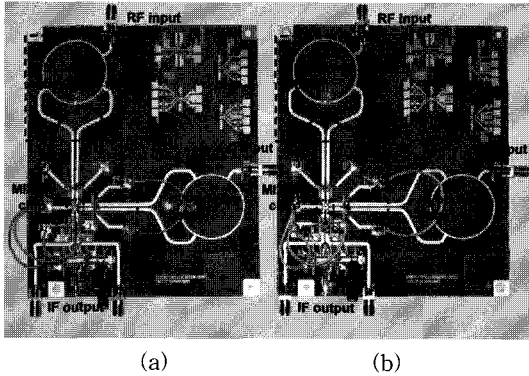


그림 17. 주파수 변환기 측정용 PCB (a) 그라운드 소오스 (b) neutralization.  
 Fig. 17. PCB for measurement of mixer (a) grounded source (b) neutralization.

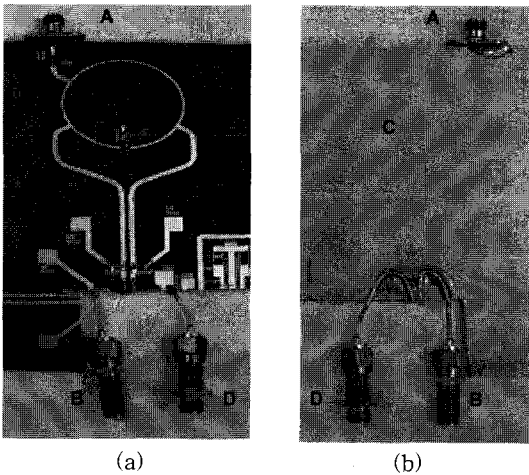


그림 18. 하이브리드-링 발룬 입력 손실 측정용 PCB.  
 Fig. 18. PCB for hybrid-ring input loss measurement.

주파수 변환기의 측정을 위해 그림 15의 칩을 PCB에 에폭시로 붙이고, K&S 4523AD 웨지 본더 (wedge bonder) 장비를 이용하여, 25 μm 두께의

금선으로 PCB와 칩을 연결하였다. PCB와 칩을 연결한 후 그림 19와 같이 SMA 커넥터를 사용하여 측정장비와 연결하였다. 바이어스를 인가하고 신호 발생기로 신호를 입력하면, 스펙트럼 계측기의 화면에는 그림 20과 같은 신호가 나타난다. 그림 20(a)는 변환이득의 측정을 위해 고주파입력 신호를 하나의 주파수 대역만 넣은 경우이고, 그림 20(b)는 IIP3를 측정하기 위해 고주파입력 신호에 두개의 주파수 대역을 넣은 경우이다.

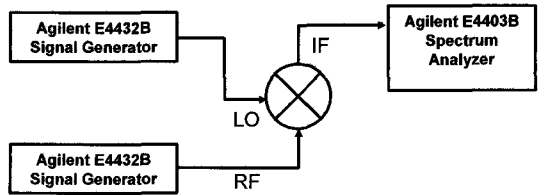


그림 19. 측정 장비 배치.  
 Fig. 19. The placement of measurement equipment.

변환이득과 P1dB를 측정하기 위해, 지역발전기 신호를 Agilent E4432B 신호발생기를 이용하여 2.44 GHz, -5 dBm을 인가하고, 고주파 입력신호를 2.45 GHz에 고정하고 전력을 -35 dBm에서 -5 dBm으로 변화시켜가며 측정하였다.

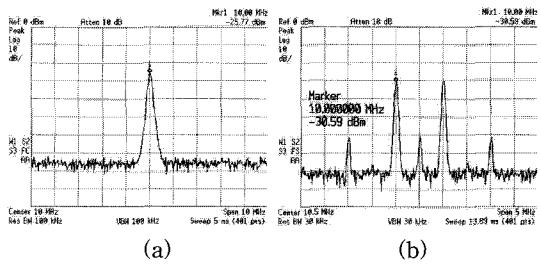


그림 20. 스펙트럼 계측기에 측정된 파형 (a) 변환이득 측정 시 (b) IIP3 측정시.  
 Fig. 20. Measurement results using spectrum analyzer (a) conversion gain (b) IIP3.

측정결과는 그림 21과 같으며, 하이브리드-링 발룬과 출력에서의 손실을 보상한 값이다. 그림 21에서 (a)는 그라운드 소오스 구조, (b)는 neutralization 기



법을 적용한 구조의 측정 결과이다. Neutralization 기법을 적용한 주파수 변환기의 전력 변환이득이 -10.2 dB에서 -7.4 dB로 2.8 dB 향상되었으며, P1dB는 -9.5 dBm에서 -11.2 dBm으로 1.7 dBm 감소하였다. 전압 변환이득은 2.8 dB에서 5.7 dB로 2.9 dB 향상되었다.

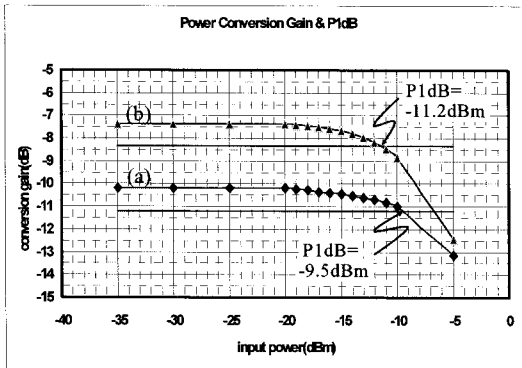


그림 21. 전력 변환이득과 P1dB 측정 결과 (a) 그라운드 소오스 (b) neutralization.

Fig. 21. A conversion gain and a P1dB measurement results (a) grounded source (b) neutralization.

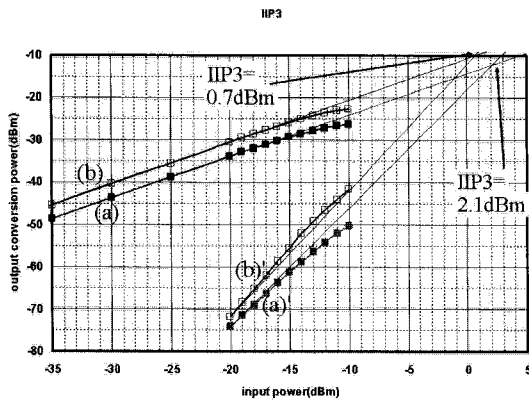


그림 22. IIP3 측정 결과 (a) 그라운드 소오스 (b) neutralization.

Fig. 22. IIP3 measurement results (a) grounded source (b) neutralization.

IIP3를 측정하기 위해 그림 19와 같이 장비를 연결하고, Agilent E4432B의 모드를 조정하여 두

개의 고주파 입력신호 2.450, 2.451 GHz를 인가하고, 전력을 -35 dBm에서 -5 dBm으로 변화시켜가며 측정하였다.

표 2. 모의실험과 측정 결과.

Table 2. Results of simulation and measurement.

	모의실험 결과		측정 결과	
	그라운드 소오스	neutralization	그라운드 소오스	neutralization
동작전압	1.5 V			
소모전력	1.88 mW		1.94 mW	
고주파 입력 주파수	2.45 GHz			
지역 발전기 주파수	2.44 GHz, -5 dBm			
출력 중간 주파수	10 MHz			
전압 변환이득[dB]	4.0	8.5	2.8	5.7
전력 변환이득[dB]	-10.0	-6.0	-10.2	-7.4
SSB 잡음지수[dB]	20.6	17.1	-	-
P1dB[dB]	-8.3	-9.6	-9.5	-11.2
IIP3[dBm]	1.0	0.3	2.1	0.7

측정결과는 그림 22과 같으며, 입력과 출력의 손실을 보상한 값이다. 그림 22에서 (a)와 (a)'는 그라운드 소오스 구조의 일차, 삼차 신호의 변화를 나타내고, (b)와 (b)'는 neutralization 기법을 적용한 구조의 일차, 삼차 신호의 변화를 나타낸다. 측정 결과 IIP3는 neutralization 기법을 적용한 경우 2.1 dBm에서 0.7 dBm으로 1.4 dBm 나빠졌다.

표 2에 모의실험과 측정 결과를 나타내었다. 측정된 변환이득과 P1dB의 값이 모의실험보다 낮게 나타났으며, IIP3는 높게 나타났다.

### 5. 결론

본 논문에서는 저전압 동작에 의한 성능감소를 향상시키기 위해 neutralization 기법을 적용한 주

파수 변환기를 제안하였다. 저전압(1.5 V)에서 동작시키기 위해 그라운드 소오스 구조의 주파수 변환기를 설계하였으며, 고주파 증폭기에 사용되는 neutralization 기법을 적용시켜, 주파수 변환기의 변환이득을 향상시켰다.

제안된 주파수 변환기는 2.45 GHz의 고주파 입력과 2.44 GHz의 지역발전기 입력을 받아, 10 MHz로 주파수를 변환한다. 모의실험 결과 동작전압 1.5 V에서 1.875 mW의 전력을 소모했으며, 1 pF의 neutralizing 캐패시터를 추가한 경우, 변환이득 4.5 dB, 잡음지수 3.5 dB 향상되었고, P1dB 1.3 dBm, IIP3 0.7 dBm 감소하였다. 측정 결과 같은 조건에서 1.941 mW의 전력을 소모했으며, 변환이득 2.88 dB 향상되었고, P1dB 1.7 dBm, IIP3 1.4 dBm 감소하였다. 모의실험 결과보다 특성이 나빠졌다. 칩과 PCB를 연결한 금선의 길이가 모의실험에서 고려한 길이보다 길어졌으며, PCB에 사용된 수동소자들의 모델링이 되어있지 않은 점 등이 원인이다. Neutralization에 사용되는 캐패시터 용량은  $C_{GD}$ 와 같은 값을 갖지만, 본 논문에서는 캐패시터 용량이 커질수록 변환이득이 향상되었다. 칩의 면적과 변환이득의 향상, 선형성의 감소를 감안해 1 pF를 사용하였다.

지금까지 결과를 통해 neutralization 기법이 주파수 변환기에서도 적절하게 사용될 수 있음을 확인할 수 있었으며, 선형성보다 변환이득이 중요한 저전력 시스템에 알맞게 사용될 수 있을 것이다.

### 감사의 글

이 논문은 2006학년도 충북대학교 학술연구지원 사업의 연구비지원에 의하여 연구되었습니다.

### 참고 문헌

[1] C. Toumazou, G. Moschytz, and B. Gilbert, "Trade-Offs in Analog Circuit Design", Kluwer Academic Publishers, 2004.  
 [2] 남희영, "1 V 아래에서 동작하는 저잡음 증폭기와 주파수 변환기의 설계에 관한 연구", 서울대학교 대학원 전기공학부, 2002.  
 [3] Jafferli, N. and Deen, M. J., "Low-voltage and low-power 1.9 GHz body-input downconversion mixer", Electrical and computer engineering Canadian Conference,

Vol. 3, p. 1413, 2004.  
 [4] Kienmayer, C., Tiebout, M., Simburger, W., and Scholtz, A. L., "A low-power low-voltage NMOS bulk-mixer with 20 GHz bandwidth in 90 nm CMOS", ISCAS '04., Vol. 4, p. 385, 2004.  
 [5] Hermann, C., Tiebout, M., and Klar, H., "A 0.6-V 1.6-mW transformer-based 2.5-GHz downconversion mixer with +5.4-dB gain and -2.8-dBm IIP3 in 0.13- $\mu$ m CMOS", Microwave theory and techniques, Trans. IEEE, Vol. 53, Issue 2, p. 488, 2005.  
 [6] T. H. Lee, "The Design of CMOS Radio-Frequency Integrated Circuits", Cambridge University Press, 2004.  
 [7] Razavi, B., "RF Microelectronics", Prentice Hall PTR, 1998.  
 [8] Mirabbasi, S. and Martin, K., "Classical and modern receiver architectures", Communications Magazine, IEEE, Vol. 38, Issue 11, p. 132, 2000.  
 [9] Rajput, S. S. and Jamuar, S. S., "Low voltage analog circuit design techniques", Circuits and Systems Magazine, IEEE, Vol. 2, Issue 1, p. 24, 2002.  
 [10] 박광민, "A 1.5 V 70 dB 100 MHz CMOS Class-AB 상보형 연산증폭기의 설계", 전기전자재료학회논문지, 15권, 9호, p. 743, 2002.  
 [11] Y.-J. Moon, M.-H. Choi, K.-Y. Na, N.-S. Kim, and Y.-S. Kim, "Optimal design of spiral inductors on silicon substrates for RF ICs", J. of KIEEME(in Korean), Vol. 18, No. 3, p. 216, 2005.  
 [12] Wu, S. and Razavi, B., "A 900-MHz/1.8-GHz CMOS receiver for dual-band applications", IEEE J. of SSC., Vol. 33, Issue 12, p. 2178, 1998.  
 [13] Leenaerts, D. and Velghe, R., "Bond pad and ESD protection structure for 0.25  $\mu$ m/0.18  $\mu$ m RF-CMOS", ESSCIRC '03, p. 569, 2003.  
 [14] Samavati, H., Rategh, H. R., and Lee, T. H., "A 5-GHz CMOS wireless LAN receiver front end", IEEE J. of SSC, Vol. 35, Issue 5, p. 765, 2000.