

---

# RTL 수준에서의 합성을 이용한 Gated Clock 기반의 Low-Power 기법

서영호\* · 박성호\*\* · 최현준\*\*\* · 김동욱\*\*\*

Gated Clock-based Low-Power Technique based on RTL Synthesis

Young-Ho Seo\* · Sung-Ho Park\*\* · Hyun-Joon Choi\*\*\* · Dong-Wook Kim\*\*\*

---

본 논문은 교육인적자원부, 산업자원부, 노동부의 출연금 및 보조금으로 수행한 최우수실험실지원사업의 연구결과임.

---

## 요 약

본 논문에서는 RTL 수준에서의 클록 게이팅을 이용한 실제적인 저전력 설계 기술에 대해서 제안하고자 한다. 상위 수준의 회로 설계자에 의해 시스템의 동작을 분석하여 클록 게이팅을 위한 제어기를 이용하는 것이 가장 효율적인 전력 감소를 가져온다. 또한 직접적으로 클록 게이팅을 수행하는 것보다는 합성틀이 자연스럽게 게이팅된 클록을 맵핑할 수 있도록 RTL 수준에서 유도하는 것이 바람직하다. RTL 코딩 단계에서부터 저전력이 고려되었다면 처음 코딩 단계에서부터 클록을 게이팅시키고, 만일 고려되지 않았다면 동작을 분석한 후에 대기 동작인 부분에서 클록을 게이팅한다. 그리고 회로의 동작을 분석한 후에 클록의 게이팅을 제어하기 위한 제어기를 설계하고 합성틀에 의해 저전력 회로에 해당하는 netlist를 얻는다. 결과로부터 상위수준의 클록 게이팅에 의해 레지스터의 전력이 922 mW에서 543 mW로 42% 감소한 것을 확인할 수 있다. Power Theater 자체의 synthesizer를 이용하여 netlist로 합성한 후에 전력을 측정했을 경우에는 레지스터의 전력이 322 mW에서 208 mW로 36.5% 감소한 것을 확인할 수 있다.

## ABSTRACT

In this paper we proposed a practical low-power design technique using clock-gating in RTL. An efficient low-power methodology is that a high-level designer analyzes a generic system and designs a controller for clock-gating. Also the desirable flow is to derive clock-gating in normal synthesis process by synthesis tool than to insert directly gate to clock line. If low-power is considered in coding process, clock is gated in coding process. If not considered, after analyzing entire operation, clock is gated in periods of holding data. After analyzing operation for clock-gating, a controller was designed for it, and then a low-power circuit was generated by synthesis tool. From result, we identified that the consumed power of register decreased from 922mW to 543mW, that is the decrease rate is 42%. In case of synthesizing the test circuit using synthesizer of Power Theater, it decreased from 322mw to 208mW (36.5% decrease).

## 키워드

low-power, power estimation, RTL, synthesis, ASIC, VLSI

---

\* 광운대학교 교양학부 IT 전공(yhseo@kw.ac.kr)

접수일자 : 2007. 9. 18

\*\* LG 전자 SIC 사업팀 HPM Gr

\*\*\* 광운대학교 전자재료공학과 Digital Design & Test Lab.

## I. 서론

최근 들어 디지털 시스템의 성능과 복잡도의 증가에 따른 과도한 열 방출과 통신 및 멀티미디어 관련 개인용 휴대 장비의 급증으로 말미암아 저전력 설계가 중요한 관심사로 떠올랐다. VLSI 회로 설계에서 전력 소모를 감소시켜야 하는 이유는 다음과 같다. 첫째, 모바일 기기들의 배터리 수명은 한계를 가지고 있고, 한정된 전력 환경에서 일정 수준 이상의 성능과 동작 시간을 유지하도록 요구된다. 둘째, 과도한 전력 소모 때문에 패키징과 냉각화 문제가 발생하고, 이는 단일 칩에 집적되는 트랜지스터 수를 제약하는 결과를 가져오기 때문이다. 따라서 다양한 단계에서 저전력 설계 기술의 적용이 필요 한데 특히 VLSI 설계에서는 모든 설계 단계 즉, 시스템 레벨, 아키텍처 레벨, RTL 레벨, 로직 레벨, 그리고 물리적 레벨 등에서 다양하게 고려되고 있다.

이전의 상위 수준 합성에 관련된 대부분의 연구는 VLSI의 면적과 성능을 최적화하는 방법에 대하여 집중적으로 연구 되어 왔다[1, 2]. 기존에 제안된 방법으로는, RTL에서 데이터 경로의 병렬화나 파이프라이닝과 같은 구조 변환(architecture transformation)을 이용하여 공급 전압을 감소시키거나[3, 4], 데이터 사이의 상관을 보존하는 모듈 선택[5], 자원 할당과 자원 지정[6, 7]과 같은 방법들이 제시되었다. 그리고 [8, 9]에서는 피연산자를 공유하는 시블링 연산(sibling operation)을 같은 실행 유닛으로 할당하는 스케줄링과 바인딩 방법을 제안하였다. 이들은 데이터 경로 위주의 회로에서 7~10%의 실행 유닛에서의 소비 전력 감소를 가져왔다. 또한 ASIC을 위한 클록 게이팅 기법은 지난 수년간 꾸준히 연구되어 왔다[10, 11]. Power-saving 모드를 운용하는 클록 게이팅을 기법의 마이크로프로세서와 ASIC 설계를 위한 많은 연구들이 진행되었다[12, 13]. 저전력 설계 자동화에 대한 연구의 대부분은 논리 수준, 회로 수준, 레이아웃 수준의 하위 수준에 집중되어 왔다. 상대적으로 상위 수준 저전력 설계 자동화에 대한 연구는 거의 이루어지지 않았다.

일반적으로 클록 자체의 동작에는 많은 전력이 소모되므로 클록을 적절히 조절한다면 회로의 불필요한 동작을 줄이면서 전력 소비를 현격히 감소시킬 수 있다. 이때 회로가 보유하고 있는 상태나 출력의 변화가 없을 경우 회로의 클록을 제어기에 의해서 선택적으로 클록을

입력하지 않는 기법이 클록 게이팅이다. 클록 게이팅을 어느 수준에서 하느냐에 따라서 여러 가지 기술이 있을 수 있다. 실제로 상용화 수준의 칩을 구현할 경우에는 RTL 코딩 이후의 단계에서 클록 게이팅을 수행하는 것은 여러 가지 문제점을 가질 수 있다. 따라서 상위 수준의 설계자에 의한 클록 게이팅의 적용이 가장 효율적인 방법이다.

본 논문에서는 RTL 수준에서의 클록 게이팅을 이용한 저전력 설계 기술에 대해서 제안하고자 한다. 제안된 클록 게이팅 기법은 회로의 동작을 분석한 후에 합성틀과 합성과정의 특성을 이용하여 적용된다. RTL 코딩 단계에서부터 저전력이 고려되었다면 처음 코딩 단계에서부터 클록을 게이팅시키고, 만일 고려되지 않았다면 동작을 분석한 후에 대기 동작인 부분에서 클록을 게이팅한다. 회로 동작의 분석을 수행한 후에 저전력 동작을 위해 특별히 구현된 제어기에 의해 클록을 게이팅 한다. 클록의 게이팅을 제어하기 위해 RTL 코딩 단계에서 설계자에 의해 저전력 기법을 적용하고 합성틀에 의해 자연스럽게 클록이 게이팅되도록 한다.

본 논문은 다음과 같이 구성된다. 2장에서는 저전력 설계 기술에 대한 개요를 설명하고 3장에서는 클록 게이팅 기법을 제안한다. 4장에서는 제안한 클록 게이팅 기법을 바탕으로 테스트 회로에 대한 전력 감소 결과를 보이고 5장에서 결론을 맺는다.

## II. 저전력 설계 기술

### 2.1. 저전력 회로를 위한 기술

디지털 시스템의 전력 소비의 원인은 동적 소비 전력, 단락회로 전력, 누설 소비 전력으로 나눌 수 있다. CMOS로 구현된 디지털 시스템에서 단락 회로 소비 전력과 누설 소비 전력은 전체 시스템의 소비 전력의 15% 이하이고, 회로의 설계에 많은 영향을 받기 때문에, 상위 수준 합성에서는 동적 소비 전력을 최소화한다.

동적 소비 전력은 디지털 시스템의 스위칭에 의해 발생하며, 식 (1)과 같다.

$$Power = C_{eff}(V_{sw} \cdot V_{DD})f \quad (1)$$

여기서  $f$ 는 주파수이고,  $V_{sw}$ 는 스위치된 전압이고  $V_{DD}$

는 공급 전압이고,  $C_{eff}$ 는 유효 정전 용량(effective capacitance)이다.  $C_{eff}$ 는 식 (2)와 같이 활동도 인자(activity factor)  $\alpha$ 와 물리적인 정전 용량  $C_L$ 의 곱으로 표현할 수 있다.

$$C_{eff} = \alpha \cdot C_L \quad (2)$$

소비 전력은 전압의 제곱에 비례하기 때문에, 전압을 감소시키면 많은 전력을 감소시킬 수 있지만, 회로의 지연 시간이 증가하게 된다. 따라서 소비 전력을 감소시키는 첫 번째 방법은 시스템의 성능을 증가시킨 다음, 공급 전압을 낮추어 처리량을 유지하는 것이다. 이것을 위해서 제안된 방법으로 병렬화, 파이프라이닝 등을 들 수 있다[3, 4].

소비 전력을 감소시키는 두 번째 방법은 소비 전력이 주파수와 직접 비례하기 때문에 속도를 감소시키는 것이다. 하지만 고정된 타이밍 제한 조건을 가지는 실시간 응용 분야에는 주파수를 감소시킬 수 없다. 단 외부 데이터율은 고정되지만 하드웨어가 시간을 최대로 활용할 수 있도록 내부 클록을 선택할 수 있다. 클록 선택을 위한 설계 공간 탐색 방법은 [14, 15]에 잘 나타나 있다.

소비 전력을 감소시키는 세 번째 방법으로 유효 정전 용량을 감소시키는 것이다. 유효 정전 용량을 감소시키는 방법은 전역 계산 자원에 대한 접근을 줄이기 위하여 분산 계산을 하거나 참조의 국부성[16]을 이용하거나, 사용하지 않는 모듈을 전력 관리를 통하여 전력을 차단하거나[17], 자원 공유를 최소화하여 데이터 상관을 보존하여 스위칭 활동도를 감소시키거나[4], 프로그램성(소프트웨어적인 유동성)을 필요로 하는 응용 분야에 범용 프로세서 유닛보다 작은 전력을 소비하는 특정한 모듈을 사용하는 방법[18] 등이 있다.

### 2.2. 클록 게이팅

클록 게이팅 기법의 주된 방법은 회로가 보유하고 있는 상태나 출력의 변화가 없을 경우에 회로의 클록을 제 어기에 의해서 선택적으로 입력하지 않는 것이다. 이 경우에 클록의 선택적인 입력을 위한 부가 회로가 필요하고 그에 따른 비용이 발생한다. 일반적으로 클록의 전파와 전이에는 많은 전력이 소모된다. 예를 들어 디지털 컴퓨터에서 클록 신호에 의한 전력 소모가 전체 전력 소모에 대해 15%에서 45%까지 차지한다는 결과가 있다[10].

따라서 클록을 적절히 조절한다면 디지털 회로의 불필요한 활동을 줄이면서 전력 소비를 매우 크게 감소시킬 수 있다. 이러한 효율성으로 인해서 클록 게이팅 기법은 많은 분야에서 이용되고 있다[10-13][19].

ASIC에서 클록 게이팅 기법이 적용될 경우에는 어느 단계에서 적용되느냐에 따라서 논리 합성, P&R(Placement & Routing), 및 테스트 등의 다양한 단계에서 발생할 수 있는 문제점을 고려해야 하는 복잡성을 가지고 있다.

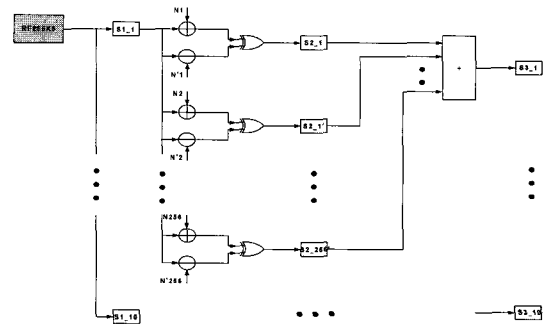


그림 1. 테스트 회로도  
Fig. 1. Test circuit

### III. 제안한 기술

본 장에서는 제안하고자 하는 클록 게이팅 방법에 대해서 설명한다. 먼저 직접적인 클록 게이팅 방법의 문제점과 한계에 대해서 살펴보고 합성들에 기반을 둔 RTL에서의 클록 게이팅 방법을 설명한다. 본 논문에서는 논의하고자 하는 바는 아래와 같이 요약할 수 있다.

- 클록 게이팅을 적용하는 레벨 - 저전력의 효율성 고려한 상위 수준
- 클록 게이팅을 적용하는 원리 - 합성툴과 netlist의 특성 고려
- 클록 게이팅의 구성 요소 - 클록 게이팅을 위한 제어기, 피드백 MUX

그림 1에는 본 논문의 전반에서 실험을 위해 사용될 테스트 회로도를 나타내었다.

### 3.1. 직접 Clock Gating의 문제점

RTL에서 그림 2와 같이 직접적으로 클록 게이팅을 적용하는 데에는 여러 가지 문제가 발생한다. 먼저, 그림 2의 (a)와 같이 각 신호들 간의 지연시간이 적절하다면 클록은 올바르게 게이팅된다. 그러나 그림 2의 (b)와 같이 게이팅하고자 하는 클록과 게이팅을 담당하는 제어 신호 사이에 지연시간 차이로 인해서 원치 않는 클록 성분이 발생할 수도 있고 클록의 duration의 불균형이 야기될 수도 있다.

다음으로 게이팅된 클록은 DFT(Design for Test) 과정을 방해할 수 있다. 일반적으로 설계와 합성 등의 과정을 거친 회로는 DFT 엔지니어에 의해서 DFT 과정을 수행한다. 이 과정에서 DFT의 효율을 높이기 위해서 DFT 엔지니어는 테스트 클록을 RTL 수준에서 삽입하고 정상 동작보다 빠른 클록 주파수에서 테스트를 시도한다. 그러나 클록이 직접적으로 게이팅되어 있다면 모든 테스트 클록에도 동일한 게이팅을 수행해야하므로 많은 시간과 비용이 소요되고 방대한 설계의 경우에 설계 및 테스트 오류를 가져올 소지를 가지는 위험부담이 생긴다. 또한 테스트 클록 자체의 지연시간으로 인해 테스트 속도를 저하시킨다.

또한 backend 작업 시 수행되는 CTS(Clock Tree Synthesis) 과정에서 사용되는 constraint를 수정하고 게이팅된 클록에 대해서 수작업을 해줘야 하는 등의 번거로운 과정이 발생한다. 일반적인 정상 클록만으로 구성된 회로의 경우에는 틀에 의해서 CTS 작업을 수행하면 되는데 게이팅된 클록의 경우에는 정상 클록이 게이팅된 클록이라는 다른 신호로 인식되므로 이를 CTS의 범주에 포함되도록 조정을 해줘야 한다.

Backend 작업 시 클록 게이팅을 할 경우에 전력 소비를 감소시키는 효율성도 떨어진다. 왜냐하면 backend 엔지니어는 작업하고 있는 회로의 기능과 동작에 대해 충분한 숙지가 없는 것이 보통이므로 시스템의 휴지 및 대기 동작을 이용하여 클록 게이팅을 시도하는데 한계가 있기 때문이다.

따라서 상위 수준의 설계자가 시스템의 동작을 분석하여 클록 게이팅을 위한 제어기를 이용하는 것이 가장 효율적인 전력 감소를 가져온다. 또한 직접적으로 클록 게이팅을 수행하는 것보다는 합성들이 자연스럽게 게이팅된 클록을 맵핑할 수 있도록 RTL 수준에서 유도하는 것이 바람직하다.

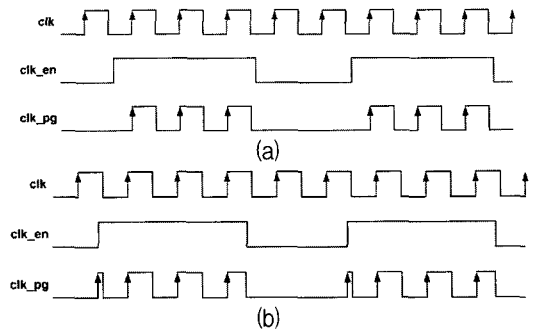


그림 2. 직접 클록 게이팅의 효과 (a) 정상적인 결과 (b) 오류발생 결과

Fig. 2. Timing result of direct clock gating (a) normal result (b) abnormal result

클록 게이팅은 회로 내의 플립플롭들, 플립플롭의 출력을 입력으로 받는 회로 성분들, 그리고 해당 클록 트리와 같은 요소들의 switching activity를 감소시킴으로써 전력 소모를 줄이는 방법이다. 그림 3에 전형적인 클록 게이팅 기법을 나타내었다. 이러한 직접 클록 게이팅 방법은 앞절에서 설명한 것 과 같이 여러 가지 문제를 발생시키기 때문에 적합한 방법이 아니다.

```

clk_pg <= clk and en
elsif (clk_pg'event and clk_pg = '1') then
    q <= d;
end if;
    
```

그림 3. 직접 클록 게이팅을 위한 RTL 코드  
Fig. 3. RTL code for direct clock gating

### 3.2. 제안한 방법

본 절에서는 본 논문에서 제안하고자 하는 합성을 고려한 RTL 코드상의 클록 게이팅 기법을 설명한다. 클록 게이팅은 단순하면서도 매우 효율적인 저전력 기법 중의 하나이다. 만일 어떤 디지털 회로가 출력에 변화가 없는 상태라면 전체 시스템 내에서 사용되는 클록을 멈추고 시스템을 대기모드로 전환할 수 있다[20].

그림 4에 본 논문에서 제안하고자 하는 클록 게이팅 기법을 나타내었다. 그림 4(a)와 같은 회로의 경우에 출력이 변화하지 않는 상태는 첫 번째 플립플롭에서 발생하고, 4(c)에서 보인 RTL 코드의 윗 부분과 같이 en 신호를 클록을 정의한 코드 내에 넣으면 그림 4(b)와 같이 클록이 게이팅된다.

클록 게이팅 기법은 RTL 혹은 그 하위 단계에서 적용하기 보다는 시스템의 동작을 분석한 후에 합성툴과 합성과정의 특성을 이용하여 상위 수준의 코드에서부터 고려하고 적용하는 것이 효율적이다. 따라서 아래와 같은 저전력 설계를 위한 클록 게이팅 기법을 제안한다.

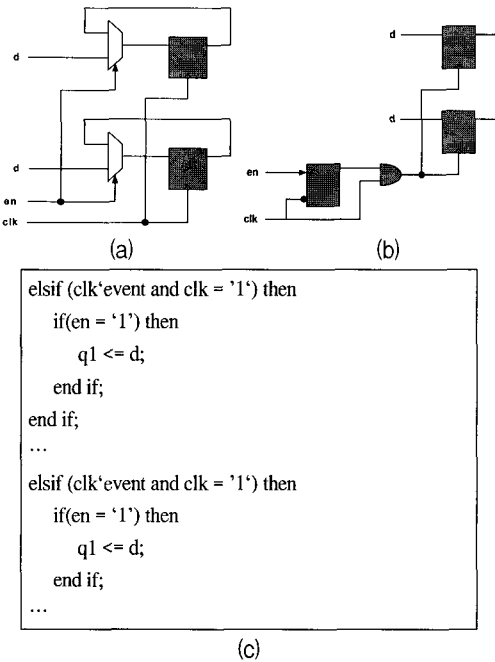


그림 4. 제안한 방법을 적용한 클록 게이팅 실험 (a) 게이트 수준의 회로도 (b) 클록 게이팅 결과 (c) RTL 코드

Fig. 4. Clock gating test by the proposed method (a) gate-level circuit (b) clock gating result (c) RTL code

- 전체 시스템의 휴지 및 대기동작의 분석을 바탕으로 설계된 클록 게이팅 제어기
- 합성 이전에 상위 수준에서의 클록 게이팅을 위한 코딩 (그림 4)
- 합성툴의 netlist 생성 특성을 고려
- 플립플롭을 생성할 수 있는 모든 코딩에 대해 클록 게이팅 적용

그림 5에 제안한 클록 게이팅 기반의 저전력 설계순서를 나타내었다. RTL 코딩 단계에서부터 저전력이 고

려되었다면 처음 코딩 단계에서부터 클록을 게이팅시킨다. 만일 고려되지 않았다면 동작을 분석한 후에 대기 동작인 부분에서 클록을 게이팅한다. 그리고 클록의 게이팅을 제어하기 위한 제어기를 설계하고 합성툴에 의해 저전력 회로에 해당하는 netlist를 얻는다.

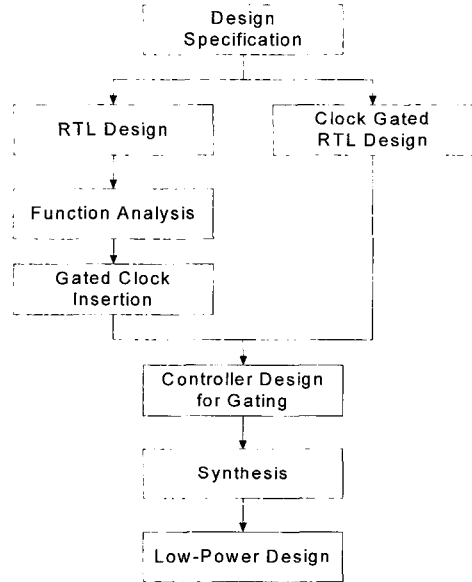


그림 5. 제안한 저전력 설계 순서 Fig. 5. Proposed low-power design flow

#### IV. 실험결과

전체 전력소모는 정적 전력과 동적 전력의 합으로 표현되고 일반적으로 알려진 것과 같이 식 (3)으로 정의된다.

$$P_{total} = P_{static} + P_{dynamic} \quad (3)$$

여기에서  $P_{total}$ 는 전체 평균 전력 소모량을 나타내고  $P_{state}$ 와  $P_{dynamic}$ 는 각각 정적 및 동적 전력소모량을 나타낸다.

신호의 특성에 따라서 전력 소모를 분리하면 식 (4)와 같이 표현할 수 있다. 여기서  $P_{Digital}$ 는 메모리와 standard cell의 전력을 합친 결과이다. 실제로 일정 규모 이상의 디지털 회로에서는 메모리가 가장 많은 전력을

소비한다. 그러나 메모리는 매 순간마다 모든 자원이 동작되는 것이 아니기 때문에 일반적으로 메모리의 activity를 30%로 가정하고 전력을 계산 및 측정한다.

$$Total\ Core\ Power[mW] = (P_{Digital} + P_{Analog}) \quad (4)$$

내부 메모리와 더불어서 칩의 동적 전력 소모를 다음으로 많이 차지하는 것이 플립플롭의 cell 전력이다. Cell 전력은 설계된 회로의 특성에 따라 많은 차이를 보일 수 있는데 설계된 회로 내에 플립플롭의 개수와 클록의 종류에 따라 좌우된다. 일반적으로 각각의 cell들에 대한 전력 소모는 vendor에 의해 제공되는 design kit에 자세히 설명된다.

다음으로 고려해야할 전력 소모 요인은 클록에 의한 것이다. CTS를 하게 되면 클록 라인 외에 많은 클록 버퍼들이 생성된다. 통상 클록 라인은 fanout을 32 정도로 정하므로 CTS 후에는 많은 수의 클록 버퍼가 생성된다. 또한 클록 버퍼 이외에도 클록과 함께 천이하는 플립플롭과 래치 등도 전력 계산에 이용된다.

표 1과 표 2는 Synopsys의 Design Compiler와 TSMC의 90nm CMOS 공정용 라이브러리를 이용하여 netlist로 합성한 후에 netlist 수준에서 Power Theater를 이용하여 전력을 측정 한 결과이다. 결과로부터 상위수준의 클록 게이팅에 의해 레지스터의 전력이 922 mW에서 543 mW로 42% 감소한 것을 확인할 수 있다.

표 3과 표 4는 Power Theater 자체의 synthesizer를 이용하여 netlist로 합성한 후에 전력을 측정 한 결과이다. 결과로부터 레지스터의 전력이 322 mW에서 208 mW로 36.5% 감소한 것을 확인할 수 있다. 표 1, 2의 결과와 표 3, 4의 결과에 차이를 보이는 것은 synthesizer의 차이에 의한 것으로 예측된다.

표 1. 클록 게이팅을 적용하지 않은 경우에 대한 RTL 수준에서의 전력소모 측정결과  
Table 1. RTL power estimation result in case of not applying clock gating

		Static	Dynamic	Total
Internal	Resiger	5.16 mW	922 mW	927 mW
	Memory	247 uW	3.89 mW	4.14 mW
	Other	10.4 mW	672 mW	682 mW
	Total	15.8 mW	1.6 W	1.61 W
Clock		57.6 uW	311 mW	311 mW

표 2. 클록 게이팅을 적용한 경우에 대한 RTL 수준에서의 전력소모 측정결과  
Table 2. RTL power estimation result in case of applying clock gating

		Static	Dynamic	Total
Internal	Resiger	5.39 mW	543 mW	549 mW
	Memory	247 uW	3.89 mW	4.14 mW
	Other	9.63 mW	677 mW	687 mW
	Total	15.3 mW	1.22 W	1.24 W
Clock		58.6 uW	156 mW	156 mW

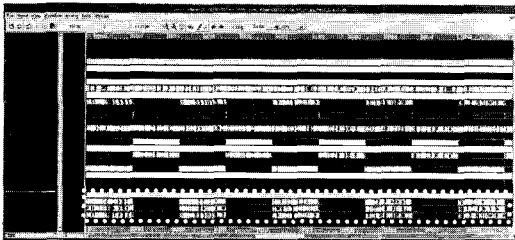
표 3. 클록 게이팅을 적용하지 않은 경우에 대한 게이트 수준에서의 전력소모 측정결과  
Table 3. Gate-level power estimation result in case of not applying clock gating

		Static	Dynamic	Total
Internal	Resiger	2.55 mW	322 mW	325 mW
	Memory	247 uW	3.89 mW	4.13 mW
	Other	4.99 mW	276 mW	281 mW
	Total	7.78 mW	602 mW	610 mW
Clock		48.2 uW	259 mW	259 mW

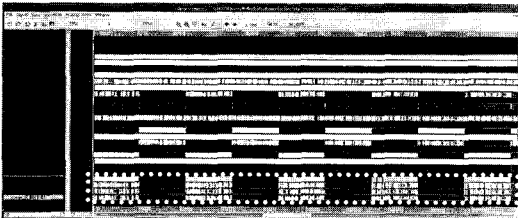
표 4. 클록 게이팅을 적용한 경우에 게이트 수준에서의 전력소모 측정결과  
Table 4. Gate-level power estimation result in case of applying clock gating

		Static	Dynamic	Total
Internal	Resiger	2.65 mW	208 mW	210 mW
	Memory	247 uW	3.89 mW	4.13 mW
	Other	4.76 mW	276 mW	281 mW
	Total	7.66 mW	487 mW	495 mW
Clock		234 uW	159 mW	159 mW

그림 6에는 전체 시스템의 동작을 분석하여 출력이 일정한 구간에 대해서 클록 게이팅을 위한 제어가 클록을 게이팅하여 해당 플립플롭을 보유모드로 만든 시뮬레이션 결과를 보이고 있다. 그림 6의 (a)와 (b)를 비교해 보면 점선으로 표시된 부분에서 플립플롭이 일정한 값을 가지는 시간(출력의 변화가 없는 시간)에서 클록이 비활성화(게이팅)되어 있는 것을 관찰할 수 있다.



(a)



(b)

그림 6. 클록 게이팅 시뮬레이션 결과 (a) 클록 게이팅을 적용하기 이전 (b) 클록 게이팅 이후  
Fig. 6. Clock gating simulation result for test circuit (a) before clock gating (b) after clock gating

## V. 결론

본 논문에서는 RTL 혹은 그 하위 단계에서 적용하기 보다는 시스템의 동작을 분석한 후에 합성틀과 합성과정의 특성을 이용하여 상위 수준의 코드에서부터 고려하고 적용하는 클록 게이팅 기법을 제안하였다. RTL 코딩 단계에서부터 저전력이 고려되었다면 처음 코딩 단계에서부터 클록을 게이팅시키고, 만일 고려되지 않았다면 동작을 분석한 후에 대기 동작인 부분에서 클록을 게이팅하였다. 그리고 클록의 게이팅을 제어하기 위한 제어기를 설계하고 합성틀에 의해 저전력 회로에 해당하는 netlist를 생성하였다. 즉, 클록의 게이팅을 제어하기 위해 RTL 코딩 단계에서 설계자에 의해 저전력 기법이 적용되어야 하고 합성틀에 의해 자연스럽게 클록이 게이팅되도록 하였다.

제안한 기술은 Synopsys의 Design Compiler와 TSMC의 90nm CMOS 공정용 라이브러리를 이용하여 netlist로 합성한 후에 netlist 수준에서 Power Theater를 이용하여 전력을 측정하여 검증하였다. 결과로부터 상위수준의 clock gating에 의해 Register의 전력이 922 mW에서 543

mW로 42% 감소한 것을 확인할 수 있다. Power Theater 자체의 synthesizer를 이용하여 netlist로 합성한 후에 전력을 측정했을 경우에는 Register의 전력이 322 mW에서 208 mW로 36.5% 감소한 것을 확인할 수 있다.

## 참고문헌

- [1] D. Gajski and N. Dutt, High-level Synthesis : Introduction to Chip and System Design, Kluwer Academic Publishers, 1992.
- [2] G. D. Micheli, Synthesis and Optimization of Digital Circuits, New York, McGraw Hill, Inc., 1994.
- [3] A. P. Chandrakasan, S. Sheng, and R. W. Brodersen, "Low-power CMOS digital design," IEEE J. of Solid-State Circuits, pp. 473-484, 1992.
- [4] A. P. Chandrakasan, M. Potkonjak, R. Mehra, J. Rabaey, and R. W. Brodersen, "Optimizing power using transformation," IEEE Tr. on CAD/ICAS, pp. 12-31, Jan. 1995.
- [5] L. Goodby, A. Orailoglu, and P. M. Chau, "Microarchitectural synthesis of performance-constrained, low-power VLSI designs," in Proc. of Int'l Conf. on Computer Design, pp. 323-326, Oct. 1994.
- [6] A. Raghunathan and N. K. Jha, "Behavioral synthesis for power," in Proc. of Int'l Conf. on Computer Design, pp. 319-322, Oct. 1994.
- [7] A. Raghunathan and N.K. Jha, "An ILP formulation for low power based on minimizing switched capacitance during datapath allocation," in Proc. of Int'l Symp. on Circuits & Systems, pp. 1069-1073, May. 1995.
- [8] E. Musoll and J. Cortadella, "Scheduling and resource binding for low power," in Proc. of Int'l Symp. on System Synthesis, pp. 104-109, Apr. 1995.
- [9] Y. Fang and A. Albicki, "Joint scheduling and allocation for low power," in Proc. of Int'l Symp. on Circuits & Systems, pp. 556-559, May.. 1996.
- [10] Q. Wu, M. Pedram, and X. Wu, "Clock-gating and its application to low power design of sequential circuits,"

in Proc. IEEE CICC, pp. 479-482, 1997.

- [11] M. Pedram, "Power minimization in IC design: principles and applications," ACM Trans. Design Automation, vol. 1, pp. 3-56, Jan. 1996.
- [12] L. Benini, P. Siegel, and G. D. Micheli, "Saving power by synthesizing gated clocks for sequential circuits," IEEE Des. Test Comput., vol. 11, pp. 32-41, 1994.
- [13] D. Garrett, M. Stan, and A. Dean, "Challenges in clockgating for a low power ASIC methodology," in Proc. ISLPED'99, pp. 176-181, 1999.
- [14] R. Mehra and J. Rabaey, "Behavioral level power estimation and exploration," in Proc. of Int'l Symp. on Low Power Design, pp. 197-202, Apr. 1994.
- [15] A. Raghunathan and N.K. Jha, "An interactive improvement algorithm for low power data path synthesis," in Proc. of Int'l Conf. on Computer-Aided Design, pp. 597-602, Nov. 1995
- [16] R. Mehra, L.M. Guerra, and J. Rabaey, "Low power architectural synthesis and the impact of exploiting locality," Journal of VLSI Signal Processing, 1996.
- [17] M.B. Srivastava, A.P. Chandrakasan, and R.W. Brodersen, "Predictive system shutdown and other architectural techniques for energy efficient programmable computation," IEEE Tr. on VLSI Systems, pp. 42-55, Mar. 1996
- [18] A. Abnous and J. M. Rabaey, "Ultra-low-power domain-specific multimedia processors," in Proc. of IEEE VLSI Signal Processing Workshop, Oct. 1996.
- [19] O. Cadenas and G. Megson, "Power performance with gated clocks of a pipelined Cordic core," in Proc. 5th Int. Conf. on ASIC, pp. 1226-1320, 2003.
- [20] M. Pedram and J. Rabaey, Power Aware Design Methodologies, Norwell, MA: Kluwer, 2002.

저자소개

서 영 호(Young-Ho Seo)



1999년 2월 광운대학교 전자재료 공학과 졸업(공학사)  
 2001년 2월 광운대학교 일반대학원 졸업(공학석사)  
 2000년 3월~2001년 12월 인티스닷컴(주) 연구원  
 2004년 8월 광운대학교 일반대학원 졸업(공학박사)  
 2003년 6월~2004년 6월: 한국전기연구원 연구원  
 2004년 12월~2005년 8월: 유한대학 연구교수  
 2005년 9월~2008년 2월: 한성대학교 교수  
 2008년 3월~현재: 광운대학교 교수  
 ※ 관심분야: 2D/3D 영상 및 비디오 처리, 디지털 홀로그래프, SoC 설계, 워터마킹/암호화

박 성 호(Sung-Ho Park)



2000년 2월 광운대학교 전자재료 공학과 졸업(공학사).  
 2004년 8월 광운대학교 대학원 졸업(공학석사).  
 2004년 8월~현재 LG 전자 SIC 사업팀 HPM Gr 선임연구원  
 ※ 관심분야: 영상압축, 워터마킹, 암호학, FPGA/ASIC 설계, Design Methodology

최 현 준(Hyun-Jun Choi)



2003년 2월 광운대학교 전자재료 공학과 졸업(공학사)  
 2005년 2월 광운대학교 일반대학원 졸업(공학석사)  
 2005년 3월~현재 광운대학교 일반대학원 박사과정  
 ※ 관심분야: 영상압축, 워터마킹, 암호학, FPGA/ASIC 설계, Design Methodology

김 등 옥(Dong-Wook Kim)



1983년 2월 한양대학교 전자공학과 졸업(공학사)  
 1985년 2월 한양대학교 대학원 졸업(공학석사)  
 1991년 9월 Georgia공과대학 전기공학과 졸업(공학박사)  
 1992년 3월~현재: 광운대학교 전자재료공학과 정교수.  
 광운대학교 신기술 연구소 연구원  
 ※ 관심분야: 디지털 VLSI Testability, VLSI CAD, DSP 설계, Wireless Communication