
나노구조 이중게이트 MOSFET에서 전도중심의 파라미터 의존성

정 학 기*

Parameter dependent conduction path for nano structure double gate MOSFET

Hak Kee Jung*

요 약

본 연구에서는 분석학적 모델을 이용하여 나노구조 이중게이트 MOSFET의 전도현상을 고찰하고자 한다. 분석학적 모델을 유도하기 위하여 포아슨방정식을 이용하였다. 전류전도에 영향을 미치는 전도메카니즘은 열방사전류와 터널링전류를 사용하였으며 본 연구의 모델이 타당하다는 것을 입증하기 위하여 서브문턱스윙값에 대하여 이차원 시뮬레이션값과 비교하였다. 이중게이트 MOSFET의 구조적 파라미터인 게이트길이, 게이트 산화막 두께, 채널두께에 따라 전도중심의 변화와 전도중심이 서브문턱스윙에 미치는 영향을 고찰하였다. 또한 채널 도핑농도에 따른 전도중심의 변화를 고찰함으로써 이중게이트 MOSFET의 타당한 채널도핑농도를 결정하였다.

ABSTRACT

In this paper, conduction phenomena have been considered for nano structure double gate MOSFET, using the analytical model. The Poisson equation is used to analytical model. The conduction mechanisms to have an influence on current conduction are thermionic emission and tunneling current, and subthreshold swings of this paper are compared with those of two dimensional simulation to verify this model. The deviation of current path and the influence of current path on subthreshold swing have been considered according to the dimensional parameters of double gate MOSFET, i.e. gate length, gate oxide thickness, channel thickness. The optimum channel doping concentration is determined as the deviation of conduction path is considered according doping concentration.

키워드

이중게이트 MOSFET, 포아슨방정식, 서브문턱스윙, 전도중심

I. 서 론

이중게이트 MOSFET는 차세대 주력 FET소자로 각광을 받으면서 여러 가지 구조가 연구되어지고 있다. 특히 이중게이트 MOSFET는 기존의 단일게이트 MOSFET에서 피할 수 없었던 단채널효과를 감소시킬 수 있다는 장점 때문에 100nm이하의 극미세소자를 제작시행하고

있다[1][2]. 이중게이트 구조는 초기의 수평형구조에서 수직형구조로 변화하고 있다[3]. 수평형 구조는 단채널 효과를 감소시킬 수는 있으나 전체적으로 집적도 향상에는 기여하지 못한다는 단점 때문에 수직형구조를 연구하게 되었다. 그러나 수직형구조도 제작방법이 난해하여 핀(fin)을 이용한 FinFET까지 개발되기에 이르렀다. Fin 구조는 제작이 용이한 반면 산화막과 채널과의

경계면에 따라 특성이 좌우되는 특징을 지니고 있다. 소스와 드레인을 연결시키는 핀의 제작은 기존의 공정을 충분히 이용할 수 있다는 장점이 있다.

그러나 핀 가장자리의 거칠은 표면으로 인한 반전층에서의 캐리어 이동도감소로 인하여 적당한 열처리공정이 요구되고 있다. 다중게이트구조의 경우, 1/3의 제한에서 자유스러워 기존의 단일게이트구조에서는 게이트길이가 20nm일때 FD(Fully Depleted) 실리콘 두께는 약 7nm이나 다중게이트의 경우 거의 게이트길이와 동일한 두께까지 증가시킬 수 있다는 장점이 있다. 이중게이트구조의 경우도 약 2/3정도까지 실리콘 두께(t_{Si})를 증가시킬 수 있다는 장점이 있다. 오메가(Ω)게이트구조[4]에 대해서도 개발되고 있으며 이와같은 특수/다중게이트 구조에서는 핀의 크기를 정확히 측정하는 것이 매우 중요하다. 본 연구에서는 이중게이트 MOSFET의 채널내 전류흐름을 분석하기 위하여 크기 변화에 따른 전도중심 변화에 대하여 고찰하고자 한다. 또한 전도중심과 서브문턱스윙과의 관계에 대하여 고찰함으로써 전도중심이 전류전도에 미치는 현상을 설명하고자 한다.

II. 이중구조 MOSFET와 이론적 배경

일반적인 이중게이트 MOSFET의 채널영역은 형태에 관계없이 두개의 게이트를 가지고 있다. 즉 그림 1과 같이 게이트산화막이 채널을 둘러싼 형태를 취하고 있

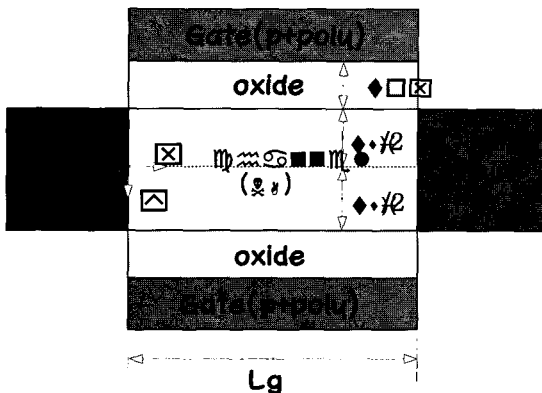


그림 1. 이중게이트 MOSFET구조
Fig. 1 Structure of double gate MOSFET

다. 채널의 도핑은 가능하면 작게 하여 완전결핍상태에서 동작하도록 하며, 대칭적인 구조로 두개의 동일한 P+ 폴리실리콘게이트를 사용하였으며 구조적 파라미터는 매우 낮게 P형 도핑된 채널의 두께 t_{Si} , 게이트산화막 t_{ox} 그리고 게이트길이 L_g 등이다. P형 채널은 $N_A=10^{16}cm^{-3}$ 을 사용하였다. n형 소스와 드레인 영역은 $N_D=10^{20}cm^{-3}$ 을 사용하였으며 폴리실리콘게이트의 P형 도핑도 $N_D=10^{20}cm^{-3}$ 을 사용하였다[5].

이중게이트 MOSFET의 경우 서브문턱영역에서 열방출 및 터널링전류가 대부분을 차지할 것이며 두 전류는 상호 독립적이므로 각각에 대하여 채널내 포텐셜분포를 구해야만 한다. 서브문턱영역에서 채널포텐셜은 완전히 결핍상태에서 이차원 포아송방정식을 이용하여 구할 수 있다.

$$\frac{\partial^2 \Psi(x, y)}{\partial x^2} + \frac{\partial^2 \Psi(x, y)}{\partial y^2} = qN_A / \epsilon_{Si} \quad (1)$$

이때 ϵ_{Si} 는 실리콘의 유전율이며 $\Psi(x, y)$ 는 채널내 이차원 포텐셜분포이다.

중첩의 원리를 사용하여 Ψ 는

$$\Psi(x, y) = V_{GS} - \Phi_{MS} + U_{ID}(y) + \Phi_{2D}(x, y) \quad (2)$$

와 같이 표현되며 여기서 V_{GS} 는 게이트전압, Φ_{MS} 는 게이트-채널간 일함수차이다. 그리고

$$U_{ID}(y) = \frac{V_A}{2} \left(\frac{y^2}{t_{Si}^2} - \frac{1}{4} - \frac{1}{8} \right) \quad (3)$$

이다. 여기서 t_{Si} 는 채널두께, $V_A = qN_A t_{Si}^2 / \epsilon_{Si}$, $y = \epsilon_{ox} t_{Si} / \epsilon_{Si} t_{ox}$ (여기서 t_{ox} 는 게이트산화막의 두께이며 ϵ_{ox} 는 산화막의 유전율이다.)이다. $\Phi_{2D}(x, y)$ 항은 소스/드레인의 영향을 표현한 이차원 라플라스방정식의 해로서

$$\Phi_{2D}(x, y) = \sum_j \Gamma_j \cos \frac{y}{\lambda_j} [V_j (\sinh \frac{x}{\lambda_j} + \sinh \frac{L-x}{\lambda_j}) + V_{DS} \sinh \frac{x}{\lambda_j}] / \sinh \frac{L}{\lambda_j} \quad (4)$$

이다. 여기서 λ_j 는 다음을 만족시키는 고유값이다.

$$\tan \frac{t_{Si}}{2\lambda_j} = \frac{\gamma\lambda_j}{t_{Si}} \quad (5)$$

$$\Gamma_j = \frac{2\lambda_j}{t_{Si}} \sqrt{1 + \frac{t_{Si}^2}{\gamma^2\lambda_j^2}} / (\frac{1}{\gamma} + \frac{1}{2} + \frac{1}{2} \frac{t_{Si}^2}{\gamma^2\lambda_j^2})$$

$$V_j = V_{th} - V_{GS} + \Phi_{MS} + V_A \lambda_j^2 / t_{Si}^2$$

이와같이 λ_j 값은 분석학적 모델로 표현하기 곤란하므로 수치해석학적으로 구하여 사용할 수도 있으나 Q.Chen 등[6]은 다음과 같은 분석학적 모델을 제시하였다.

$$\lambda_1 = \frac{1 + 1/\gamma}{1 + \pi/2} t_{Si} \quad (\gamma \leq \pi/2) \quad (6)$$

$$\lambda_1 = \frac{1 + \sqrt{2/\gamma}}{\sqrt{2 + \pi/2}} t_{Si} \quad (\gamma \geq \pi/2)$$

본 연구에서는 이와같은 분석학적 모델의 타당성도 분석할 것이다.

대부분의 캐리어가 이동되어지는 최소 채널포텐셜 Φ_{min} 은 $\partial\Psi(x, y)/\partial x = 0$ 에서 구할 수 있다.

이때 전류 I_D 는 자유전자의 총량에 비례하며 이의 밀도는 고전적 볼츠만통계를 따른다고 가정하면 $n_m(y) = (n_i^2/N_A) e^{q\Phi_{min}/kT}$ 이다. 이때 열적 전류 I_{ther} 와 터널링전류 I_{tun} 는 다음과 같다.

$$I_{ther} = qn_m(y)v_{th}t_{Si}W/6 \approx qn_m(d_{eff})v_{th}t_{Si}W/6 \quad (7)$$

$$I_{tun} = (qN_D t_{Si} W/6)(2T\nu_{th,i}/3 + T\nu_{th,l}/3) \quad (8)$$

이다. 여기서 T_t 와 $v_{th,i}$ 는 종방향 실효질량을 가진 전자의 터널링확률 및 열적속도이며 T_l 와 $v_{th,l}$ 는 횡방향 실효

효질량을 가진 전자의 터널링확률 및 열적속도이다. 식 (7)과 (8)로 표현되는 열방사 전류와 터널링 전류를 더하면 총 서브문턱전류를 구할 수 있다.

파라미터 d_{eff} 는 자유전자의 전도중심을 나타내며 다음과 같이 표현된다[6].

$$d_{eff} = \lambda_1 \cos^{-1} \left[\frac{\int_0^{t_{Si}/2} n_m \cos \frac{y}{\lambda_1} dy}{\int_0^{t_{Si}/2} n_m dy} \right] \quad (9)$$

또한 식 (7)과 (8)에서 구한 전류를 이용하여 서브문턱스윙을 다음과 같은 모델을 이용하여 구하였다.

$$SS = \left[\frac{\partial \log(I_{on})}{\partial V_{GS}} \right]^{-1} = \left[\frac{\partial I_{ther}/\partial V_{GS} + \partial I_{tun}/\partial V_{GS}}{\ln 10 \cdot (I_{ther} + I_{tun})} \right]^{-1} \quad (10)$$

III. 서브문턱스윙분석

먼저 본 연구의 모델에 대한 타당성을 검토하기 위하여 서브문턱스윙을 이차원 시뮬레이션값[7]과 비교하였다. 그림 2에 도시한 바와 같이 이차원 시뮬레이션값과 매우 잘 일치하므로 본 연구에서 제시한 모델이 타당함을 알 수 있었다. 게이트길이가 감소하면 터널링전류

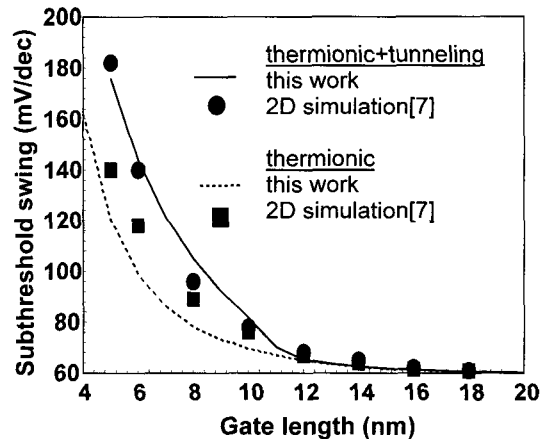


그림 2. 서브문턱스윙의 비교
Fig. 2 Comparison of subthreshold swings

에 의한 효과를 무시할 수 없어 서브문턱스윙이 급격히 증가함을 알 수 있었다.

일반적으로 디지털소자에서 사용할 수 있는 서브문턱스윙의 최대값은 약 70nm 정도로 알려져 있으므로 이론적으로는 약 10nm 정도의 소자까지 제작하여 상용화할 수 있을 것으로 사료된다.

그림 3은 채널두께에 따른 서브문턱스윙을 분석학적 λ_1 과 수치해석적 λ_1 의 경우에 따라 분석하였다. 분석 결과 Q.Chen 등이 제시한 분석학적 λ_1 을 사용하였을 경우 수치해석적 모델과 거의 일치함을 알 수 있었다. 그러나 채널두께가 증가할수록 차이가 급격히 증가하므로 분석학적 모델을 사용할 때는 채널두께가 작을 때로 국한해야만 한다는 것을 알 수 있었다. 또한 채널두께가 증가할수록 서브문턱스윙은 매우 증가하므로 채널두께를 얇게 제작하는 것이 중요하다고 사료된다. 이는 게이트 길이가와 밀접한 관계를 보이는 것도 알 수 있었다. 즉 게이트 길이가 짧을수록 채널두께에 대한 영향이 매우 증가함을 알 수 있다. 그림 4에 도핑농도에 따른 서브문턱스윙의 변화를 도시하였다. 그림 3에서 논의한 바와같이 채널두께가 작을 때 서브문턱스윙도 작으므로 20nm 일때 관계를 분석하였다.

서브문턱스윙은 채널내 도핑농도가 높을수록 감소함을 알 수 있었다. 특히 게이트길이가 작을 때에는 도핑농도의 변화에 따라 서브문턱스윙이 매우 가파르게 변

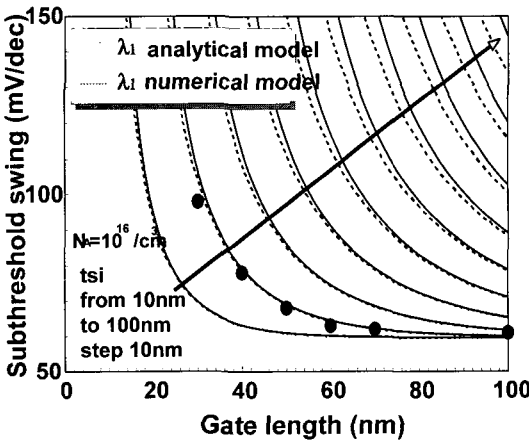


그림 3. 채널두께에 따른 서브문턱스윙분석 (● : Ref.7)

Fig. 3 Comparison of subthreshold swings for channel thickness(● : Ref.7)

화하였으며 분석학적 λ_1 과 수치해석적 λ_1 의 경우에 차이도 크게 발생함을 알 수 있었다. 게이트길이가 감소함에 따라 채널도핑농도에 의한 영향이 급격히 증가하는 것도 그림 4에서 알 수 있었다.

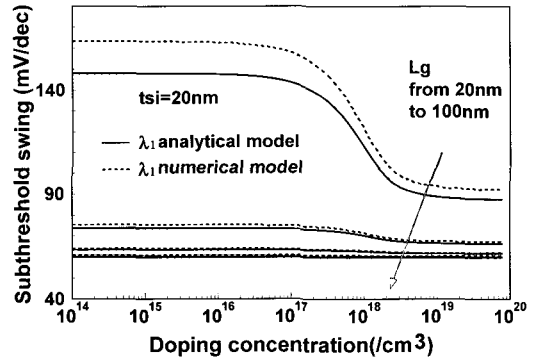


그림 4. 도핑농도에 따른 서브문턱스윙변화
Fig. 4 Deviations of subthreshold swing for doping concentrations

IV. 파라미터변화에 따른 전도중심변화

전도중심에 대한 이론적 고찰을 위하여 먼저 채널내 포텐셜에너지분포를 구하였다. 그림 5에 채널길이 $L_g = 10\mu m$, 채널두께 $t_{si} = 1.5nm$ 일 때 포텐셜에너지 분포를 도시하였다. 소스에서 드레인으로 이동하고 있는 열방사전자와 터널링전자는 일정한 전도중심으로

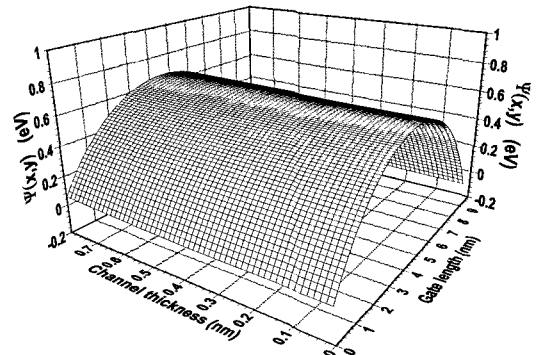


그림 5. 채널내 포텐셜에너지분포
Fig. 5 Distribution of potential energy

이동한다고 생각할 수 있으며 특히 본 연구에서 제시한 분석학적 모델에서는 전자가 이동하는 경로 즉, 전도중심 d_{eff} 는 매우 중요한 파라미터이다. 그림 6에 도핑농도의 변화에 따른 전도중심의 변화를 도시하였다. 그림 6에서도 알 수 있듯이 저도핑영역에서 일정한 전도중심을 보이며 고도핑으로 진행할수록 전도중심은 게이트 콘택으로 이동한다. 특히 채널두께가 커지면 도핑에 따른 증가도 빨리 발생함을 알 수 있었다. 전도중심이 게이트 콘택으로 이동하면 서브문턱영역에서 서브문턱스윙값이 감소하는 장점은 있으나 선형영역 및 포화영역에서 불순물산란 및 캐리어산란 등이 증가하고 부분결핍 (partially depleted)상태가 되므로 전송특성이 저하될 수 있다. 그러므로 채널은 저농도도핑을 이용하여 제작하고 있다.

게이트산화막 두께 변화에 따른 전도중심의 변화를 관찰하기 위하여 그림 7에 전도중심의 변화를 도시하였다. 그림에서 알 수 있듯이 게이트산화막 두께에 다른 전도중심의 변화는 거의 무시할 수 있을 정도이므로 전도중심 변화에 의한 서브문턱스윙의 변화는 거의 무시할 수 있을 것이다. 실제로 식(3)에서 캐패시턴스율 (capacitance ratio)로 표현되는 채널두께 대 게이트산화막 두께비에 따라 포텐셜이 변화하는 것을 알 수 있으며 그 영향은 매우 미미하다는 것을 관찰할 수 있다.

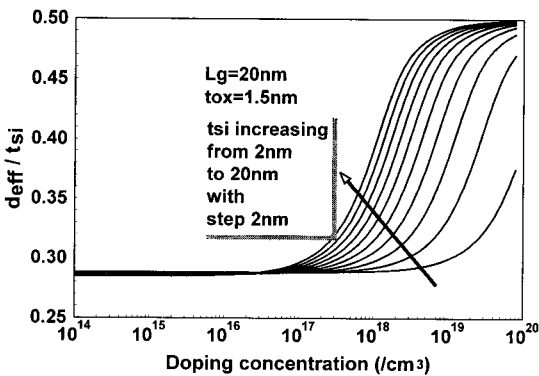


그림 6. 도핑농도 변화에 따른 전도중심의 변화
Fig. 6 Deviation of current path according to doping concentration

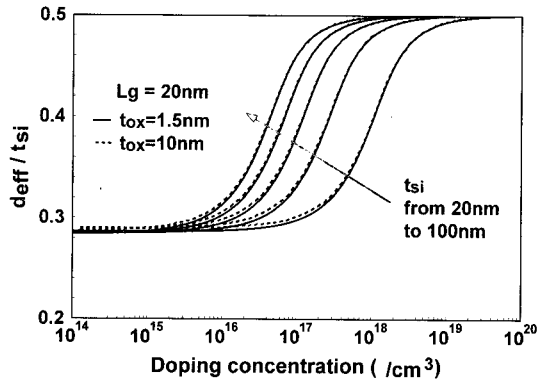


그림 7. 산화막두께에 따른 전도중심의 변화
Fig. 7 Deviation of current path according to gate oxide thickness

V. 결 론

본 연구에서는 이중게이트 MOSFET에서 크기 및 채널도핑 등의 파라미터가 변화할 때 전도중심의 변화를 고찰하였다. 제시한 전송모델의 타당성을 입증하기 위하여 이차원 시뮬레이션값과 서브문턱스윙값을 비교하였으며 매우 잘 일치함을 알 수 있었다. 포텐셜에너지 분포를 이용하여 열방사전류와 터널링전류를 구하였으며 전도중심을 크기 및 도핑농도 등 파라미터에 따라 고찰하였다. 도핑농도가 증가할수록 전도중심은 게이트 콘택으로 이동하여 서브문턱스윙값이 작아짐을 알 수 있다. 또한 채널두께가 작아지면 작은 도핑농도에도 게이트 콘택 방향으로 전도중심이 이동하며 게이트 산화막 두께에는 거의 영향을 받지 않는 것으로 관찰되었다.

참고문헌

- [1] B.Yu,L.Chang, S.Ahmed, H.Wang, S.Bell, C.Yang, C.Tabery, C.Ho, Q.Xiang, T.King, J.Bokor, C.Hu, M.Lin, D.Kyser, "FinFET Scaling to 10nm Gate Length," IEDM, San Francisco, CA, 2002.
- [2] X.Huang, W.C.Lee, C.Kuo et al. "Sub-50nm P-Channel FinFET," IEEE Trans. Electron Devices, col. 48, no.5, 2001.

- [3] H.R.Huff and P.M.Zeitsoff, "The Ultimate CMOS Device:A 2003 Perspective, "the 2003 International Conference on Characterization and Metrology for ULSI Technology, pp.1-16, Austin,Texas,2003.
- [4] F.L.Yang, H.Y.Chen, C.C.Huang, C.Y.Chang, H.K.Chiy, C.C.Lee et al. "25nm CMOS Omega FETs,"IEDM, pp.255-258, 2002
- [5] H.K.Jung and S.Dimitrijev,"Analysis of Subthreshold Carrier Transport for Ultimate Double Gate MOSFET,"IEEE Trans. Electron Devices, vol. 53, no.4, to be published, 2006.
- [6] Q.Chen, B.Agrawal, J.D.Mein^o, "A Comprehensive Analytical Subthreshold Swing(S) Model for Double-Gate MOSFETs," IEEE Trans. Electron Devices, vol. 49, no.6, pp.1086-1090, Jun, 2002.
- [7] D.Munteanu and J.L.Autran,"Two-dimensional modeling of quantum ballistic transport in ultimate double-gate SOI devices," Solid-State Electronics, vol.47, pp.1219-1225, 2003.

저자소개

정 학 기(Hak Kee Jung)



1983.3 아주대학교 전자공학과 졸업
1985.3 연세대학교 전자공학과 M.S.
1990.8 연세대학교 전자공학과 Ph.D
1995.8 일본 오사카대학 교환교수

2005.8 호주 그리피스대학 교환교수

1990.3-현재 군산대학교 전자정보공학부 교수

※ 관심분야 : 반도체소자 시뮬레이션, 몬테칼로 시뮬레이션, 회로 및 시스템 해석 등