

UWB Chaotic-OOK 통신을 위한 송신기 설계

Design of Transmitter for UWB Chaotic-OOK Communications

정 무 일 · 공 효 진 · 이 창 석

Moo-Il Jeong · Hyo-Jin Kong · Chang-Suk Lee

요 약

본 논문에서는 TSMC 0.18 um CMOS 공정을 사용하여 UWB Chaotic-OOK(On-Off Keying) 통신을 위한 송신기를 설계하였다. 송신기는 Quasi-chaotic 신호 발생기, OOK 변조기, 구동 증폭기로 구성되어 있다. 일반적으로 아날로그 피드백을 사용하는 chaotic 신호 발생기는 공정 변화에 대한 취약점이 있어 이를 개선하기 위하여 디지털 피드백 구조의 Quasi-chaotic 신호 발생기를 사용하였다. 또한, OOK 변조를 위해 T형 구조의 변조기와 단일 출력 신호를 얻기 위한 차동 입력 단일 출력 구동 증폭기를 설계하였다. 측정 결과, 요구되는 spectrum mask를 만족시키는 출력을 얻었으며, 데이터 20 Kbps, 200 Kbps, 2 Mbps, 10 Mbps에 따른 OOK 변조 테스트를 통해 출력 신호를 확인하여 UWB chaotic-OOK 송신기로 사용 가능함을 확인하였다.

Abstract

Chaotic OOK modulation method can be used in LDR(Low Data Rate) UWB systems. In this paper, UWB chaotic-OOK transmitter system is designed and verified using TSMC 0.18 um CMOS process. A transmitter system is composed of Quasi-chaotic signal generator, OOK Modulator, and driving amplifier. The traditional chaotic signal generators using analog feedback method is weak to process variation. In order to solve this problem, a quasi-chaotic signal generator using digital feedback technique is get wide band signal and OOK Modulator using T-type switching structure is used to enhance the isolation characteristic. A driving amplifier has differential to single structure to avoid an external balun for low cost communication. The measured output power spectrum of the transmitter meet the FCC regulation and the result of the modulation test at data rate of 20 Kbps, 200 Kbps, 2 Mbps, and 10 Mbps is conformed to LDR UWB system. It is shown that the transmitter in this paper can be used for the UWB chaotic-OOK system.

Key words : LDR, UWB, OOK, Chaotic, PN-Sequence, VCO, CML, TSPC

I. 서 론

2002년 4월 미국 연방통신위원회(Federal Communications Commission: FCC)가 상업화를 승인한 이후, 초고속 W-PAN용 UWB(Ultra Wide Band) 표준화를 담당하는 IEEE 802.15.3a Task Group 및 무선 측위(wireless position location) 기능까지 수반하는 저속, 저 전력의 W-PAN을 위한 Task Group인 IEEE 802.15.4

a를 중심으로 유수 업체들이 UWB 연구 개발에 적극 참여하고 있다^[1]. 국내에서는 정보통신부 주관의 한국 UWB 포럼과 산업자원부 주관의 UWB 산업용 표준화 포럼을 주축으로 하여 급격한 UWB 국제 정세에 발 빠르게 대처하고 있는 상황이다.

IEEE 802.15.4a인 LDR(Low Data Rate) UWB 시스템에서는 pulse, chaotic 그리고 chirp 신호를 이용한 통신 방법이 채택되었다. 또한, chaotic 신호를 이용

「본 논문은 2단계 BK21사업의 지원에 의하여 연구되었음.」

한밭대학교 전자공학과(Department of Radio Science & Engineering, Hanbat University)

· 논 문 번 호 : 20080129-014

· 수정완료일자 : 2008년 2월 22일

한 OOK 통신 방법은 선택적 사항으로 채택되어 있다. 현재 chaotic 신호를 이용한 OOK 통신 방법은 많은 연구가 진행되고 있다.

본 논문에서는 TSMC 0.18 um CMOS 공정을 이용하여 송신기를 설계하였다. 송신기는 Quasi-chaotic 신호 발생기, OOK 변조기, 구동 증폭기로 구성되어 있다. 광대역 신호 발생을 위하여 Quasi-chaotic 신호 발생기를 사용하였으며, OOK 변조를 위해 T형 구조의 변조기와 단일 출력 신호를 얻기 위한 차동 입력 단일 출력 구동 증폭기를 설계하였다.

II. UWB 송수신기 구조

그림 1은 UWB 시스템의 블록 다이어그램이며, 송신기와 수신기로 이루어져 있다. 먼저 수신기에서는 안테나를 통하여 들어온 신호는 저잡음 증폭기를 통해 증폭한 다음 포락선 검파기에 입력된다. 포락선 검파기는 입력된 신호의 에너지를 추출하여 출력하며, 저역 통과 필터에서 불필요 고조파 성분을 제거한 후 이득 제어 증폭기를 통해 일정한 크기의 신호로 출력한다. 일반적인 송신기에서는 광대역 신호를 얻기 위하여 아날로그 피드백 구조의 chaotic 신호 발생기를 사용하나, 이는 공정 변화에 취약점이 있어 칩 제작의 어려움과 가변적인 중심 주파수와 대역폭을 가진 신호 발생에 어려움이 있다. 이를 개선하기 위해 디지털 피드백 구조의 Quasi-chaotic 신호 발생기를 사용하였다. Quasi-chaotic 신호 발생기는 VCO, Divider, PN-sequence 그리고 Up-conversion mixer로 구성되어 있다. 먼저 VCO에서 요구되는 주파수를 발생시키고, 이 신호를 Divider를 통해 나눈

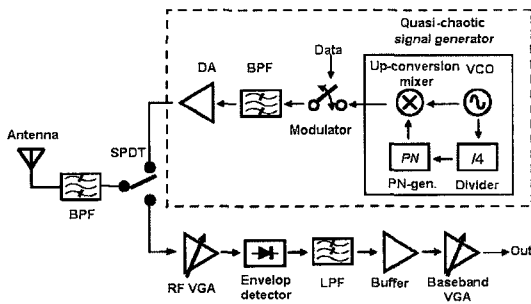


그림 1. UWB 시스템 블록 다이어그램
Fig. 1. Block diagram of the UWB system.

다. Divider 출력 신호를 PN-sequence의 Clock으로 사용하여 랜덤 신호를 발생한다. Up-conversion mixer는 PN-sequence의 출력 신호와 VCO의 발생된 주파수 신호를 혼합하여 광대역 신호를 얻을 수 있다. 또한, VCO의 주파수와 Divider의 나누기 비율을 조절하여 요구되는 중심 주파수와 대역폭을 조절할 수 있는 장점이 있다. Quasi-chaotic 신호 발생기를 이용하여 광대역 신호를 발생하고, 발생된 신호는 입력 데이터에 따라 변조기에서 "on", "off" 하여 OOK 변조를 한다. 변조된 신호는 대역 통과 필터를 통해 불필요 성분을 제거한 후 구동 증폭기를 통해 요구되는 출력으로 증폭하여 출력한다. 본 논문에서는 그림 1의 점선 부분인 UWB 시스템의 송신기를 설계 및 측정하였다.

III. 회로 설계

그림 2는 VCO 회로도도를 나타내었다. Chaotic 신호 발생을 위한 VCO는 phase noise 특성보다 낮은 전력소모로 큰 출력이 요구되기 때문에 PMOS M_1 과 M_2 그리고 NMOS M_3 와 M_4 를 이용하는 상호 결합 구조와 NMOS 전류원을 이용하여 저 전력으로 큰 전압 스윙을 얻도록 하였다^[2]. 4 GHz에서 발진하도록 코일 L_1 과 버랙터 C_1 를 이용하여 LC 공진 회로를 구성하였으며, 공정 변화에 따른 주파수 편차를 보정하기 위하여 큰 사이즈의 버랙터를 사용하였다.

그림 3(a)는 Divide-by-2 블록 다이어그램을 나타내었다. 2개의 D-latch가 상호 결합 구조로 연결되어 있으며, 하나의 D-latch는 master로 다른 하나는 slave

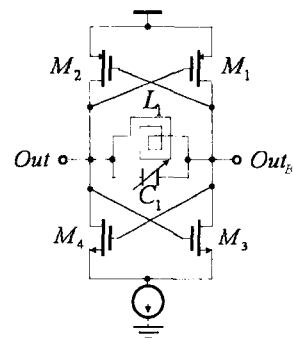


그림 2. VCO 회로도
Fig. 2. Schematic of the VCO.

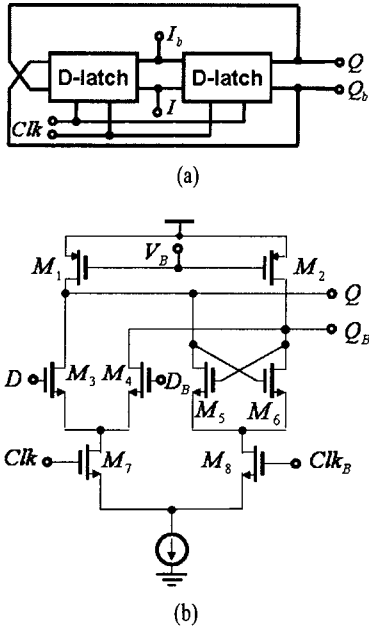


그림 3. (a) Divide-by-2 블록 다이어그램, (b) D-latch 회로도

Fig. 3. (a) Block diagram of the Divide-by-2 circuit, (b) Schematic of the D-latch.

로 동작한다. 그림 3(b)는 Divide-by-2의 D-latch의 회로도를 나타내었다. Clock 신호가 "0"에서 "1"로 바뀌면 NMOS M_7 이 "on"이 되면서 M_3 와 M_4 에 각각 D 와 D_B 신호를 받아들여 상태를 유지하고 있다가 clock 신호가 반전되면 M_7 은 "off" 되고, M_8 이 "on"이 된다. M_8 이 "on"이 되면 상호 결합 구조의 negative gm cell인 M_5 와 M_6 에서 현 상태를 유지하고 있어 D-latch 동작을 하게 된다. 이러한 동작을 하는 두 개의 D-latch를 상호 결합 구조로 연결하여 하나의 D-flip flop으로 동작하여 Divide-by-2를 설계하였다. PMOS M_1 과 M_2 는 gate에 bias를 가해 낮은 전압 드롭으로 큰 저항 효과를 얻을 수 있도록 하여 출력 전압을 크게 하였고, 또한 M_1 과 M_2 트랜지스터 크기를 작게 하여 파라스틱 커패시터 성분을 줄여 적은 전력으로 높은 주파수에서 동작하게 하였다^[3].

그림 4(a)는 15 bit PN-sequence 블록 다이어그램을 나타내었다. UWB(Ultra Wide Band)의 송신 규격은 spectrum analyzer의 resolution bandwidth 1 MHz에 출력 power가 -42 dBm이다. 따라서 최대 PN-sequence 주기가 20000 이상 되어야 한다.

식 (1)은 PN-sequence 최대 주기 T_{MAX} 를 나타내었다.

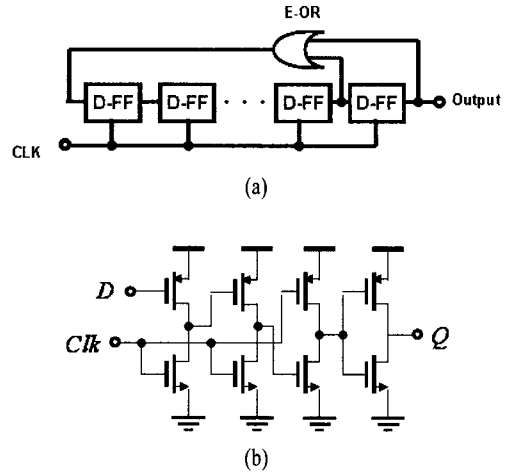


그림 4. (a) 15 bit PN-sequence 블록 다이어그램, (b) TSPC 구조의 D-flip flop 회로도
Fig. 4. (a) Block diagram of the 15bit PN-sequence, (b) Schematic of the TSPC D-flip flop.

$$T_{MAX} = 2^m - 1 \quad (1)$$

식 (1)에서 m 은 PN-generator에서 사용되는 시프트 레지스터의 길이이다. PN-sequence 주기가 20000 이상 되어야 하므로 $m=11$ 이상 되어야 하나, 특성 향상을 고려하여 $m=15$ 인 PN-generator를 설계하였다. 식 (2)는 $m=15$ 인 생성다항식을 나타내었다.

$$p(z) = x^{15} + x^{14} + 1 \quad (2)$$

식 (2)에서 x^{15} 와 x^{14} 를 E-OR하여 피드백하는 구조로 15 bit PN-generator를 구성하였으며, 그림 4(a)에 나타냈다. 그림 4(b)는 PN-generator의 D-flip flop의 회로도도 TSPC(True Single Phase Clock) 구조를 사용하고 있다. CML(Current Mode Logic)은 높은 주파수에 동작하는 구조로서 소비 전력이 크고 회로가 복잡한 단점이 있어, 이를 개선하기 위해 간단한 구조에 전력 소비가 적은 TSPC(True Single Phase Clock) 구조의 D-flip flop으로 설계하였다^[4].

그림 5는 주파수 상향 변환기 회로도를 나타내었다. Double balance 구조의 mixer로서 출력에 LO 신호와 입력 신호를 억제하였다. 입력에 차동 신호가 입력되면 NMOS M_5 와 M_6 에 의해 증폭되며, 스위칭 코어인 NMOS $M_1 \sim M_4$ 는 M_5 와 M_6 에서 증폭된 신호와 LO를 mixing하여 load 저항 R_1 과 R_2 에 각각 출력하는 구조를 사용했다. 그림 6은 OOK modulator의 회로

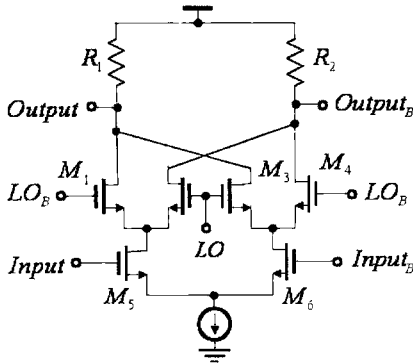


그림 5. 주파수 상향 변환기 회로도
Fig. 5. Schematic of the up-mixer.

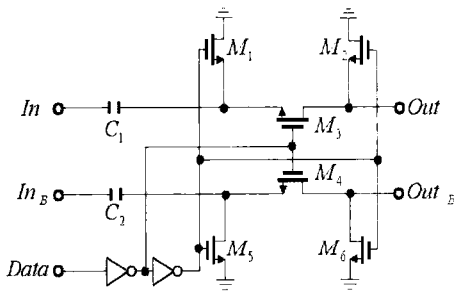


그림 6. Modulator 회로도
Fig. 6. Schematic of the modulator.

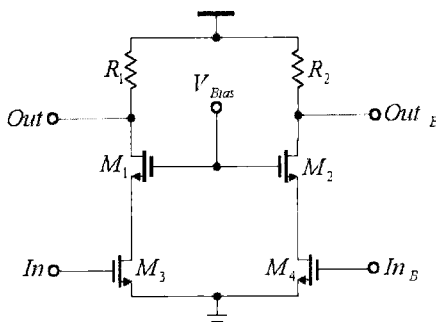


그림 7. Buffer 회로도
Fig. 7. Schematic of the Buffer.

도를 나타내었다. T형 스위치 구조를 이용하였으며, 입력 신호의 손실을 적게 하기 위하여 M_1, M_2, M_3 그리고 M_6 크기를 작게 하여 기생 커패시터 성분을 작고 "off"일 때 임피던스 성분을 크게 하였다. 또한 M_3 와 M_4 의 크기는 신호 입출력에 연결된 주파수 상향 변환기와 구동 증폭기의 임피던스를 고려하여

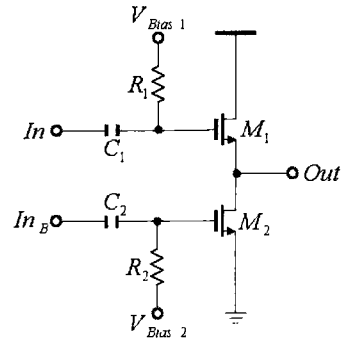


그림 8. 구동 증폭기 회로도
Fig. 8. Schematic of the DA.

"on", "off"시 최적의 임피던스 비율이 되도록 설계하였다. 데이터 입력이 "1"일 때 NMOS M_3 와 M_4 는 "on"이 되어 작은 임피던스를 가지며, 나머지 트랜지스터는 "off"되어 큰 임피던스 값을 갖게 되어 입력된 신호가 접지로 가지 못하고, 직접 M_3 와 M_4 를 통해 출력으로 나온다. 데이터 입력이 "0"일 때 트랜지스터가 "1"과 반대로 NMOS M_3 와 M_4 는 큰 임피던스 값을 갖게 되며, 나머지 트랜지스터는 적은 임피던스를 갖게 되어 입력 신호가 접지로 빠지도록 하였다. 그림 7은 버퍼 회로의 회로도로서 일반적인 차동 증폭기를 사용하였으며, 외부에 대한 영향을 줄일 수 있도록 cascode 구조를 사용하였다. 그림 8은 구동 증폭기의 회로도를 나타내었으며, 차동 입력 신호를 단일 출력으로 하는 구조를 사용하여 외부 발문을 줄일 수 있는 구조를 사용하였다.

IV. 측정 결과

본 논문에서는 TSMC 0.18 um CMOS 공정을 이용하여 송신기를 설계 및 제작하였다. 측정용 PCB(Printed Circuit Board)를 제작하여 CoB(Chip on Board)로 측정하여 성능을 검증하였다.

그림 9는 $V_{cnt}=1.17$ V에서의 출력 주파수를 spectrum analyzer로 측정한 결과를 나타내었다. 원하는 주파수 4 GHz에서 출력되고 있음을 알 수 있으며, 이때 전원 전압 1.8 V에서 사용된 전력은 2.9 mW를 사용하였다.

그림 10는 VCO 제어 전압에 따른 주파수 변화를 나타내었다. Cadence사의 spectre를 이용한 PSS 시뮬

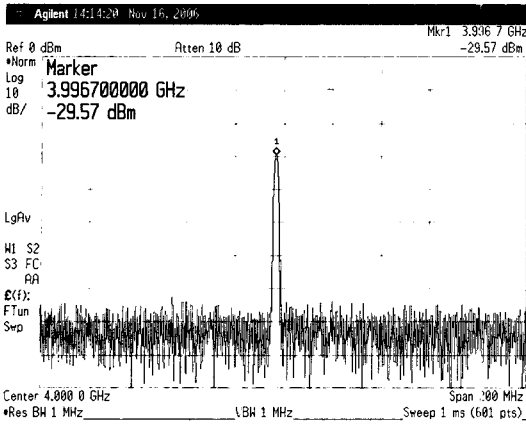


그림 9. VCO 출력
Fig. 9. Measured spectrum of the VCO.

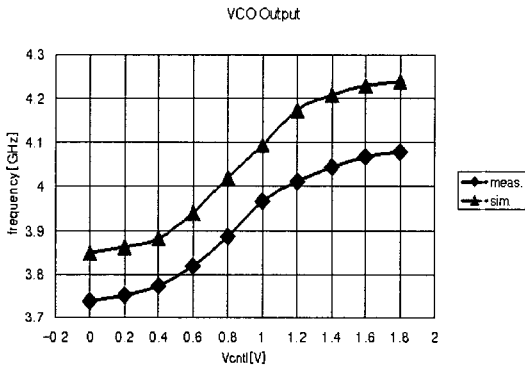


그림 10. 제어 전압에 따른 출력 주파수
Fig. 10. Measured of the output frequency vs. control voltage.

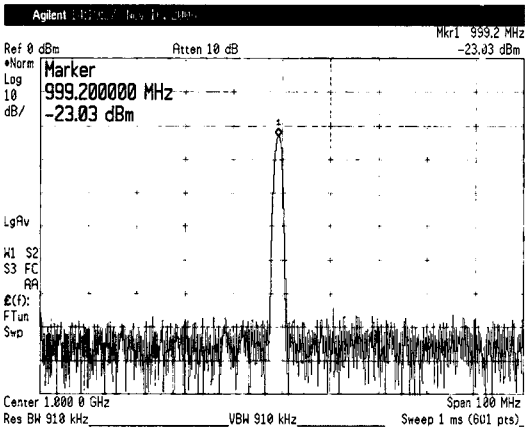


그림 11. Divide_by_4 출력
Fig. 11. Measured spectrum of the Divide_by_4.

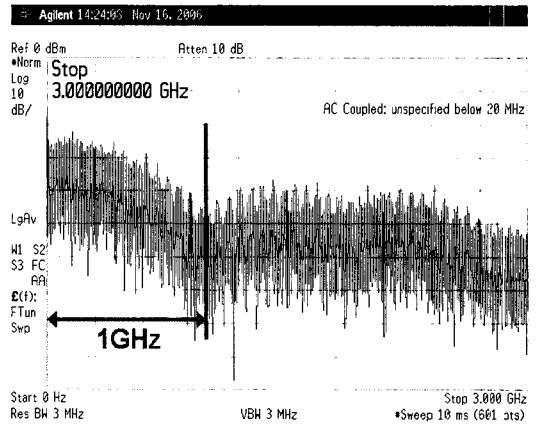


그림 12. PN-sequence 출력
Fig. 12. Measured spectrum of the PN-sequence.

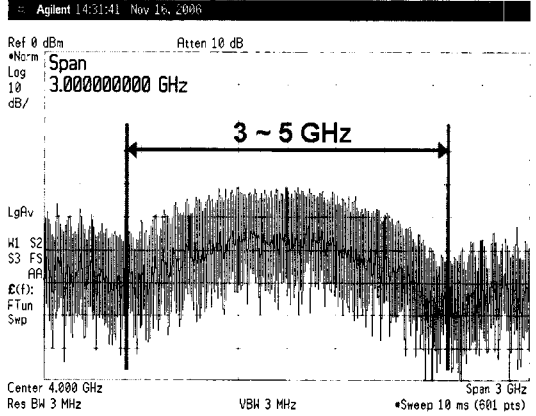


그림 13. Chaotic 신호 발생기 출력
Fig. 13. Measured spectrum of the chaotic signal generator.

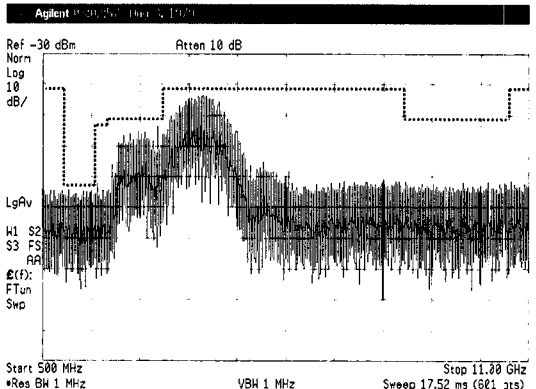
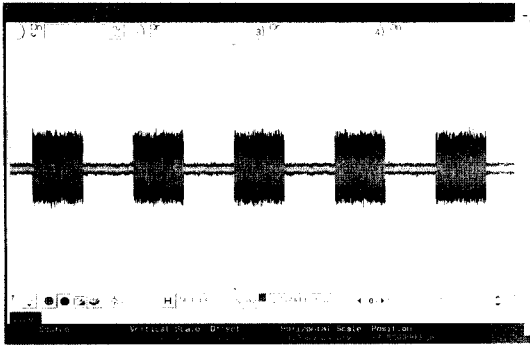
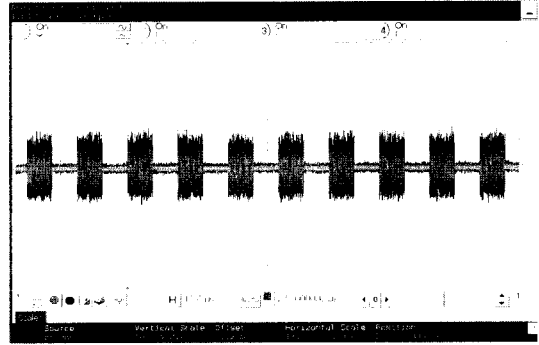


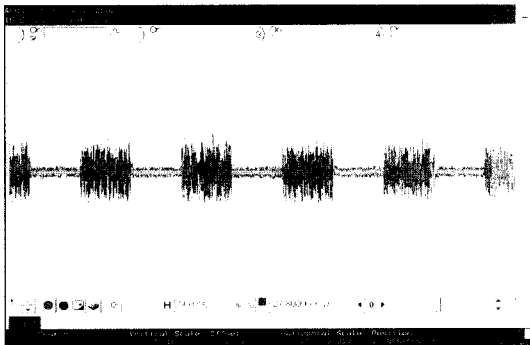
그림 14. 송신기 주파수 스펙트럼
Fig. 14. Measured spectrum of the transmitter.



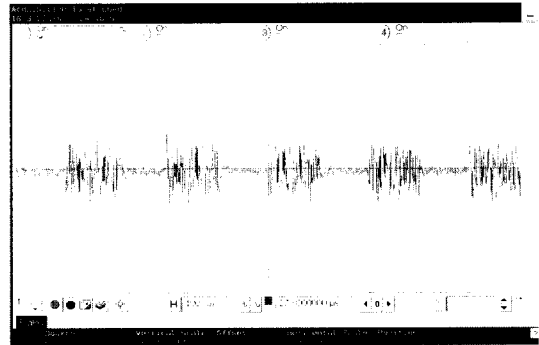
(a) 20 Kbps



(b) 200 Kbps



(c) 2 Mbps



(d) 10 Mbps

그림 15. OOK 변조 테스트
Fig. 15. OOK modulation test.

레이션 설계치는 3.85~4.25 GHz이었으나, 측정치는 layout의 기생 커패시터에 의한 영향으로 공진 주파수가 하락되어 측정치는 3.75~4.1 GHz에서 발진하였다. 그림 11은 VCO에서 출력되는 4 GHz의 신호를 Divide_by_4한 출력을 나타내었다. 4 GHz 신호가 나누기 4가 되어 1 GHz 신호가 출력되고 있다. 그림 12는 Divide_by_4의 출력인 1 GHz의 신호로 PN-sequence를 동작시킨 출력을 나타내었다. 1 GHz 까지 수도 랜덤 신호가 나타나는 것을 알 수 있다. 그림 13에 quasi-chaotic 신호 발생기의 출력을 나타냈다. VCO의 4 GHz 신호와 PN_sequence 출력을 up-mixing하여 3~5 GHz까지 수도 랜덤 신호가 나타나고 있다.

그림 14는 송신기의 주파수 스펙트럼을 나타내었다. 측정된 주파수 스펙트럼은 FCC 규정에 따른 주파수 스펙트럼 마스크에 만족함을 확인하였다. 그림 15는 데이터 20 Kbps, 200 Kbps, 2 Mbps, 10 Mbps에

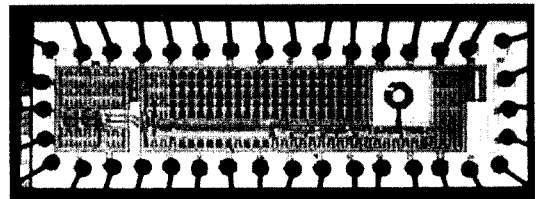


그림 16. 제작된 칩 사진
Fig. 16. Microphotograph of the manufactured chip.

서 OOK 변조 테스트 결과를 나타내었다. 모든 데이터에서 변조가 잘 되고 있음을 확인할 수 있다. 그림 16은 제작된 칩 사진으로 크기는 2.4×0.9 mm²이다.

V. 결 론

최근 UWB chaotic-OOK 시스템에 대한 연구가 많이 진행되고 있다. Chaotic 신호를 이용한 통신 시스템에서 안정적인 chaotic 신호 발생기가 중요 회로

중에 하나이다. 이 시스템에서 중요 회로 중에 하나인 chaotic 신호 발생 회로는 현재 대부분 아날로그 피드백 구조를 이용하고 있어 공정 변화에 취약점이 있어 디지털 구조에 PN-sequence를 이용하는 Quasi-chaotic 신호 발생기를 이용하여 광대역 신호를 발생하였다. 또한, OOK 변조를 위해 T형 구조의 변조기와 단일 출력 신호를 얻기 위한 차동 입력 단일 출력 구동 증폭기를 제안하였다. 제안된 송신기는 0.18 um CMOS 공정을 이용하여 설계 및 제작하였으며, 제작된 칩은 CoB를 통해 측정하였다. 측정 결과, 요구되는 spectrum mask를 만족시키는 출력을 얻었으며, 데이터 20 Kbps, 200 Kbps, 2 Mbps, 10 Mbps에 따른 OOK 변조 테스트를 통해 출력 신호를 확인하여 UWB chaotic-Ook 송신기로 사용 가능함을 확인하였다.

참 고 문 헌

- [1] A. Batra et al., "Multi-band OFDM physical layer proposal", *IEEE 802.15. Task Group 3a*, Jul. 2003.
- [2] Eng-Ting Hsu, Chung-Yu Chiang, and Ting-Yueh Chih, "Design of low power with low phase noise of VCO by CMOS process", in *Proc. APMC. 2005*, vol. 2, p. 4, Dec. 2005.
- [3] R. Chandrasekaran, Lian Yong, and Rana Ram Singh, "A high-speed low-power D flip-flop", *ASIC, 2005. ASICON 2005. 6th International Conference On*, vol. 1, 24-27, pp. 82-85, Oct. 2005.
- [4] Sangho Shin, Kwiro Lee, and Sung-Mo Kang, "3.48 mW 2.4 GHz range frequency synthesizer architecture with two-point channel control for fast settling performance", in *Proc. IEEE International SOC Conference*, pp. 1-6, Sep. 2005.

정 무 일



시스템 설계

2000년 2월: 한밭대학교 정보통신공학과 (공학사)
 2002년 2월: 한밭대학교 정보통신공학과 (공학석사)
 2006년 7월~현재: 한밭대학교 전파공학과 박사과정
 [주 관심분야] 집적회로 설계, RF

이 창 석



통신연구원 책임연구원

1984년 2월: 경북대학교 전자공학과 (공학사)
 1986년 2월: 한국과학기술원 전기 및 전자공학과 (공학석사)
 1996년 2월: 한국과학기술원 전기 및 전자공학과 (공학박사)
 1986년 2월~1998년 3월: 한국전자

1998년 4월~현재: 한밭대학교 정보통신컴퓨터공학부 교수
 [주 관심분야] 고주파 집적회로(MMIC) 설계

공 효 진



2001년 3월~현재: 한밭대학교 전파공학과 (공학사)
 2008년 3월~현재: 한밭대학교 전파공학과 석사과정
 [주 관심분야] 고주파 집적회로(MMIC) 설계