
PC의 랜카드와 스위칭 허브를 활용한 다접점 I/O 모듈 개발

김태민* · 전윤한** · 신건순***

A Multi-point I/O module development that utilize PC's LAN card and Switching

Tae-Min Kim*·Yoon-Han Jeon**·Gun-Soon Shin***

이 연구는 2008년도 금오공과대학교 학술 연구비에 의하여 연구된 논문임

요 약

공장자동화와 공정의 분산제어 등과 같이 대형의 복잡한 시스템들을 실시간으로 운용 및 관리하는데 있어서 선결해야 하는 가장 중요한 과제중의 하나는 막대한 양의 제어 및 계측 관련 데이터들을 적시에 수집하여 가공한 후 이를 적시 적소에 분배해 줄 수 있는 데이터 처리 기술을 구축하는 것이다. 이러한 문제를 해결하기 위한 방안으로 최근에 와서 대형의 복잡한 시스템을 여러 개의 분산된 부 시스템으로 모듈화하고, 각각의 부 시스템들의 제어기능을 수행하는 컴퓨터들을 네트워크로 연결하는 컴퓨터 통신망의 사용이 확산되고 있다. 이더넷 통신 방식을 이용하여 다채널의 신호를 다중화하여 전송할 수 있는 다중화 기술을 응용 개발한다. 반도체, LCD 장비 내의 많은 I/O 접점을 갖는 선로들을 다중화 하여 여러 장치들을 실시간 제어 가능한 이더넷 통신을 이용한 다접점의 I/O 모듈을 개발한다.

ABSTRACT

System such as FA and breakup TC is applied by real time and need to manage. This paper studies data processing skill that can divide TC and data of much quantity with collection by real time. Modularize to several system, and use of computer communication network that interlink computers that can achieve control function of each systems to network is spreading. Develop that can take advantage of Ideonet communication method and transmit signal of channel because do multiplex all. Do data that have semi-conductor equipment or many input of LCD equipment and output node multiplex, and several units real time Ideonet communication that control is available use that all input of point of contact and output module develop.

키워드

I/O module, Ideonet communication, complicated system

* Chip Work 연구원

** 금오공과대학교 자연과학부 교수

*** 금오공과대학교 전자공학부 교수

I. 서 론

현재 자동화 솔루션에 있어 최고의 화두는 바로 이더넷(Ethernet)이다. 현재도 지속적으로 변화를 거듭하고 있는 자동화 기술에 있어 향후 5년은 IT 기술사용 및 이들과의 접목이 주가 될 것으로 전망되며 전 세계 많은 업체들이 연구개발을 서두르고 있다. 특히 필드버스에 이어 이더넷(Ethernet)은 이제 자동화 관련 엔지니어들에게 아래와 같은 세 가지의 특징을 내세워 현장에 적용하려는 움직임이 진행 중이다.

첫째, 이더넷은 이제 사무실에서 통신 네트워크의 표준으로 자리 잡고 있으며, 표준화를 위해 이러한 인프라는 각 생산 시스템에서 필드 계층까지 모든 네트워크에서 사용될 수 있다.

둘째, 이더넷은 이미 많은 PC의 메인 보드에 기본으로 장착되어 있으며, TCP/IP와함께 대부분의 OS (Operating System)에서 이를 지원하고 있다.

셋째, 이미 사무실에서 사용되는 이더넷 기반제품들이 대량으로 공급되고 있으며, 이로 인해 이들 제품들에 대한 가격도 많이 저렴하다.

표 4. 국내의 기술성 및 차별화
Table 1. Kill and difference of internal outside the country

항목	EtherCAN 통신사양 (현재개발중)	DeviceNet 통신 사양 (Rockwell)
통신 방식	- Ethernet 통신방식	- CAN 통신방식
통신 거리 및 속도	- 최대 100Meter (100Mbps)	- 최대 500Meter (125kbps) - 최대 100Meter (500kbps)
전원	- 정격 전압: 24V dc nominal - 전압 범위: 5~28vDC - 소모 전력: 1.0W최대	- 정격 전압: 24V dc nominal - 전압 범위: 11~28vDC - 소모 전력: 1.5W최대
노드 설정	- 최대 64노드 - 슬레이버 확장 가능	- 최대 64노드 - 슬레이버 확장 가능
판매가	- 마스터 유니트(랜카드 사용): 5천원 - 슬레이버 유니트(64노드): 15만원 -입출력단 자보드(16노드): 2만원	- 마스터 유니트: 100만원 - 메인 슬레이버 유니트: 30만원 - 슬레이버 확장 유니트: 17만원

현재 우리나라는 컴퓨터통신 분야 및 관련기술의 국

내 생산제품의 영세해 경쟁력이 취약한 상태이다. 또한 기존의 국내 CAN (Controller Area Network) 시장에 외국에 의해 거의 독점 당하고 있고, 모든 규격을 외국에 의존하고 있기 때문에 기술 종속이 되어 있어 부가가치가 낮은 기술로 단가 경쟁에 치우쳐 레드오션을 형성하고 있다.

표1에 나타난 것과 같이 기술과 가격적인 측면에서 우위를 점할 수 있다. 따라서 우리는 이더넷 기반의 기술 개발을 통해 국제 기술 및 시장을 선도할 수 있는 발판을 만들어, 대부분의 제품을 수입에 의존하는 공장자동화 분야의 장치 개발에서 수입대체 효과를 얻고, 역으로 선진국에 수출을 통하여 무역수지를 향상시킬 수 있는 방안을 강구해야 한다.

II. 본 론

2.1 I/O 슬레이브 모듈 설계

그림1과 같이 다수의 I/O 접점을 신뢰성이 검증된 이더넷의 CAT5 UTP선을 이용하여 소수의 고속 데이터 선로로 바꾸고자 한다. FPGA 및 개별 소자를 이용한 이더넷 통신회로 설계 : VHDL(Very High Speed Integrated Circuit Hardware Description Language)를 이용해 이더넷 프레임을 coding한 후 test vector를 생성하여 Mentor (Modelsim) 툴로 기능검증을 수행한 후, 합성한 회로를 Xilinx로 targeting 하여 동작확인을 한다. 지속적인 code 의 debugging을 통해 최적화된 알고리즘을 가지는 code 를 작성한다.

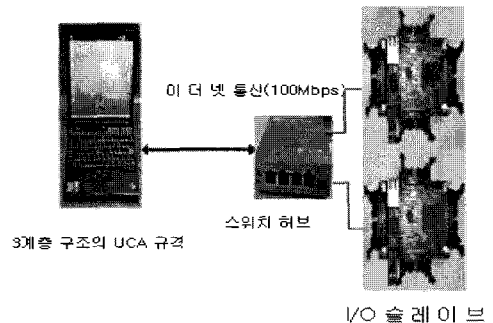
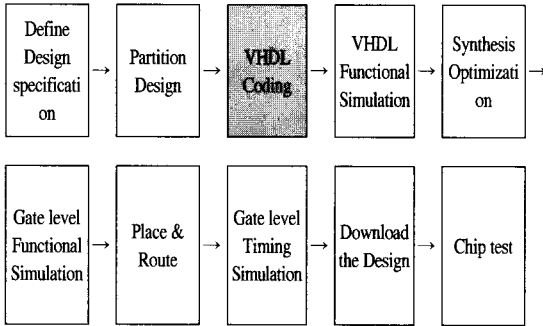


그림 1. PC의 랜 카드를 이용한 I/O 제어 모듈
Fig. 1. Multi I/O control module that use PC's LAN card

표 2. Mentor와 Xilinx tool을 이용한 FPGA 설계 절차
Table. 2. FPGA design formality that come Mentor and use Xilinx tool



2.2 슬레이브 입출력 모듈 설계

- CPLD 및 개별 소자를 이용한 직렬-병렬 통신회로 설계
- VHDL을 이용한 이더넷 프레임 설계(MMI 방식)
- RJ45 잭을 이용한 100MHz 통신회로 설계

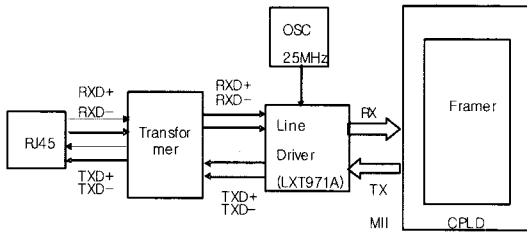


그림 2. Slave module의 구조
Fig. 2. Slave module's structure

- CPLD에서 받아들인 신호는 MII (media independent interface)의 속도와 동기를 맞추기 위해 Ethernet Frame을 최소크기 64byte 단위로 구성하여 만일 입력 단이 8개 신호선일 경우 매 80ns 마다 입력신호를 송수신. 신호 전송과정에서 delay를 최소한으로 하여 기존 장비의 응답시간의 마진을 보상하도록 설계.
- IFG(Interface Frame Gap) 96bit (100Mbps 일 경우 960ns, 10Mbps 일 경우 9.6μs)를 각각의 프레임 사이에 적용하여 이더넷 트랜시버의 오동작과 프레임의 동기를 잃어버리지 않게 하여 항상 신호 송수신 함.
- 이렇게 만들어진 이더넷 프레임은 이더넷 트랜시버에 전송되어 4B/5B 라인 코딩을 거쳐 트랜시버와 RJ45 잭을 통하여 UTP 케이블로 전송된다.
Tx 부분에서 터미널에서 입력된 신호를 12.5MHz 클

럭당 (80ns)8개의 신호선 단위로 (8bit) 샘플링 하여 64byte 단위의 이더넷 프레임 (preamble & SFD 제외)과 IFG를 구성한 후, 이더넷 프레임의 동기를 잡기위한 필드인 프리앰블과 SFD(start of Frame Delimiter)를 프레임에 앞서 전송하고 컨버터를 통하여 8bit 데이터를 MII의 4비트 데이터로 변환시킨 후 송수신한다.

- Rx 부분은 Tx과정의 역과정으로 MII를 통해 들어온 데이터를 변환한 후 프리앰블과 SFD 필드를 제거한 후 프레임에서 바이트/비트 order로 된 데이터를 추출하여 터미널의 출력부로 출력한다.

각각의 슬레이브에 데이터 지연시간

$$= 80ns (1/12.5MHz) * 32 = 2.56us$$

1 프레임 사이즈

$$= 64 bytes = 32 bytes (1 cycle, 16 slaver * 2bytes) * 2$$

2.3 직렬통신 에러 검출

Data 전송에 있어 올바르게 전송되었는지의 확인을 위하여 반드시 error 검사를 한다.

최근 동기식 전송에서 다량의 data 전송을 위해 널리 사용되고 있는 CRC (cyclic Redundancy Code) 에러 검출 방식을 활용하고, 필요에 따라 기타 방법(Check Sum, Parity bit, UDM etc.) 적용한다.

2.4 반도체 공정 장비에 적용 및 평가

지역 내 공정장비 단말기에 기술개발을 통해 개발된 제품을 공급해 실질적인 공정에 적용 후 실시간 제어 평가 및 데이터 확보한다.

III. 3계층 구조의 UCA 규격

UCA을 이용하여 랜카드용 API 라이브러리를 개발하고 라이브러리를 활용하여 GUI환경의 제어 프로그램을 작성한 후, 각 노드의 작동여부 테스트 환경을 개발한다. UCA(Utility Communications Architecture)는 미국의 EPRI(Electric Power Research Institute)에서 만들어진 발전소용 표준 통신망 구조이며 UCA의 응용 계층 규격의 일부로 MMS가 사용되고 있다. UCA는 7계층 구조와 3계층 구조의 두가지로 나누어질 수 있다.[1][2] UCA의 3계층 구조는 위의 7계층에서 응용 계층, 데이터 링크 계층, 그리고 물리 계층만을 사용한다. 이 3계층 구조는 실

시간이 요구되는 산업용 제어망인 필드버스망에서 현재 많이 사용된다. 근거리 통신망(LAN)에서 사용되는 3계층구조는 MMS (Manufacturing Message Specification) 와 LLC(Logical Link Control), 그리고 매체를 다루는 규약으로 이루어진다. 매체를 다루는 규약은 CSMA/CD, 토큰 버스(token bus), 또는 토큰 링(token ring)이다. 3계층구조는 그림 3에 잘 나타나 있다.

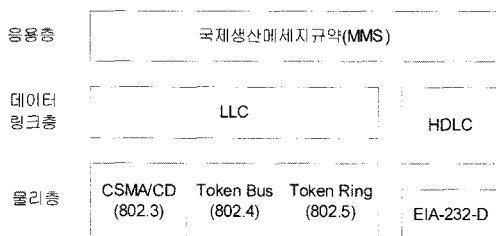


그림 3. 3계층구조의 UCA 규격
Fig. 3. UCA standard of 3 classes structure

3계층 구조에서 데이터 링크 계층과 물리 계층에 대한 규격은 다음의 몇가지를 제외하면 7계층 구조에서와 같다.[3]

3.1 프로그램 구성

3.1.1 개요

LBIF(Lan Board Interface)는 Visual Studio 2005/ VC++ 8.0 환경에서 COM (Component Object Model)으로 개발되었다. 상위 Application에서 사용하기 위하여 LBIF Interface를 작성하여 제공한다.

3.1.2 LBIF 구성

Name	Size	Type	Date Modified
C:\LBIF.cpp	3 KB	C++ Source	2/2/2008 1:27 PM
C:\LBIF.h	3 KB	C/C++ Header	2/2/2008 1:26 PM
C:\LBIF.hxx	1 KB	C/C++ Header	1/31/2008 9:32 PM
C:\GetCreateInstance.hxx	1 KB	C/C++ Header	1/26/2007 8:25 PM
C:\IPCapPack.dll	132 KB	Application Extension	2/1/2008 3:06 PM
C:\LBIF.dll	68 KB	Application Extension	2/1/2008 3:05 PM
C:\LBIF.dll	68 KB	Application Extension	2/1/2008 3:10 PM
C:\Converter.dll	152 KB	Application Extension	2/1/2008 3:06 PM
C:\Free.dll	324 KB	Application Extension	1/29/2007 8:25 PM
C:\Nmap.dll	60 KB	Application Extension	1/26/2007 8:25 PM
C:\Printer.dll	156 KB	Application Extension	1/26/2007 8:25 PM
C:\Shell.dll	160 KB	Application Extension	2/1/2008 3:06 PM
C:\Sorter.dll	160 KB	Application Extension	2/1/2008 3:06 PM
C:\SubTreePack.dll	144 KB	Application Extension	2/1/2008 3:06 PM
C:\Thread.dll	160 KB	Application Extension	2/1/2008 3:06 PM
C:\Signal.dll	160 KB	Application Extension	2/1/2008 3:06 PM
C:\Ipsock.dll	172 KB	Application Extension	2/1/2008 3:06 PM
C:\Ipsock.dll	164 KB	Application Extension	2/1/2008 3:06 PM
C:\Ipsock.dll	160 KB	Application Extension	2/1/2008 3:06 PM
C:\Ipsock.dll	160 KB	Application Extension	2/1/2008 3:05 PM
C:\Ipsock.dll	160 KB	Application Extension	2/1/2008 3:05 PM
C:\Ipsock.dll	164 KB	Application Extension	2/1/2008 3:05 PM
C:\Ipsock.dll	160 KB	Application Extension	2/1/2008 3:05 PM
C:\Ipsock.dll	160 KB	Application Extension	2/1/2008 3:05 PM

그림 4. LBIF 구성요소
Fig. 4. LBIF component part

LBIF는 20개의COM (dll로 구성)과 1개의 COM Interface (IxLBIF.hxx), COM Interface를이용하여 COM (dll)을 호출하기 위한Header (GetCreateInstance.hxx), 그리고 COM을 이용하기 위한 LBIF Source (LBIF.h, LBIF.cpp)로 구성되어 있다.

○ 프로그램 실행전

- COM (dll) 들을 실행파일과 동일위치로 복사한다.
- LBIF는 Visual Studio 2005/VC++8.0 으로 개발되어 있으며, 실행환경 설정및 운영을 위하여 함께 제공하 LBIFSysSetup.exe를 설치한다.

3.1.3 LBIF 사용법

상위 Application에서는 LBIF.h만을 이용하여 Lan Board의 기능을 사용할 수 있다. LBIF.h는 다음 네가지의 Interface로 구성된다.

표 3. LBIF_SEND, LBIF_REC V 시 index와 Value
Table 3. LBIF_SEND, LBIF_RECV index and Value

```
int LBIF_OPEN();
int LBIF_SEND(int index, unsigned char value);
int LBIF_RECV(int index, unsigned char value);
int LBIF_CLOSE();
```

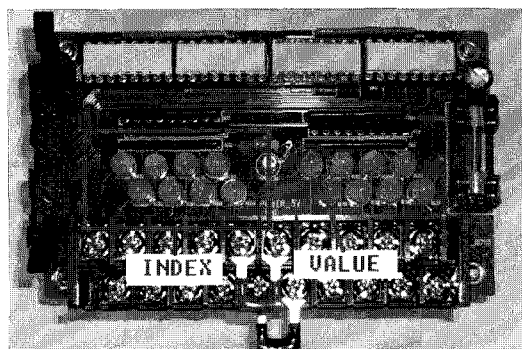


그림 5. 입출력단자 보드
Fig. 5. input/output unit board

LBIF_SEND, LBIF_RECV 시 index와 Value는 각각 다음을 나타낸다.

○ Index

- Lan Board의 LED 배열번호를 나타낸다
- 예제에서는 2를 사용하였다 (2번 Lan Board LED 배열을 의미한다.)

○ Value

- LED 배열의 bit 를 의미한다.
- 0x80: 최상위 bit
- 0x40: 최상위 다음 bit

각 인터페이스는 실패시 '0' 보다 작은 값을 리턴하며 '0' 이상의 경우 성공의 경우를 나타낸다.

그림 6은 LBIF의 초기화를 나타낸다.

```

1: CNICDg
2:
3: int CNICDg::DeInit(void)
4: {
5:     int i = 0;
6:     LBIF_OPEN();
7:
8:     SetTimer (10, 1, NULL);
9:
10:    m_btnExit.SetWindowTextA("EXIT");
11:    return 0;
12: }
    
```

그림 6. LBIF 초기화
Fig 6. LBIF initialization

그림 7은 LBIF 송신을 나타낸다.

```

1: CNICDg
2:
3: void CNICDg::OnBnClickedSend1()
4: {
5:     LBIF_SEND(2, 0x80);
6: }
7:
8: void CNICDg::OnBnClickedSend2()
9: {
10:    LBIF_SEND(2, 0x40);
11: }
    
```

그림 7. LBIF 송신
Fig. 7. LBIF transmission of a message

그림 8은 LBIF 수신을 나타낸다.

```

1: Global Scope
2:
3: void CNICDg::OnTimer(UINT_PTR nIDEvent)
4: {
5:     // TODO: Add your message handler code here and/or call default
6:     for ( int i=0 ; i<9 ; i++ )
7:     {
8:         if ( i==2 )
9:         {
10:            PrintDisplay(em_check1, LBIF_RECV(1, 0x80));
11:            PrintDisplay(em_check2, LBIF_RECV(1, 0x40));
12:        }
13:        i++;
14:    }
15:
16:    CDialog::OnTimer(nIDEvent);
17: }
    
```

그림 8. LBIF 수신
Fig. 8. LBIF reception

그림 9는 LBIF의 종료를 나타낸다.

```

1: CNICDg
2:
3: void CNICDg::OnBnClickedButton1()
4: {
5:     // TODO: Add your control notification handler code here
6:
7:     LBIF_CLOSE();
8:     OnOK();
9: }
    
```

그림 9. LBIF 종료
Fig. 9. LBIF end

IV. 결과 및 고찰

슬레이버 보드는 그림 10 과 같은 구조를 가지며, 보드는 이더넷 데이터 프레임 송수신부와 센서신호 입출력부로 이루어져 있다. 이더넷 데이터 프레임 송수신부는 PC의 랜카드에서 전송되는 이더넷 데이터 프레임을 수신하고, 센서 입력신호를 샘플링하여 RJ45잭을 이용하여 PC의 랜카드로 전송한다. 또한 센서신호 입출력부는 수신된 데이터를 센서등 다른 장치를 제어하기 위하여 다아링통 전류 증폭기로 전류신호를 증폭시켜 출력하도록 한다.

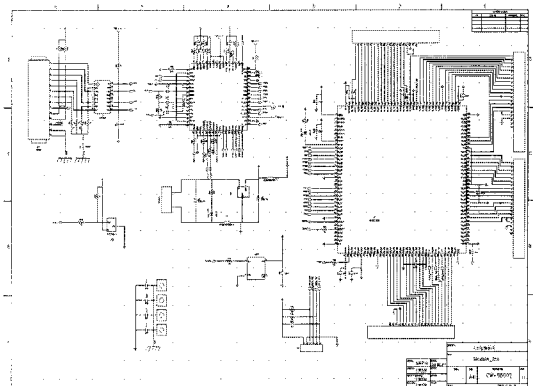


그림 10. 슬레이버 모듈의 LXT971A와 CPLD로 구성된 송수신부

Fig 10. Send-recv department consisted of LXT971A and CPLD of slave module

센서에서 입력되는 신호는 클리핑회로를 사용하여 센서에서 입력되는 신호는 클리핑회로를 사용하여 과도한 전압으로 인한 프레임머가 설계된 Xilinx사의 CPLD XC95288XL을 보호하도록 설계하였다. 그리고 설계된 회로를 제작하여 정상 동작하는 것을 확인하였다. 본 절에서는 100Mbps 직렬 통신을 위한 물리계층의 회로 설계 및 구현을 위한 VHDL 설계에 있다. 본 논문에서는 RJ45 잭을 사용하여 100BASE-T에서 데이터를 송수신할 수 있도록 하기 위하여 CPLD를 이용하여 프레임머인 데이터 신호와 제어신호들을 VHDL을 이용하여 MII(Media Independent Interface) 회로를 구성하여 사용자가 원하는 기능을 갖도록 하였다.[4]

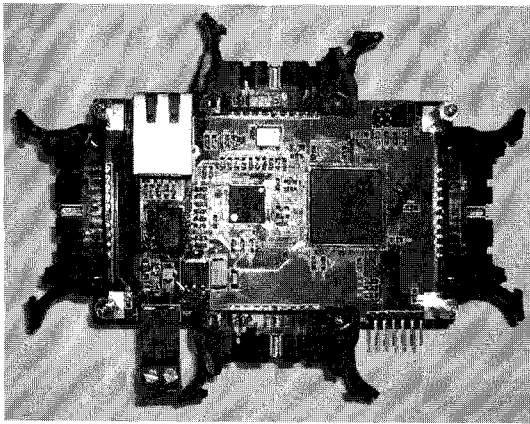


그림 11. 슬레이버 이더넷 보드제작
Fig. 11 Slave ethernet board manufacture

4.1 이더넷 데이터 프레임의 송신 코드 작성 및 시뮬레이션

CPLD에서 받아들인 신호는 MII (Media Independent Interface : IEEE802.3 Section Two Chapter 22)의 속도 (100Mbps)와 동기(sync)를 맞추기 위해 12.5MHz 클록마다 (80ns) 8개의 신호선 단위로 (8bit) 샘플링(sampling)한다. 여기서 이더넷 (Ethernet) 프레임 (Frame)을 최소 크기 (size) 64byte 단위로 구성하여 만일 입력단이 8개의 신호선일 경우 매 80ns 마다 입력신호를 전송함으로써 신호 전송 과정에서 지연 (delay)를 최소한으로 하여 기존 장비의 응답시간의 마진을 보장하도록 설계한다. 그리고 이더넷 프레임의 전송에 있어서 필요한 IFG (Interface Frame Gap) 96bit (100Mbps일 경우 960ns, 10Mbps일 경우

9.6us)를 각각의 프레임 사이에 적용하여 이더넷 트랜시버의 오동작과 프레임 동기를 잃어버리지 않게 하여 항상 신호 전송을 할 수 있도록 한다.

이렇게 하여 만들어진 이더넷 프레임은 이더넷 트랜시버에 전송되어 4B/5B의 라인 코딩을 거쳐 트랜시버와 RJ45 잭(Jack)을 통하여 UTP 케이블로 전송된다. (CAT 5의 최대 전송거리 : 100m)

- A. component txframer : Ethernet transmission frame을 구성하는단
- B. component preamble : preamble 침부단
- C. component conv8to4 : 8bits 데이터를 전송을 위해 4bits 데이터로 변환된다.

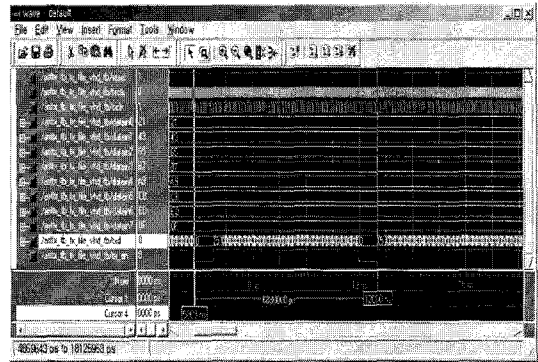


그림 12. 전송단 시뮬레이션
Fig. 12. Transmission simulation

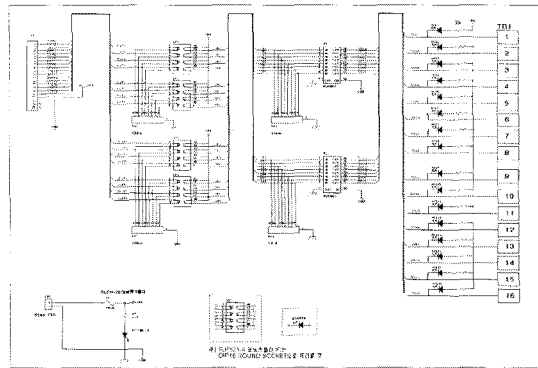


그림 13. 슬레이버 입력보드
Fig. 13. Slave input board

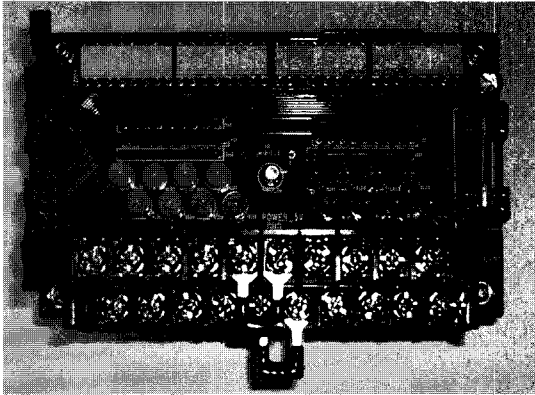


그림 14. 슬레이버 입력보드 제작
Fig. 14. Slave input baud manufacture

4.2 이더넷 데이터 프레임의 수신 code 작성 및 시뮬레이션

수신부의 원리는 위의 송신부의 역 동작으로 UTP 케이블의 입력된 신호는 RJ45 잭과 트랜스포머(transformer)를 거친 데이터는 이더넷 트랜시버에서 프레임의 동기를 잡고 4B/5B 디코딩을 하여 MII를 통하여 이더넷 프레임을 CPLD로 전송한다. CPLD에서는 수신된 byte/bit으로 이더넷 프레임에서 원신호를 복구하여 다알링턴회로를 거쳐 터미널로 전송한다. 먼저 Tx 부분에서 터미널에서 입력된 신호를 12.5MHz 클럭당 (80ns)8개의 신호선 단위로 (8bit) 샘플링하여 64byte 단위의 이더넷 프레임 (preamble & SFD 제외)과 IFG를 구성한 후, 이더넷 프레임의 동기를 잡기위한 필드인 프리앰블(preamble)과 SFD(Start-of-frame Delimiter)를 프레임에 앞서 전송하고 (preamble과 SFD는 최소 1byte에서 최대 8byte까지 구성가능, 여기서는 4byte로 구성함) 8-to-4 변환기(converter)를 통하여 8bit 데이터를 MII의 4bit 데이터로 변환시킨 후 전송한다.

Rx 부분을 보면, Tx의 역과정으로 MII를 통해 들어온 4bit의 데이터를 8bit로 변환한 후 프리앰블과 SFD 필드를 제거한 후 프레임에서 byte/bit order로 원 데이터를 추출하여 터미널 출력부로 출력한다.

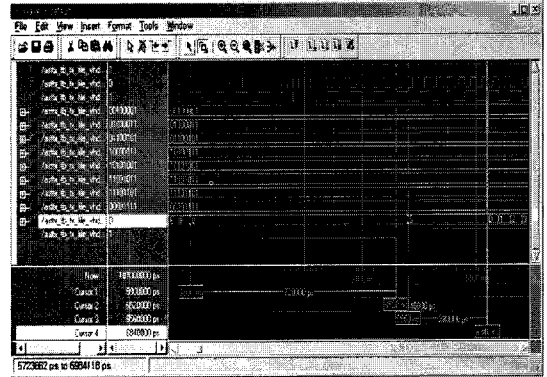


그림 15. 프레임 enable, 프레임 동기신호에 대한 시간 측정 시뮬레이션
Fig. 15. Frame enable, simulation about frame sync signal

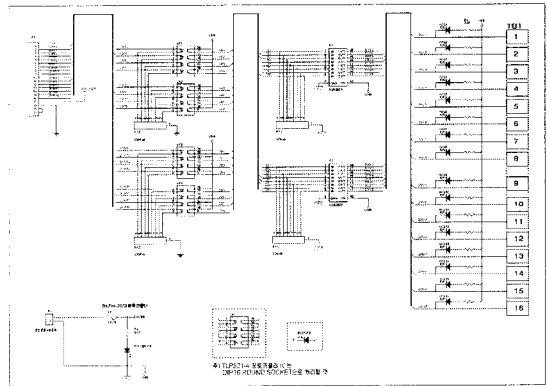


그림 17. 슬레이버 출력보드 제작
Fig. 17. Slave output baud manufacture

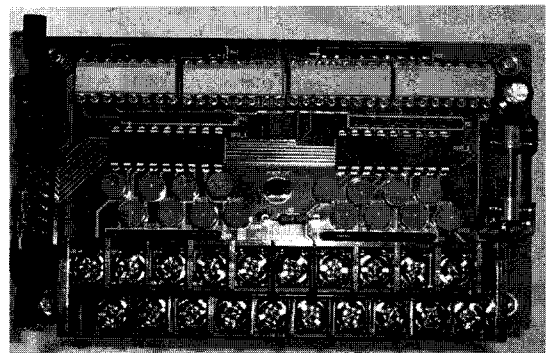


그림 17. 슬레이버 출력보드 제작
Fig. 17. Slave output baud manufacture

4.2 Ethernet data frame의 code 작성 및 구현

- CPLD 및 개별 소자를 이용한 Ethernet 기반의 직렬-병렬 통신회로 설계
- VHDL을 이용한 Ethernet framer 설계(MII방식)
- RJ45 jack을 이용한 100MHz 통신회로 설계(최대 100Meter)
- 정격전압 : 24V dc nominal
- 전압범위 : 5~28Vdc
- 소모전력 : 1W
- 슬레이버 모듈의 최대 64노드
- 슬레이버 확장 가능
- 테스트를 위한 GUI 프로그래밍 작성

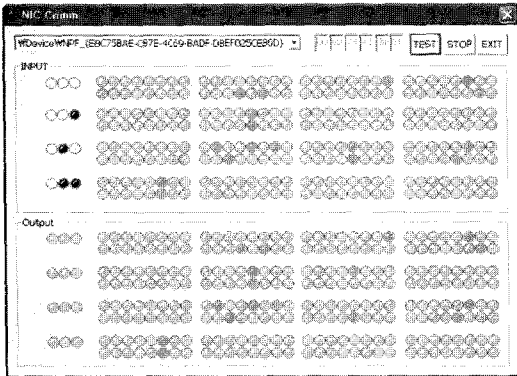


그림 18. 테스트를 위한 GUI 프로그래밍 작성
Fig. 18. GUI programming for test

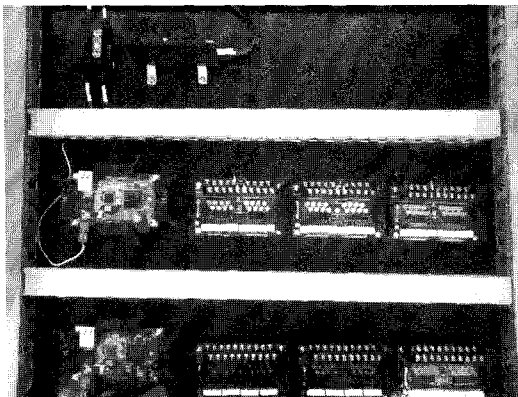


그림 19. 스위칭 허브를 이용한 I/O 확장 시스템
Fig. 19 I/O extension system that use Switching hub

V. 결 과

현재 우리나라는 컴퓨터통신 분야가 매우 취약하고, 국내 생산제품의 경쟁력이 취약한 상태이다. 또한 모든 규격을 외국에 의존하고 있기 때문에 기술 종속이 되어 있으며, 기존의 국내 CAN 시장의 외국에 의존해 거의 독점 당하고 있는 시점에서, 현재 개발되고 있는 기술을 세계수준과 동등하거나 우위에 있는 기술을 확보함으로써 차후의 고속, 정밀, 실시간 공장자동화 기술에 있어서 국제적인 우위를 점할 것으로 판단된다. 반도체, LCD 장비 내의 많은 I/O 접점을 갖는 선로들을 다중화 하여 이더넷 통신기술을 이용하여 여러 장치들을 실시간 제어 가능한 이더넷 기반의 다접점의 I/O 모듈을 개발하였다. PC의 랜카드와 스위칭허브를 활용하여 다접점을 입출력할 수 있는 모듈과 드라이버를 개발하였다. 현재 개발되고 있는 기술의 국내 확보를 통하여 이더넷 기반의 다중화 통신기술을 이용한 선로 설치 및 유지 관리는 기존 시스템의 제작에 소요되는 경비와 시간을 줄일 수 있을 뿐 아니라 장비의 신뢰성을 향상 시킬 수 있다. 또한 랜카드와 스위칭허브를 활용함으로써 선로 설치 및 유지 관리 등 선로의 신뢰성을 향상 시킬 수 있으며, 설치비용을 절감할 수 있다.

참고문헌

- [1] EPRI, "Fundamentals of Utilities Communication Architecture", IEEE Computer Applications in Power, pp.15-21 vol.14, No.3, July, 2001
- [2] ISO 9506-1: Industrial automation systems - Manufacturing Message Specification - Part 1 : Service definition, 2004
- [3] 김동성, "발전소 통신망 기술의 응용메세지 규격 및 현황" 정보통신연구진흥원 IT 기획시리즈, 주간기술동향 2008. 2.
- [4] 김태민, 김재철, "다중하거를 이용한 LCD 장비 통신 선로 감축 MODULE 개발", 구미1대학논문지 제13부

저자소개



김 태 민 (金 泰 民)

1994년 금오공과대학교 전자공학과
(공학사)

1998년 금오공과대학교 전자공학과
(공학석사)

2002년 금오공과대학교 전자공학과 (공학박사)

현재 ChipWork 대표

※ 관심분야: 디지털통신, ASIC 등



전 윤 한(全 潤 漢)

1970년 3월 한양대학교 물리학과
입학

1985년 8월 한양대학교 대학원 물리
학과 졸업(이학 박사)

현재 금오공과대학교 자연과학부 교수

※ 관심분야: 고체의 전자구조 계산증폭기 회로의 설계
와 제작



신 건 순 (申 建 淳)

1972년 한양대학교 전기공학과
(공학사)

1983년 전북대학교 전기공학과
(공학석사)

1989년 전북대학교 전기공학과 (공학박사)

1993년 미국 Ohio state university, 전기공학과 Solid state

Microelectronics lab. 객원교수

현재 금오공과대학교 전자공학부 교수

※ 관심분야: ASIC 및 아날로그 IC 설계 등.